

## 8 位微控制器

# KF8L20ZXXXX

# 数据手册

## 产品订购信息

芯片型号	订货号	封装	FLASH	RAM (Byte)	DEE ( Byte )	内部 HFOSC	外部 HFOSC	8 位 定时器	16 位 定时器	12 位 ADC 通道	MUL /DIV	内部参考 (V)	LCD	温度 传感器	工作 电压(V)	内核 版本
KF8L20	KF8L20Z04TN	TSSOP28	6KB	256	256	16M	20M	1	4	6	Y	2/3/4	4X19	Y	1.8~5.5	V2
	KF8L20Z08TN	TSSOP28	10KB	256	256	16M	20M	1	4	6	Y	2/3/4	4X19	Y	1.8~5.5	V2

版权所有@

上海芯旺微电子有限公司

本档为上海芯旺微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成.确保应用符合技术规范,是您自身应负的责任。上海芯旺微电子有限公司不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保,包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。上海芯旺微电子有限公司对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将芯旺微电子有限公司的芯片用于生命维持和或生命安全应用,一切风险由使用方自负。使用方同意在由此引发任何一切伤害、索赔、诉讼或费用时,会维护和保障上海芯旺微电子有限公司免于承担法律责任,并加以赔偿。

本档中所述的器件应用信息及其他类似内容仅为您提供便利,可能有更新的信息所替代。上海芯旺微电子有限公司会不定期进行更新,恕不另行通知。使用方如需获得最新的产品信息,请及时访问上海芯旺微电子有限公司官网或与上海芯旺微电子有限公司联系。

## KF8L20 芯片使用注意事项

### 芯片的 ESD 防护措施

KF8L20 芯片提供满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、防静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

### 芯片的 EFT 防护措施

KF8L20 芯片提供满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源线、地线（包括数字/模拟电源分离，单点/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

### 芯片的 LATCH-UP 防护措施

为有效防护 LATCH-UP 损坏芯片，用户需保证在 VDD 引脚上不会出现异常高压或者负压。建议用户在 VDD 和 VSS 之间并接两个 105 和 102 大小的电容，电容尽量靠近芯片的 VDD 引脚。

### 芯片的焊接

KF8L20 芯片的焊接应按照工业标准的焊接要求，以免损坏芯片。手工焊接时注意焊接的温度和焊接时间。

### 芯片的上电/断电

KF8L20 芯片提供独立电源管脚。当 KF8L20 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，断电时，先对系统其他部件断电，再对 MCU 芯片断电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。

### 芯片的复位

KF8L20 芯片提供内部上电复位。对于不同的快速上电/断电或慢速上电/断电系统，内部上电复位电路可能失效，建议用户使用外部复位、断电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

### 芯片的内部时钟

KF8L20 芯片提供内部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度。具体可参照芯片的数据手册说明。

### 芯片的初始化

KF8L20 芯片提供各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

### 芯片的管脚

KF8L20 芯片提供宽范围的输入管脚电平，用户输入高电平应大于  $V_{IH}$  的最小值，低电平应小于  $V_{IL}$  的最大值，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

VDD 和 VSS 之间需接 104 以上的电容，电容尽量靠近 MCU 芯片的 VDD 引脚。

### 芯片的低功耗设计

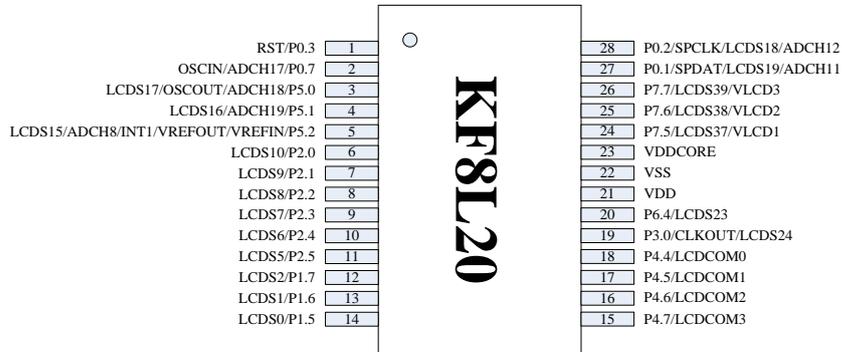
KF8L20 芯片提供低功耗设计模式，用户在实际应用中可根据应用系统的要求采用各种不同的低功耗模式，包括系统工作时钟的选择和休眠模式的选择等等。

### 芯片的开发环境

KF8L20 芯片提供完整的软/硬件开发环境，并受知识产权保护。选择上海芯旺微电子有限公司指定的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

## 引脚示意图

**KF8L20TN-TSSOP28 引脚示意图:**



## 引脚功能说明

TSSOP -28	I/O	引脚名	引脚说明
1	I/O	P0.3	带上拉和电平变化中断功能的双向输入输出端口
		RST	外部复位引脚
2	I/O	P0.7	带上拉和电平变化中断功能的双向输入输出端口
		OSCIN	外部高频晶振输入引脚
		ADCH17	AD 外部通道 17
3	I/O	P5.0	带上拉功能的双向输入输出端口
		OSCOUT	外部高频晶振输出引脚
		LCDS17	LCD 显示 SEG 端 17
		ADCH18	AD 外部通道 18
4	I/O	P5.1	带上拉功能的双向输入输出端口
		LCDS16	LCD 显示 SEG 端 16
		ADCH19	AD 外部通道 19
5	I/O	P5.2	带上拉功能的双向输入输出端口
		LCDS15	LCD 显示 SEG 端 15
		ADCH8	AD 外部通道 8
		INT1	外部中断 1 引脚
		VREFOUT	内部参考电压输出
		VREFIN	AD 外部参考电压输入端
6	I/O	P2.0	带上拉功能的双向输入输出端口
		LCDS10	LCD 显示 SEG 端 10
7	I/O	P2.1	带上拉功能的双向输入输出端口
		LCDS9	LCD 显示 SEG 端 9
8	I/O	P2.2	带上拉功能的双向输入输出端口
		LCDS8	LCD 显示 SEG 端 8
9	I/O	P2.3	带上拉功能的双向输入输出端口
		LCDS7	LCD 显示 SEG 端 7
10	I/O	P2.4	带上拉功能的双向输入输出端口
		LCDS6	LCD 显示 SEG 端 6
11	I/O	P2.5	带上拉功能的双向输入输出端口
		LCDS5	LCD 显示 SEG 端 5
12	I/O	P1.7	带上拉功能的双向输入输出端口
		LCDS2	LCD 显示 SEG 端 2
13	I/O	P1.6	带上拉功能的双向输入输出端口
		LCDS1	LCD 显示 SEG 端 1
14	I/O	P1.5	带上拉功能的双向输入输出端口
		LCDS0	LCD 显示 SEG 端 0
15	I/O	P4.7	带上拉功能的双向输入输出端口
		LCDCOM3	LCD 显示 COM 端 3
16	I/O	P4.6	带上拉功能的双向输入输出端口
		LCDCOM2	LCD 显示 COM 端 2
17	I/O	P4.5	带上拉功能的双向输入输出端口
		LCDCOM1	LCD 显示 COM 端 1

TSSOP -28	I/O	引脚名	引脚说明
18	I/O	P4.4	带上拉功能的双向输入输出端口
		LCDCOM0	LCD 显示 COM 端 0
19	I/O	P3.0	带上拉和电平变化中断功能的双向输入输出端口
		CLKOUT	指令时钟输出
		LCDS24	LCD 显示 SEG 端 24
20	I/O	P6.4	带上拉功能的双向输入输出端口
		LCDS23	LCD 显示 SEG 端 23
21	P	VDD	电源
22	P	VSS	地线, 0V 参考点
23	P	VDDcore	内部电压外接电容脚, 必须外接 4.7uf (推荐) 电容
24	I/O	P7.5	带上拉功能的双向输入输出端口
		LCDS37	LCD 显示 SEG 端 37
		VLCD1	LCD 外部 1/3 偏压输入脚
25	I/O	P7.6	带上拉功能的双向输入输出端口
		LCDS38	LCD 显示 SEG 端 38
		VLCD2	LCD 外部 2/3 偏压输入脚
26	I/O	P7.7	带上拉功能的双向输入输出端口
		LCDS39	LCD 显示 SEG 端 39
		VLCD3	LCD 外部 3/3 偏压输入脚
27	I/O	P0.1	带上拉和电平变化中断功能的双向输入输出端口
		SPDAT	编程数据引脚
		LCDS19	LCD 显示 SEG 端 19
		ADCH11	AD 外部通道 11
28	I/O	P0.2	带上拉和电平变化中断功能的双向输入输出端口
		SPCLK	编程时钟引脚
		LCDS18	LCD 显示 SEG 端 18
		ADCH12	AD 外部通道 12

## 目 录

产品订购信息.....	2
KF8L20 芯片使用注意事项.....	3
引脚示意图.....	5
引脚功能说明.....	6
目 录.....	8
<b>1 系统概述.....</b>	<b>17</b>
1.1 芯片特征.....	18
1.2 系统框图.....	20
1.3 存储器.....	21
1.4 系统时钟.....	22
1.4.1 时钟模块相关寄存器.....	23
1.4.1.1 系统频率控制寄存器 OSCCTL.....	23
1.4.1.2 系统时钟标志寄存器 OSCSTA.....	24
1.4.2 上电延时.....	24
1.4.3 内部高频振荡器.....	24
1.4.3.1 校准寄存器.....	24
1.4.4 内部低频振荡器.....	25
1.4.4.1 内部低频振荡器校准寄存器.....	25
1.4.5 外部高频振荡器.....	25
1.4.6 时钟切换和时钟信号同步.....	27
1.4.7 双速启动模式.....	28
1.4.8 双速启动过程.....	28
1.4.9 外部时钟故障检测.....	28
1.4.10 时钟故障保护处理.....	29
1.5 配置位.....	30
1.6 在线串行编程.....	32
<b>2 I/O 端口.....</b>	<b>33</b>
2.1 I/O 端口的读写.....	33
2.2 P0 口.....	34
2.2.1 P0 口相关的寄存器.....	34
2.2.1.1 P0 口状态寄存器 (P0).....	34
2.2.1.2 P0 口输出锁存寄存器 (POLR).....	34
2.2.1.3 P0 口方向控制寄存器 (TR0).....	35
2.2.1.4 P0 上拉功能控制寄存器 (PUR0).....	35
2.2.1.5 P0 口电平变化中断控制寄存器 (IOCL0).....	35
2.2.1.6 P0 口模拟/数字口设置寄存器 (ANS0).....	36

2.2.2	P0 口各引脚内部原理功能框图	36
2.3	P1 口	38
2.3.1	P1 口相关的寄存器	38
2.3.1.1	P1 口状态寄存器 (P1)	38
2.3.1.2	P1 口输出锁存寄存器 (P1LR)	38
2.3.1.3	P1 口方向控制寄存器 (TR1)	39
2.3.1.4	P1 口上拉功能控制寄存器 (PUR1)	39
2.3.1.5	P1 口模拟/数字口设置寄存器 (ANS1)	39
2.3.2	P1 口原理功能框图	40
2.4	P2 口	41
2.4.1	P2 口相关的寄存器	41
2.4.1.1	P2 口状态寄存器 (P2)	41
2.4.1.2	P2 口输出锁存寄存器 (P2LR)	41
2.4.1.3	P2 口方向控制寄存器 (TR2)	41
2.4.1.4	P2 口上拉功能控制寄存器 (PUR2)	42
2.4.1.5	P2 口模拟/数字口设置寄存器 (ANS2)	42
2.4.2	P2 口原理功能框图	43
2.5	P3 口	44
2.5.1	P3 口相关的寄存器	44
2.5.1.1	P3 口状态寄存器 (P3)	44
2.5.1.2	P3 口输出锁存寄存器 (P3LR)	44
2.5.1.3	P3 口方向控制寄存器 (TR3)	45
2.5.1.4	P3 口上拉功能控制寄存器 (PUR3)	45
2.5.1.5	P3 口电平变化中断控制寄存器 (IOCL3)	45
2.5.1.6	P3 口模拟/数字口设置寄存器 (ANS3)	46
2.5.2	P3 口原理功能框图	47
2.6	P4 口	48
2.6.1	P4 口相关的寄存器	48
2.6.1.1	P4 口状态寄存器 (P4)	48
2.6.1.2	P4 口输出锁存寄存器 (P4LR)	48
2.6.1.3	P4 口方向控制寄存器 (TR4)	48
2.6.1.4	P4 口上拉功能控制寄存器 (PUR4)	49
2.6.1.5	P4 口模拟/数字口设置寄存器 (ANS4)	49
2.6.2	P4 口原理功能框图	50
2.7	P5 口	51
2.7.1	P5 口相关的寄存器	51
2.7.1.1	P5 口状态寄存器 (P5)	51
2.7.1.2	P5 口输出锁存寄存器 (P5LR)	51
2.7.1.3	P5 口方向控制寄存器 (TR5)	52
2.7.1.4	P5 口上拉功能控制寄存器 (PUR5)	52
2.7.1.5	P5 口模拟/数字口设置寄存器 (ANS5)	52
2.7.2	P5 口原理功能框图	53
2.8	P6 口	54
2.8.1	P6 口相关的寄存器	54

2.8.1.1	P6 口状态寄存器 (P6)	54
2.8.1.2	P6 口输出锁存寄存器 (P6LR)	54
2.8.1.3	P6 口方向控制寄存器 (TR6)	55
2.8.1.4	P6 口上拉功能控制寄存器 (PUR6)	55
2.8.1.5	P6 口模拟/数字口设置寄存器 (ANS6)	55
2.8.2	P6 口原理功能框图	56
2.9	P7 口	57
2.9.1	P7 口相关的寄存器	57
2.9.1.1	P7 口状态寄存器 (P7)	57
2.9.1.2	P7 口输出锁存寄存器 (P7LR)	57
2.9.1.3	P7 口方向控制寄存器 (TR7)	58
2.9.1.4	P7 口上拉功能控制寄存器 (PUR7)	58
2.9.1.5	P7 口模拟/数字口设置寄存器 (ANS7)	58
2.9.2	P7 口原理功能框图	59
<b>3</b>	<b>存储器</b>	<b>60</b>
3.1	程序存储器 (ROM) 区	60
3.1.1	程序计数器 (PC)	60
3.1.1.1	PCL/PCH 寄存器的使用	61
3.1.1.2	执行 JMP、CALL 指令时的情况	61
3.1.2	堆栈	62
3.2	数据存储器 (RAM) 区	62
3.2.1	通用寄存器区	63
3.2.2	特殊功能寄存器 (SFR) 区	63
3.2.3	状态字寄存器 (PSW)	63
3.3	FLASH 自写	65
3.3.1	寄存器 NVMDATAH/L	66
3.3.2	寄存器 NVMADDRH/L	66
3.3.3	写 Flash	66
3.3.4	读 Flash	68
3.4	DATA EEPROM	69
3.4.1	寄存器 NVMDATAL	69
3.4.2	寄存器 NVMADDRL	69
3.4.1	寄存器 NVMCTL0/NVMCTL1	69
3.4.2	写 DATA EEPROM	69
3.4.3	读 DATA EEPROM	70
3.5	寄存器组 RN	71
3.6	ID 地址单元	71
<b>4</b>	<b>汇编指令及寻址方式</b>	<b>72</b>
4.1	寻址方式	72
4.1.1	寄存器寻址	72
4.1.2	直接寻址	72
4.1.3	立即数寻址	72

---

4.1.4	寄存器间接寻址.....	73
4.1.5	位寻址.....	73
4.2	汇编指令.....	73
<b>5</b>	<b>中断.....</b>	<b>74</b>
5.1	中断相关的寄存器.....	76
5.1.1	中断控制寄存器 INTCTL.....	76
5.1.2	中断使能寄存器 EIE1.....	78
5.1.3	中断使能寄存器 EIE2.....	78
5.1.4	中断使能寄存器 EIE3.....	79
5.1.5	中断标志寄存器 EIF1.....	80
5.1.6	中断标志寄存器 EIF2.....	80
5.1.7	中断标志寄存器 EIF3.....	81
5.1.8	中断优先级控制寄存器 IP0.....	82
5.1.9	中断优先级控制寄存器 IP1.....	82
5.1.10	中断优先级控制寄存器 IP2.....	83
5.1.11	中断优先级控制寄存器 IP3.....	83
5.1.12	电源控制寄存器 PCTL.....	84
5.1.13	INT 中断沿选择寄存器 INTEDGCTL.....	84
5.1.14	中断响应.....	85
5.2	INT 中断.....	85
5.2.1	INT0 中断.....	85
5.2.2	INT1 中断.....	86
5.2.3	INT2 中断.....	86
5.3	定时器中断.....	86
5.4	P0/P3 口中断.....	86
5.5	中断现场保护.....	86
<b>6</b>	<b>定时/计数器.....</b>	<b>87</b>
6.1	定时/计数器 T0.....	87
6.1.1	T0 原理框图.....	87
6.1.2	T0 相关的寄存器.....	87
6.1.2.1	OPTR 选择寄存器.....	88
6.1.3	定时模式.....	88
6.1.4	计数模式.....	88
6.1.5	T0 的使用.....	89
6.2	定时器 T1.....	90
6.2.1	T1 原理框图.....	90
6.2.2	T1 相关的寄存器.....	90
6.2.2.1	T1 控制寄存器.....	91
6.2.2.2	INT 中断沿选择寄存器.....	92
6.2.3	定时模式.....	92
6.2.4	T1 重载功能.....	92
6.2.5	T1 在休眠模式下的运行.....	92

6.3	定时器 T2.....	93
6.3.1	T2 的工作原理.....	93
6.3.2	T2 相关的寄存器.....	94
6.3.2.1	T2 控制寄存器 T2CTL0.....	94
6.3.2.2	T2 控制寄存器 T2CTL1.....	95
6.3.2.3	T2CCR1/0H 和 T2CCR1/0L 寄存器.....	95
6.3.3	T2 中断.....	95
6.3.4	T2 在休眠模式.....	95
6.4	定时/计数器 T3.....	96
6.4.1	T3 原理框图.....	96
6.4.2	T3 相关寄存器.....	96
6.4.2.1	T3 控制寄存器.....	97
6.4.2.2	T3 预分频器.....	98
6.4.3	T3 计数时钟选择.....	98
6.4.4	T3 重载功能.....	98
6.4.5	T3 中断.....	98
6.4.6	T3 工作在休眠模式.....	98
6.5	定时/计数器 T4.....	99
6.5.1	T4 原理框图.....	99
6.5.1.1	T4 相关寄存器.....	99
6.5.1.2	T4 控制寄存器.....	100
6.5.1.3	T4 预分频器.....	100
6.5.2	T4 计数时钟选择.....	100
6.5.3	T4 重载功能.....	100
6.5.4	T4 中断.....	101
6.5.5	T4 工作在休眠模式.....	101
<b>7</b>	<b>ADC12 模数转换模块.....</b>	<b>102</b>
7.1	与 ADC12 相关的寄存器.....	102
7.1.1	ADC12 控制寄存器 0 (ADCCTL0).....	103
7.1.2	ADC12 控制寄存器 1 (ADCCTL1).....	103
7.1.3	ADC12 控制寄存器 2 (ADCCTL2).....	104
7.1.4	ADC12 中断控制寄存器 (ADCINTCTL).....	104
7.1.5	温度传感器配置寄存器 (TEMPSNR).....	105
7.2	通道的选择.....	105
7.3	ADC12 转换参考电压的选择.....	105
7.4	转换时钟的选择.....	105
7.5	输出格式.....	105
7.6	AD 转换的启动和完成.....	106
7.7	ADC12 工作在休眠模式.....	106
7.8	复位的影响.....	106
7.9	使用 ADC12 转换器的设置.....	106
<b>8</b>	<b>液晶显示 (LCD) 模块.....</b>	<b>108</b>

8.1	概述	108
8.2	主要特点	108
8.3	原理框图	108
8.4	LCD 相关的寄存器	108
8.4.1	液晶显示控制寄存器 (LCDCTL0)	110
8.4.2	液晶显示控制寄存器 1 (LCDCTL1)	111
8.4.3	液晶显示控制寄存器 2 (LCDCTL2)	111
8.4.4	液晶显示模式选择寄存器 (LCDPDR)	112
8.4.5	LCD 功耗模式自动切换控制寄存器 (LCDPTL)	113
8.4.6	LCD 节能模式控制寄存器 LCDSP	114
8.4.7	液晶显示闪烁控制寄存器 (LCDFLKCTL)	115
8.4.8	液晶显示闪烁点亮时间设置寄存器 (LCDFLKON)	115
8.4.9	液晶显示闪烁熄灭时间设置寄存器 (LCDFLKOFF)	115
8.4.10	LCDSEn 寄存器	116
8.4.11	LCD 数据寄存器 (LCDDATAx)	117
8.5	工作时钟选择	118
8.5.1	LCD 时钟源	118
8.5.2	LCD 预分频器	118
8.5.3	LCD 帧频率	118
8.6	对应引脚	119
8.6.1	引脚配置	119
8.6.2	偏置电压和偏置类型	119
8.7	复用类型	123
8.8	段使能	123
8.9	像素控制	123
8.10	配置 LCD 模块	125
8.11	LCD 闪烁模式	125
8.12	LCD 波形产生	126
8.13	LCD 中断	137
8.13.1	闪烁中断	137
8.13.2	帧时序中断	137
8.14	在休眠模式下工作	138
<b>9</b>	<b>参考电压模块 FVR</b>	<b>140</b>
9.1	参考电压相关寄存器	140
9.1.1	参考电压寄存器 (VREFCTL)	141
<b>10</b>	<b>高/低压监测 HLVD</b>	<b>142</b>
10.1	相关寄存器	142
10.1.1	高低压监测控制寄存器 HLVDCTL	142
10.2	工作原理	143
10.3	HLVD 的使用	143
10.4	HLVD 工作在休眠模式	143
<b>11</b>	<b>硬件乘法器模块</b>	<b>144</b>

11.1	概述	144
11.2	硬件乘法器相关寄存器	145
11.2.1	乘法运算控制寄存器 (MULCTL)	145
11.3	硬件乘法器的使用	145
<b>12</b>	<b>硬件除法器模块</b>	<b>147</b>
12.1	概述	147
12.2	硬件除法器相关寄存器	148
12.2.1	除法控制寄存器 (DIVCTL)	148
12.2.2	数据寄存器	148
12.2.2.1	被除数寄存器 {DIVAH:DIVAL}	149
12.2.2.2	除数寄存器 DIVB	149
12.2.2.3	结果商寄存器 {DIVQH:DIVQL}	149
12.2.2.4	运算余数寄存器 DIVR	150
12.3	硬件除法器操作	150
<b>13</b>	<b>复位</b>	<b>151</b>
13.1	电源控制状态寄存器(PCTL)	152
13.2	上电复位(POR)	153
13.3	WDT 复位	153
13.4	RST 复位	153
13.5	欠压检测复位(LVR)	154
13.6	上电延时定时器	154
13.7	不同复位条件下对寄存器的影响	155
<b>14</b>	<b>电源管理和功耗模式</b>	<b>160</b>
14.1	电源	160
14.1.1	备份区电源 V <sub>bkp</sub>	161
14.1.2	内置电压调节器	161
14.2	电源管理	161
14.3	备份区	162
14.3.1	备份区数据寄存器	162
14.3.2	备份区复位	163
14.3.3	备份区配置寄存器	163
14.3.4	备份区寄存器的读写	163
14.4	功耗模式	164
14.4.1	功耗模式相关寄存器	164
14.4.1.1	功耗模式控制寄存器	164
14.4.1.2	超低功耗模式解锁寄存器	165
14.4.1.3	备份区外设复位寄存器	165
14.4.1.4	备份区 BOD 控制寄存器	166
14.4.1.5	备份区专用看门狗控制寄存器	166
14.4.2	正常运行模式	167
14.4.3	普通休眠模式	167

14.4.4	深度休眠模式.....	167
14.4.5	普通/深度休眠模式下 I/O 口注意事项.....	167
14.4.6	普通/深度休眠模式唤醒方式.....	168
14.4.7	超低功耗模式.....	168
14.4.7.1	进入超低功耗模式的方法.....	168
14.4.7.2	超低功耗模式的唤醒方式.....	169
14.4.7.3	超低功耗模式下 I/O 口状态.....	169
14.4.7.4	备份区专用看门狗.....	170
<b>15</b>	<b>看门狗定时器.....</b>	<b>171</b>
15.1	看门狗相关寄存器.....	171
15.1.1	看门狗预分频选择寄存器 WDTPS.....	171
15.2	看门狗的开启方式.....	172
15.3	看门狗的清除方式.....	172
15.4	看门狗的周期.....	172
<b>16</b>	<b>电气规范.....</b>	<b>174</b>
16.1	极限参数值.....	174
16.2	HFINTOSC 的频率精度与 VDD 和温度之间的关系.....	175
16.3	静态电流特性.....	176
16.4	休眠电流特性.....	177
16.5	外设电流特性.....	178
16.6	I/O 端口电平和芯片供电电压特性.....	179
16.7	POR.....	180
16.8	LVR.....	180
16.9	POWER18.....	180
16.10	BACKUP BOD.....	181
16.11	INTHF.....	181
16.12	ADC12.....	181
16.13	FVR.....	182
16.14	INTLF.....	182
16.15	EXTHF.....	182
16.16	直流特性图表.....	183
<b>17</b>	<b>封装信息.....</b>	<b>193</b>
	<b>附录 1 特殊功能寄存器 (SFR) 功能汇总.....</b>	<b>194</b>
	<b>附录 2 汇编指令集.....</b>	<b>198</b>
	<b>附录 3 寄存器全称表.....</b>	<b>200</b>
	<b>附录 4 全双工异步模式的典型波特率和误差值.....</b>	<b>205</b>
	<b>产品标识体系.....</b>	<b>209</b>



---

版本信息 .....	210
ROSH 认证 .....	211
声明及销售网络.....	212

## 1 系统概述

KF8L20 为哈佛结构的精简指令 CPU。在这种结构中，程序和数据总线是相互独立的。指令字节长度为 16 位，大多数指令能在一个机器周期内执行完成。一共有 73 条指令，效率高，容易进行指令扩展。

KF8L20 芯片内集成了多种外设，包括：

1 个 8 位定时器/计数器 T0

1 个 16 位定时器 T1

1 个 16 位的定时器 T2

1 个 16 位定时器/计数器 T3

1 个 16 位定时器/计数器 T4

1 个 12 位 6 路外部 (+2 路内部) 通道 ADC 模块

1 个 8×19 点阵 LCD 驱动模块

温度传感器

硬件看门狗 (带软件使能)

低电压检测

低电压复位

芯片内集成了  $(256+16) \times 8$  位的数据存储器 RAM 和  $256 \times 8$  位的 DATA EEPROM，KF8L20Z04TN 集成了 6KB 的程序存储器，KF8L20Z08TN 集成了 10KB 的程序存储器。

## 1.1 芯片特征

### ● CPU

高性能哈佛结构的 RISC CPU

73 条精简指令

支持中断优先级处理，共 17 个中断源

复位向量位于 0000H

两级中断可选，用不同的入口地址（高 0004H，低 0014H）

支持 16 级硬件堆栈

工作频率默认内部高频时为 62.5KHz~16MHz，软件可选时钟源及分频

### ● 存储器

10KB 的 FLASH 程序存储器（KF8L20Z08TN，KF8L20Z04TN 为 6KB）

(256+16)×8 位的数据存储器

256×8 位的 DATA EEPROM

工作寄存器组 R0~R7

FLASH 可经受 100 000 次写操作

DATA EEPROM 可经受 1 000 000 次写操作

### ● 特殊功能

内嵌上电复位电路

低电压检测及低电压复位

硬件看门狗

内部高频时钟精度 16MHz±1%

内部可校正低频 32KHz 时钟

提供一个 2V/3V/4V 可选的参考电压，精度为±5%

支持在线串行编程，低功耗休眠模式

### ● I/O 口配置

输入输出口： 均为双向输入输出口

内置上拉功能：P0~P7 口均带有弱上拉功能

电平变化中断：P0 和 P3 口均有电平变化中断功能

IO 口数字输入类型：P0~P7 口均为 SMIT 型

### ● 定时器/计数器

定时器 0：带有 8 位预分频器的 8 位定时器/计数器

定时器 1：带重载功能和预分频器的 16 位定时器

定时器 2：带 16 位周期寄存器、预分频器和后分频器 16 位定时器

定时器 3：带有重载功能、预分频器及时钟源多选的 16 位定时器/计数器

定时器 4：带有重载功能、预分频器及时钟源多选的 16 位定时器/计数器

### ● 其它外设

1 个 12 位 6 路外部（+2 路内部）通道 ADC 模块

1 个 LCD 模块

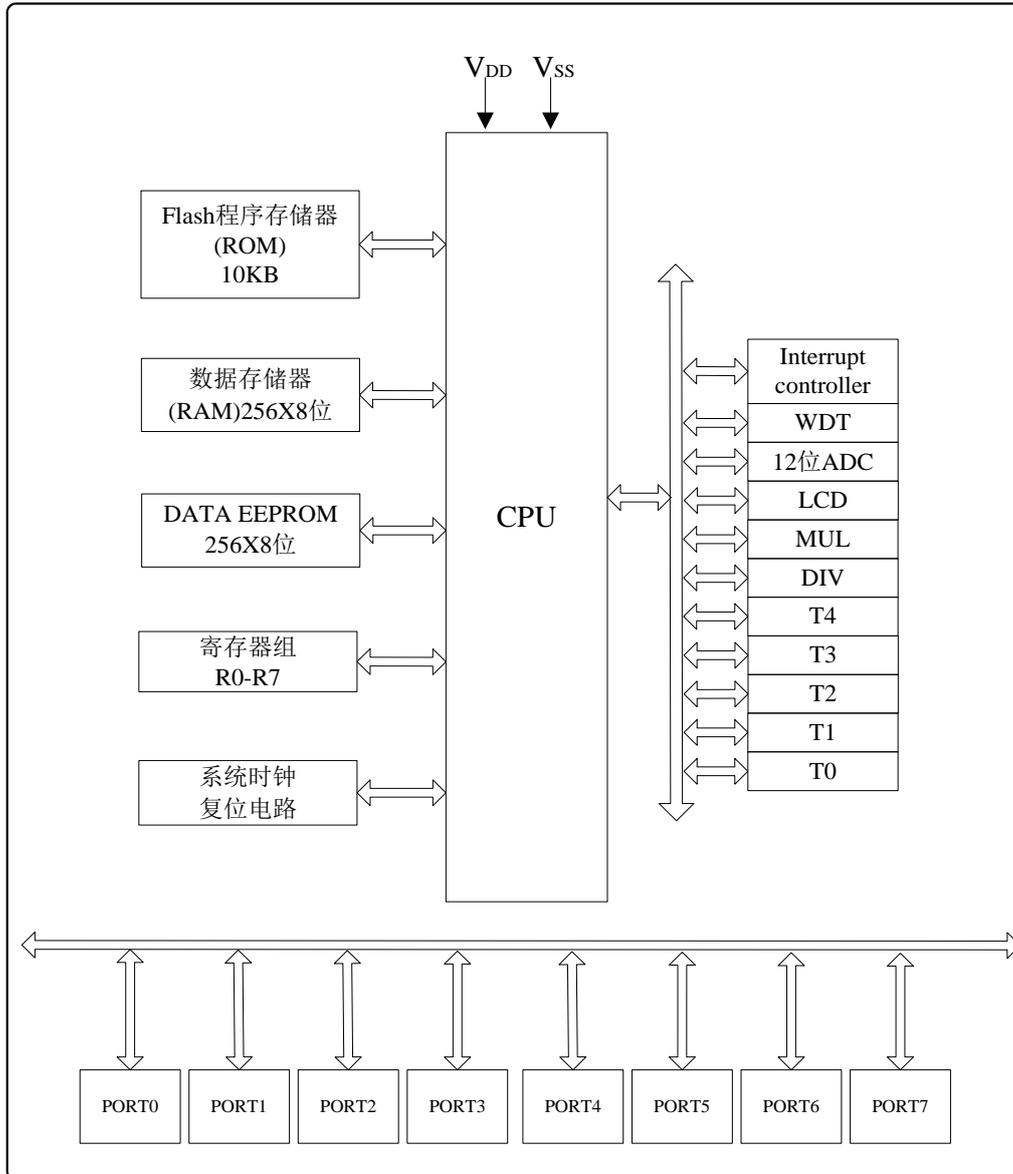
1 个温度传感器

- 工作条件

工作电压： 1.8V~5.5V

工作温度范围： -40~85℃(工业级)

## 1.2 系统框图



### 1.3 存储器

KF8L20 单片机的存储器包含:程序存储器(ROM)、数据存储器(RAM)和 DATA EEPROM。

KF8L20 的程序存储器空间为 10K 字节 (5K×16 位), 寻址范围为 0000H~13FFH, 可擦写次数为 10 万次。数据存储器分为特殊寄存器区(SFR)和通用存储器区, 其中通用存储器区包括通用存储器区 0 和通用存储器区 1, 各区的地址请查阅第 3 章。

DATA EEPROM 的地址为独立寻址, 地址为 00H~FFH。有关以上各种存储器的具体介绍请参考第 3 章。

## 1.4 系统时钟

振荡周期又叫时钟周期，是振荡器振荡频率的倒数，系统时钟是由振荡器时钟分频而来。本芯片中一个机器周期等于四个系统周期，如图 1.1 所示。本芯片除执行部分跳转指令需要两个机器周期外，其余指令仅需要一个机器周期。

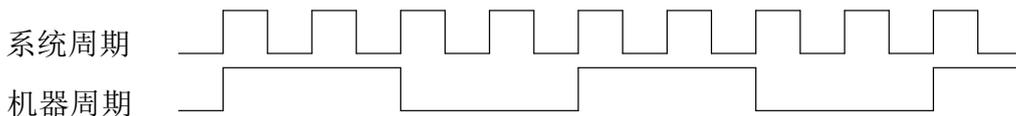


图 1.1 机器周期

KF8L20 系列单片机提供 3 个可选时钟源：

内部高频振荡器 INTHF: 以内部高频振荡器为时钟源；

内部低频振荡器 INTLF: 以内部低频振荡器为时钟源；

外部高频振荡器 EXTHF: 标准晶振、陶瓷谐振器或外接 20MHz~125KHz 的时钟源工作；

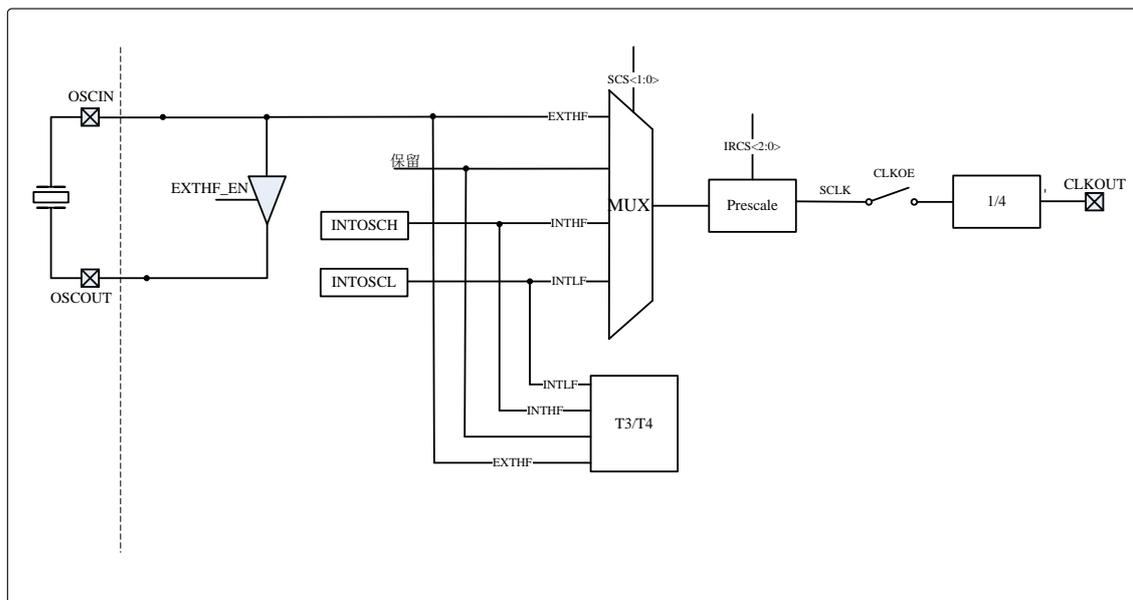


图 1.2 时钟模块原理框图

KF8L20 系列单片机的系统时钟源可以配置为 EXTHF、INTHF 或者 INTLF。同时 3 个可选时钟源还可以作为部分外设的工作时钟源。

表 1-1 与时钟有关的名词表述

名称	定义即描述
SCLK	定义为系统时钟
SCLK/4	定义为机器时钟
T <sub>sys</sub> 或 T <sub>sys</sub>	定义为系统时钟周期
T <sub>mc</sub> 或 T <sub>mc</sub>	定义为机器周期
INTHF	定义为内部高频振荡器（或时钟源）
INTLF	定义为内部低频振荡器（或时钟源）

EXTHF	定义为外部高频振荡器（或时钟源）
OSC	定义为 INTHF,INTLF,EXTHF 的集合

### 1.4.1 时钟模块相关寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
2FH	OSCCTL	CLKOE	IRCS2	IRCS1	IRCS0	SCS1	SCS0	IESO	FSCM
28H	OSCSTA	-	OSTS	HTS	LTS	-	-	SCF1	SCF0

#### 1.4.1.1 系统频率控制寄存器 OSCCTL

**寄存器1.2:** OSCCTL系统频率控制寄存器(地址:2FH)

		bit7						bit0	
复位值		CLKOE	IRCS2	IRCS1	IRCS0	SCS1	SCS0	IESO	FSCM
0010 0000		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注: R=可读 W=可写 -=未用 x=不定 后面与此相同不再复述

**CLKOE:** 系统时钟输出使能位  
 1=使能系统时钟四分频输出  
 0=禁止系统时钟四分频输出

**IRCS<2:0>:** 时钟频率选择位

111=1:1  
 110=1:2  
 101=1:4  
 100=1:8  
 011=1:16  
 010=1:32（默认）  
 001=1:64  
 000=1:256

**SCS<1:0>:** 系统时钟源选择位  
 00=选择内部高频时钟  
 01=选择内部低频时钟  
 10=保留  
 11=选择外部高频时钟

**IESO:** 双速模式使能位  
 0=禁止双速功能  
 1=启动双速功能

**FSCM:** 外部时钟故障检测使能位  
 0=禁止故障检测功能  
 1=使能故障检测功能

### 1.4.1.2 系统时钟标志寄存器 OSCSTA

寄存器1.2: OSCSTA系统时钟标志寄存器(地址:28H)

复位值 -110--00	bit7						bit0	
	-	OSTS	HTS	LTS	-	-	SCF1	SCF0
	U	R	R	R	U	U	R	R

注: R=可读 W=可写 -=未用 x=不定 后面与此相同不再复述

- OSTS: 内外时钟标志位  
 0=系统时钟为外部时钟  
 1=系统时钟为内部时钟
- HTS: 内部高频时钟稳定位  
 0=内部高频时钟未稳定  
 1=内部高频时钟稳定
- LTS: 内部低频时钟稳定位  
 0=内部低频时钟未稳定  
 1=内部低频时钟稳定
- SCF<1:0>: 系统时钟源标志位  
 00=当前系统时钟源为内部高频时钟  
 01=当前系统时钟源为内部低频时钟  
 10=保留  
 11=当前系统时钟源为外部高频时钟

## 1.4.2 上电延时

KF8L20 系列单片机的上电延时可以通过配置位  $\overline{PWRT}$  设置, 上电延时计数时钟  $PWRTCLK$  为内部低频时钟。

当  $\overline{PWRT}=1$  时, 上电延时关闭;

当  $\overline{PWRT}=0$  时, 上电延时打开, 延时时间如下:  $T_{pwrt} = \frac{2^{10}}{PWRTCLK}$ 。

## 1.4.3 内部高频振荡器

KF8L20 系列单片机的内部高频时钟由系统内部高频振荡器提供, 时钟频率为 16MHz, 精度为  $\pm 1\%$ 。

### 1.4.3.1 校准寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
4DH	OSCCAL0	内部高频晶振校准寄存器 0							
37H	OSCCAL1	内部高频晶振校准寄存器 1							
2AH	OSCCAL2	内部高频晶振校准寄存器 2							
4CH	OSCCAL3	内部高频晶振校准寄存器 3							

OSCCAL0、OSCCAL1、OSCCAL2 和 OSCCAL3 为内部高频振荡器时钟校准寄存器, 用来存放系统时钟校准值。用户在编程时, 需要在程序初始化部分将存放在程序空间 27FFH、27FEH、27FDH 和 27FCH 的晶振校准值读出来分别存放到内部高频振荡器的校准寄存器中,

否则会导致系统时钟频率不准。

程序示例请参考例 1.1。

**例1.1 读内部高频晶振校准值**

```

MOV P #0X20 ;切换到PAGE2区
CALL 0X7FF
MOV OSCCAL0, R0
CALL 0X7FE
MOV OSCCAL1, R0
CALL 0X7FD
MOV OSCCAL2, R0
CALL 0X7FC
MOV OSCCAL3, R0
MOV P #0X00 ;切换回PAGE0区
    
```

### 1.4.4 内部低频振荡器

KF8L20 模块内置内部低频振荡器为系统内部低频振荡器，其振荡器频率位 32KHz，它不仅可以为 SCLK 时钟提供时钟源，而且还可以作为独立时钟信号供外设模块使用。也可以作为内部上电延时定时器和看门狗 WDT 定时器的时钟。

#### 1.4.4.1 内部低频振荡器校准寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
366H	LPRCCTL	-	-	-	-	-	LPRC2	LPRC1	LPRC0
365H	LPRCCAL	内部低频晶振校准寄存器							

**寄存器1.1:** LPRCCTL:内部低频RC控制寄存器(地址:366H)

复位值	bit7					bit0		
0000 0000	-	-	-	-	-	LPRC2	LPRC1	LPRC0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注: R=可读 W=可写 -=未用 x=不定 后面与此相同不再复述

LPRC<2:0>: 低功耗内部低频振荡器电流偏置选择位

111=max

...

100=默认值

...

001=min

000=关闭

### 1.4.5 外部高频振荡器

如图 1.3 所示，引脚 OSCIN 和引脚 OSCOUT 可以接外部标准晶体、陶瓷谐振器或外接 20MHz~125KHz 的时钟为时钟源。它不仅可以为 SCLK 时钟提供时钟源，而且还可以作为独立时钟信号供外设模块使用。

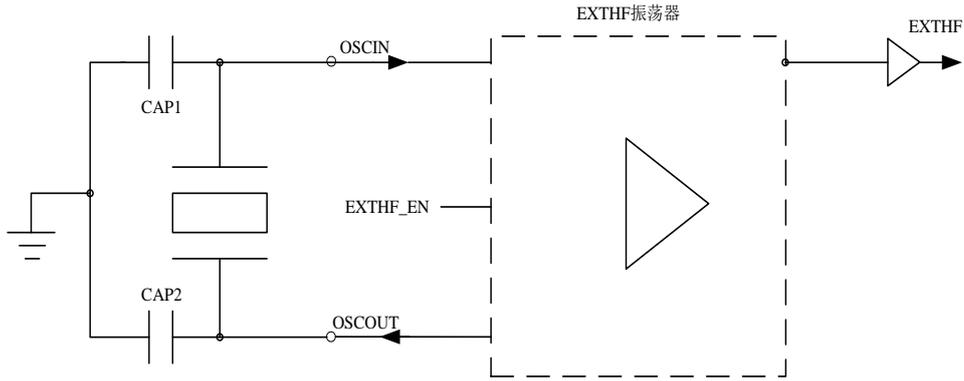


图 1.3 外部高频振荡器原理图

表：外部高频振荡器相关名称说明

名称	说明
OSCIN	外部高频晶振输入引脚，位于 P0.7/OSCIN
OSCOUT	外部高频晶振输出引脚，位于 P5.0/OSCOUT
EXTHF_EN	外部高频晶振软件&硬件使能信号
EXTHF	外部高频时钟信号
CAP1&CAP2	外部高频晶振输入输出引脚外接到地电容，推荐 10pF

### 1.4.6 时钟切换和时钟信号同步

通过设置 OSCCTL 寄存器的 SCS<1:0>位可以选择不同的时钟源作为系统时钟。SCS 位复位为 00，即选择内部高频时钟源作为单片机的系统时钟。

当系统时钟由外部时钟源切换至内部时钟源时，系统时钟将在 SCS 配置后立即对时钟进行切换。

当配置 SCS 位将系统时钟切换至外部时钟源时 (EXTHF)，振荡器起振定时器 OST 将启动，并以 SCS 位配置的外部时钟为计数时钟开始计数，OST 计数的时间内，系统仍以原来的时钟源作为系统时钟，直到 OST 计数器达到 1024 次计数，系统时钟源切换至 SCS 位配置的外部时钟。



图 1.5 时钟切换流程图

当系统时钟在一个时钟源切换到另一个时钟源时，切换必须同步以避免发生时间竞争。当选择一个新的时钟源，会发生以下过程。

- (1) 写 SCS 位改变时钟源；如切换至外部时钟源则须经过 OST 计数器 1024 计数；
- (2) 时钟切换电路等待当前时钟的下降沿；
- (3) 时钟 CLK 保持为低电平，时钟切换电路等待新的时钟的上升沿；
- (4) CLK 与新的时钟连接，完成时钟切换。

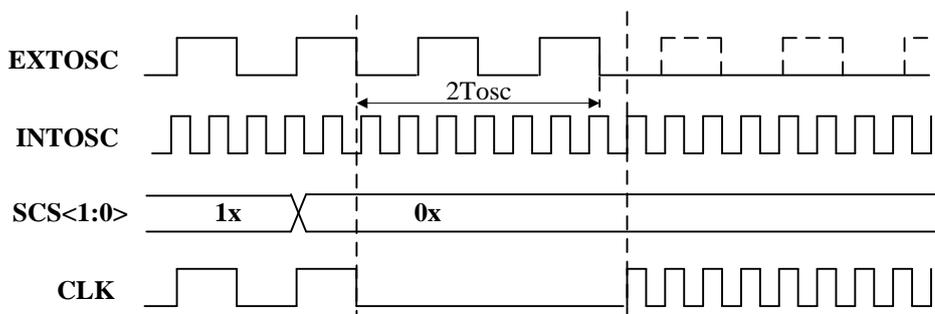


图 1.6 切换至内部时钟源时时钟信号同步时序图

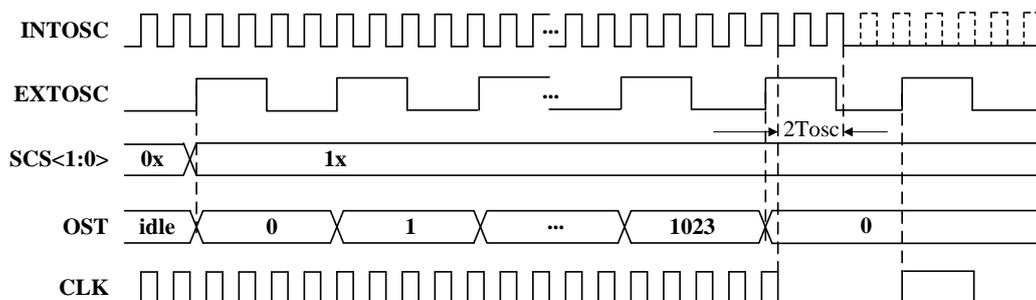


图 1.7 切换至外部时钟源时时钟信号同步时序图

### 1.4.7 双速启动模式

当系统时钟选择外部时钟进入休眠后,唤醒时,外部时钟需要经过 OST 计数器完成 1024 次计数后才会恢复系统时钟。

双速启动模式通过寄存器 OSCCTL 的 IESO 位设置,当使能双速模式时,MCU 会在唤醒后外部时钟进行 OST 计数期间,通过内部高频时钟作为系统时钟运行,当外部时钟完成 OST 计数后,MCU 会自动将系统时钟从内部高频时钟切换至外部时钟。

### 1.4.8 双速启动过程

1. 从休眠状态唤醒;
2. 内部高频振荡器作为时钟源开始执行指令;
3. 使能 OST 计数器对外部时钟计数 1024 个时钟周期;
4. OST 超时,等待内部时钟下降沿;
5. 系统时钟保持低电平直到新的时钟的下一个下降沿;
6. 系统时钟切换到外部时钟源。

### 1.4.9 外部时钟故障检测

故障保护时钟监视 (FSCM) 能使器件在振荡器发生故障时继续运行,其可以检测出振荡器起振定时器 (OST) 延时结束后的任何时刻发生的振荡器故障。

将 OSCCTL 寄存器的 FSCM 位置 1 使能 FSCM,适用于外部振荡器模式。

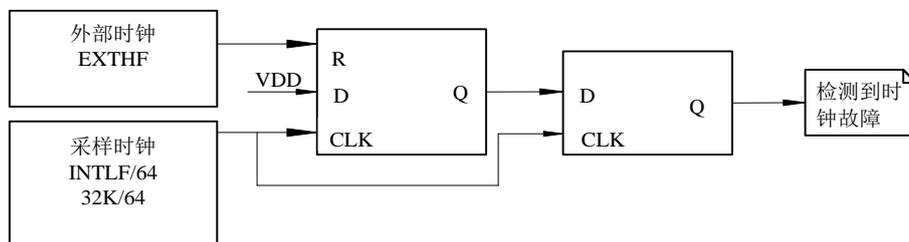


图 1.8 时钟故障检测原理图

FSCM 模块通过比较外部振荡器和采样时钟检测使用的外部振荡器。

FSCM 模块在采样时钟下降沿将第一个寄存器置 1, 在外部时钟下降沿将该寄存器复位为 0, 由于外部时钟频率远大于采样时钟频率, 所以当第一个寄存器刚被采样时钟置 1 不久就被外部时钟复位, 经过第二个寄存器 (CLK 为采样时钟) 后的 Q 值将保持为 0; 当发生外部时钟故障时, 第一个寄存器由于外部时钟故障而失去复位能力, 当采样时钟下降沿到达置 1 后, 将一直保持输出为 1, 检测到故障。

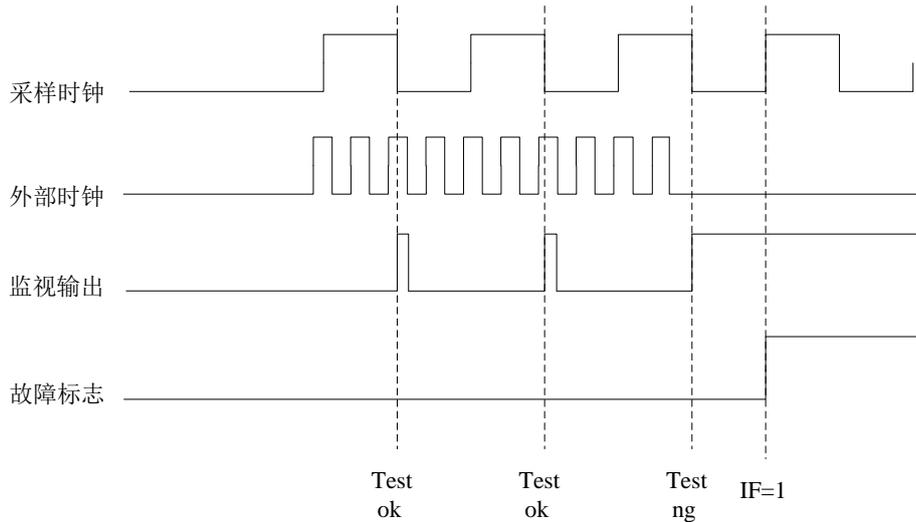


图 1.9 时钟故障检测时序

注: 系统时钟频率实际比采样时钟大很多, 图示为方便分析起见将频率差异减小。

#### 1.4.10 时钟故障保护处理

检测到时钟故障后, 系统时钟将自动切换至内部高频时钟源继续工作, 分频值由 OSCCTL 寄存器的 IRCS<2:0>设置, 直到器件固件成功重启外部振荡器并使时钟重新切换到外部振荡器为止。

在切换至内部高频时钟源后, 时钟故障标志位置 1, 如果打开时钟故障中断使能位, 程序将进入中断行。

## 1.5 配置位

如寄存器 1.2 所示，用户在烧写程序时，在编程器中通过对配置位进行设置，使单片机启用诸如看门狗、程序代码保护、欠压检测等功能。KF8L20 的配置位映射在 8007H 和 8008H 地址单元。

CONFIG: 配置字(地址:8007H)

R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P
—	—	—	—	—	DEBUG	SWRTEN	—	CODEP	LVREN	RSTEN	PWRT	WDTEN	DATAP	-	SWRTEN	
bit15					bit8					bit0						

注: R=编程器可读 P=编程时可写

- DEBUG:** 在线调试使能位  
 $\overline{\text{DEBUG}}=1$  禁止在线调试  
 $\overline{\text{DEBUG}}=0$  使能在线调试
- CODEP:** 代码保护使能位  
 $\overline{\text{CODEP}}=1$  禁止程序存储器代码保护  
 $\overline{\text{CODEP}}=0$  使能程序存储器代码保护
- LVREN:** 欠压检测功能使能位  
 $\text{LVREN}=1$  使能欠压检查功能  
 $\text{LVREN}=0$  禁止欠压检查功能
- RSTEN:** P0.3/ $\overline{\text{RST}}$  引脚功能选择  
 $\text{RSTEN}=1$  P0.3/ $\overline{\text{RST}}$  引脚配置为外部复位输入  
 $\text{RSTEN}=0$  P0.3/ $\overline{\text{RST}}$  引脚功能为数字输入口
- PWRT:** 上电延时使能位  
 $\text{PWRT}=0$  使能上电延时  
 $\text{PWRT}=1$  禁止上电延时
- WDTEN:** 看门狗定时器(WDT)使能位  
 $\text{WDTEN}=1$  使能 WDT  
 $\text{WDTEN}=0$  禁止 WDT
- DATAP:** 数据存储区加密使能位  
 $\text{CPD}=1$  禁止数据存储区加密  
 $\text{CPD}=0$  使能数据存储区加密
- SWRTEN<1:0>:** Flash 自写使能位  
 $\text{SWRTEN}<1:0>=00$  写保护关闭, 全区域可写  
 $\text{SWRTEN}<1:0>=01$  0000H 至 01FFH 受写保护  
 $\text{SWRTEN}<1:0>=10$  0000H 至 0FFFH 受写保护  
 $\text{SWRTEN}<1:0>=11$  0000H 至 13FFH 受写保护, 全区域不可写

CONFIG: 校验字(地址:8008H)

R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P								
---	---	---	---	---	---	---	---	POR2	POR1	POR0	BOD4	BOD3	BOD2	BOD1	BOD0	

bit15

bit8

bit0

注: R=编程器可读 P=编程时可写

BOR<4:0>: BOD 电压校验位

POR<2:0>: POR 电压校验位

## 1.6 在线串行编程

如图 1.10、1.11 所示，在最终应用电路中可对 KF8L20 单片机进行在线串行编程。实现编程仅需要 5 根线包括：复位线(RST)、时钟线(SPCLK)、数据线(SPDAT)、电源线(VDD)、地线(VSS)。

开发人员和用户可以使用未编程的单片机来制造电路板，然后对其在线编程，调试等。只要有电脑、USB 下载线和编程器，即可在任何时候，任何地点，对电路板上的单片机程序进行更新。

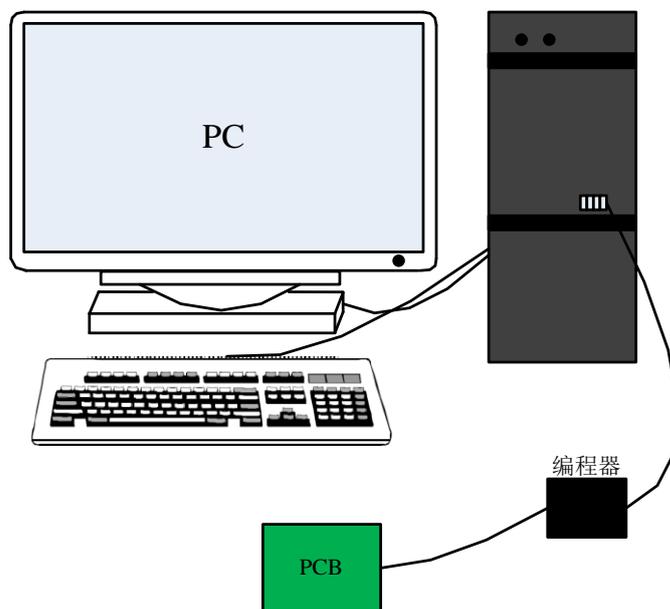


图 1.10 在线调试系统示意图

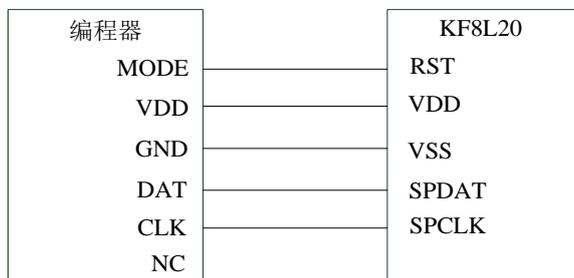


图 1.11 在线串行编程连接图

## 2 I/O 端口

KF8L20 系列单片机引脚包括:

- 两组电源地 VDD/VSS
- 一个内部电压外接电容脚 VDDcore
- 其余管脚均为 I/O 端口, 包括 P0~P7

### 2.1 I/O 端口的读写

读 P0~P7 口时实际为读端口电平, 即读  $P_x$  ( $x=0\sim7$ ), 而写 P0~P7 时实际为写  $P_xLR(x=0\sim7)$  寄存器。其原理框图如图 2.1 所示:

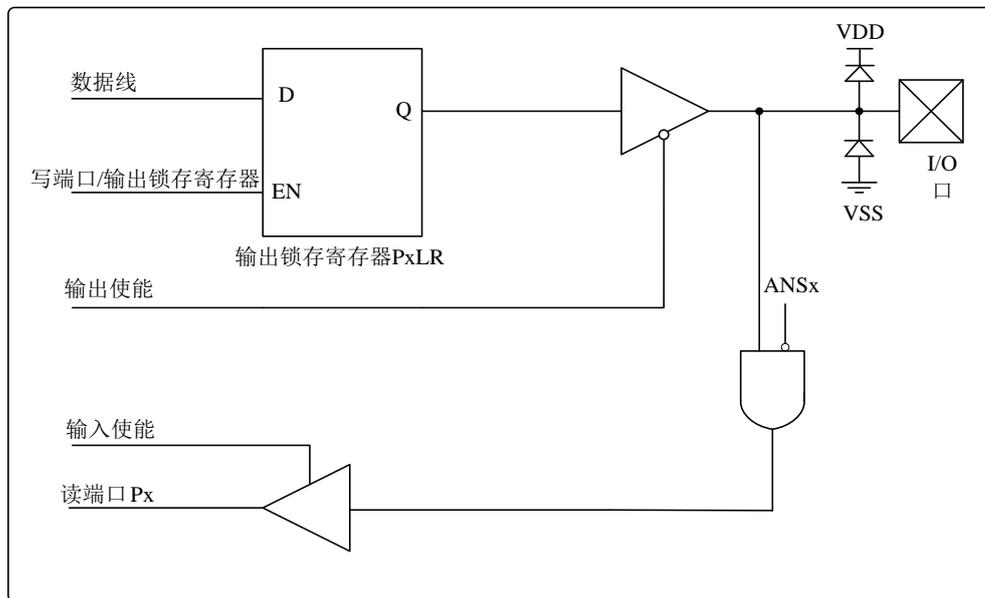


图 2.1 I/O 口读写原理图

IO 端口作为输出时, 可对  $P_xLR$  ( $x=0\sim7$ ) 进行赋值(寄存器操作或位操作), 以避免原来的 IO 端口的读-修改-写操作引起的错误。

## 2.2 P0 口

在线编程时 P0 口的 SPCLK、SPDAT 作为编程脚使用。所有 P0 口均可作为普通 I/O 口且带有上拉功能，P0 口所有引脚都有电平变化中断功能。

特别注意，P0.3 口的供电为 Vb<sub>kp</sub>，因此在 V<sub>bat</sub> 维持备份区供电、VDD 掉电的条件下，仍旧可以实现保持 I/O 口状态和 RST 复位（此时为复位备份区）功能。同时，其内部结构和其他普通 I/O 口有所不同，详见 P0 口各引脚内部原理功能框图章节。P0.3 口结构上的差异导致其拉电流能力弱于其他通用 I/O 口；另外，在 P0.3 口外接器件时，请考虑在高电平输出驱动管下的 1KΩ 电阻，如直接外接下拉电路，可能导致 P0.3~P0.6 口输出电平被分压。

### 2.2.1 P0 口相关的寄存器

表 2-2 与 P0 端口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
05H	P0	P07	-	-	-	P03	P02	P01	-
45H	P0LR	P0LR7	-	-	-	P0LR3	P0LR2	P0LR1	-
25H	TR0	TR07	-	-	-	TR03	TR02	TR01	-
36H	IOCL0	IOCL07	-	-	-	IOCL03	IOCL02	IOCL01	-
35H	PUR0	PUR07	-	-	-	PUR03	PUR02	PUR01	-
31H	ANS0	ANS07	-	-	-	ANS03	ANS02	ANS01	-

#### 2.2.1.1 P0 口状态寄存器 (P0)

寄存器 P0 各位对应 P0 口相应引脚当前的状态，如寄存器 2.1 所示：

**寄存器 2.1:** P0: P0 口状态寄存器(地址: 05H)

复位值 xxxx xxxx	bit7							bit0
	P07	-	-	-	P03	P02	P01	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P07|P0<3:1>: 读 P0 口各端口电平

P0<sub>x</sub>=1 对应引脚为逻辑高电平

P0<sub>x</sub>=0 对应引脚为逻辑低电平

#### 2.2.1.2 P0 口输出锁存寄存器 (P0LR)

寄存器 P0LR 是 P0 口输出锁存寄存器。在 P0 口作为输出时，通过写 P0LR 寄存器来设置输出 P0 口的状态。

**寄存器 2.2:** P0LR: P0 口输出锁存寄存器(地址: 45H)

复位值 xxxx xxxx	bit7							bit0
	P0LR7	-	-	-	P0LR3	P0LR2	P0LR1	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P0LR7|P0LR<3:1>: 写 P0 口输出状态

P0LR<sub>x</sub>=1 对应引脚输出高电平

P0LR<sub>x</sub>=0 对应引脚输出低电平

### 2.2.1.3 P0 口方向控制寄存器(TR0)

如寄存器 2.3 所示，TR0 为 P0 口方向控制寄存器，当 TR0 某位置 1 时，将该引脚设置为输入，此时引脚为三态(悬空)，TR0 某位清 0，对应引脚设置为输出。

**寄存器2.3:** TR0: P0口方向控制寄存器(地址: 25H)

		bit7				bit0			
复位值 1111 1111		TR07	-	-	-	TR03	TR02	TR01	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TR07|TR0<3:1>: P0 口各引脚方向控制位

TR0x=1 对应的引脚设置为输入

TR0x=0 对应的引脚设置为输出

### 2.2.1.4 P0 上拉功能控制寄存器(PUR0)

KF8L20 所有引脚均带有上拉功能，可通过上拉功能控制寄存器和 OPTR 寄存器中的 PUPH 来控制上拉功能是否打开。

如果要将某引脚的上拉功能打开，需要先将 PUPH(上拉功能总使能位)位清 0，允许 P0 口上拉功能打开，然后再将要打开上拉功能的引脚，所对应的上拉功能控制位置 1 即可。寄存器 2.4 为上拉功能控制寄存器。

注：只有将引脚设置为数字输入时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入时将会自动禁止该引脚的上拉电阻。

**寄存器2.4:** PUR0: P0口弱上拉控制寄存器(地址: 35H)

		bit7				bit0			
复位值 1111 1111		PUR07	-	-	-	PUR03	PUR02	PUR01	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUR07|PUR0<3:1>: 上拉功能使能位

PUR0x=1 使能对应的端口上拉功能

PUR0x=0 禁止对应的端口上拉功能

### 2.2.1.5 P0 口电平变化中断控制寄存器(IOCL0)

P0 口每个引脚都具有电平变化中断功能，当引脚的当前电平与上次读 P0 寄存器时的电平不匹配时将产生电平变化中断。如寄存器 2.5 所示，IOCL0 为电平变化中断控制寄存器，将 IOCL 某位置 1 将开启对应引脚的电平变化中断功能，如果该引脚电平发生变化，不管电平变化中断是否使能，电平变化中断标志位(POIF)都会置 1，如果全局中断使能位(AIE)和电平变化中断使能位(POIE)都已置 1，则会响应中断进入中断服务子程序。P0 口所有引脚的电平变化中断共用一个标志位 POIF。

注：1. 只有将引脚设置为数字输入时才可开启电平变化中断功能，如果将某引脚设置为输出或者设置为模拟输入时将会自动禁止该引脚的电平变化中断功能。  
2. P0口各引脚的电平变化中断共用一个中断使能位和中断响应标志位。

**寄存器2.5:** IOCL0: P0口电平变化中断控制寄存器(地址:36H)

		bit7							bit0
复位值	0000 0000	IOCL07	-	-	-	IOCL03	IOCL02	IOCL01	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IOCL07|IOCL0<3:1>: P0 端口引脚电平变化中断使能控制位

IOCL0x=1 使能对应引脚的电平变化中断

IOCL0x=0 禁止对应引脚的电平变化中断

### 2.2.1.6 P0 口模拟/数字口设置寄存器 (ANS0)

P0 口模拟/数字口设置寄存器 ANS0 用于将 P0 口设置为模拟口或者数字口，通过将 ANS0 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

**寄存器2.6:** ANS0: P0口模拟/数字口设置寄存器(地址:31H)

		bit7							bit0
复位值	1111 1111	ANS07	-	-	-	ANS03	ANS02	ANS01	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ANS07|ANS0<3:1>: P0 口各引脚模拟/数字口设置位

1 = 将对应引脚配置为模拟口

0 = 将对应引脚配置为数字口或者特殊功能引脚

### 2.2.2 P0 口各引脚内部原理功能框图

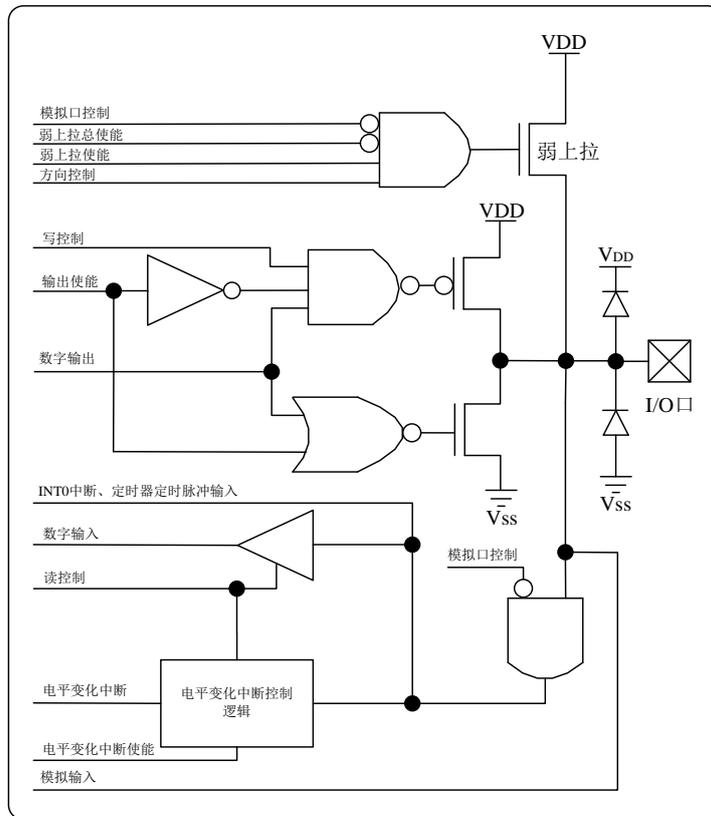


图 2.3.1 P0.1、P0.2、P0.7 口引脚原理框图

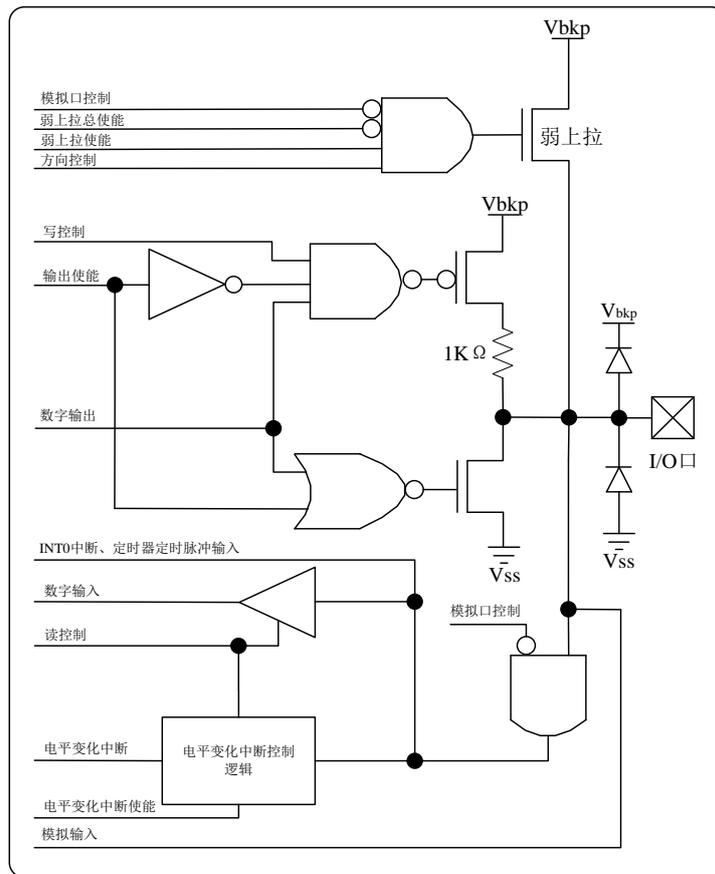


图 2.3.2 P0.3 口引脚原理框图

注:

1. 在 P0.3~P0.6 口外接器件时, 请考虑在高电平输出驱动管下的  $1K\Omega$  电阻, 如直接外接下拉电路, 可能导致 P0.3~P0.6 口输出电平被分压。
2. P0.3~P0.6 口的最大输出拉电流能力为  $370\mu A$ 。

## 2.3 P1 口

P1 口所有管脚均可作为普通 I/O 口且带有上拉功能。

### 2.3.1 P1 口相关的寄存器

表 2-4 与 P1 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
07H	P1	P17	P16	P15	-	-	-	-	-
47H	P1LR	P1LR7	P1LR6	P1LR5	-	-	-	-	-
27H	TR1	TR17	TR16	TR15	-	-	-	-	-
60H	PUR1	PUR17	PUR16	PUR15	-	-	-	-	-
1DH	ANS1	ANS17	ANS16	ANS15	-	-	-	-	-

#### 2.3.1.1 P1 口状态寄存器(P1)

寄存器 P1 对应端口 P1 引脚作为普通 I/O 口时的状态。如寄存器 2.7 所示

寄存器 2.7: P1: P1 口状态寄存器(地址: 07H)

		bit7			bit0			
复位值 xxxx xxxx		P17	P16	P15	-	-	-	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1<7:5>: P1 口各引脚状态位

P1x=1 对应引脚为逻辑高电平

P1x=0 对应引脚为逻辑低电平

#### 2.3.1.2 P1 口输出锁存寄存器 (P1LR)

寄存器 P1LR 是 P1 口输出锁存寄存器。在 P1 口作为输出时，通过写 P1LR 寄存器来设置输出 P1 口的状态。

寄存器 2.8: P1LR: P1 口输出锁存寄存器(地址: 47H)

		bit7			bit0			
复位值 xxxx xxxx		P1LR7	P1LR6	P1LR5	-	-	-	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1LR<7:5>: 写 P1 口输出状态

P1LRx=1 对应引脚输出高电平

P1LRx=0 对应引脚输出低电平

### 2.3.1.3 P1 口方向控制寄存器(TR1)

如寄存器 2.9 所示，通过将寄存器 TR1 中的某位置 1，将对应管脚设置为输入口。清 0 设置为输出口，系统复位时，P1 口各引脚默认为输入口。

**寄存器2.9:** TR1: P1口方向控制寄存器(地址: 27H)

	bit7						bit0	
复位值 1111 1111	TR17	TR16	TR15	-	-	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TR1<7:5>: P1 口引脚方向控制位

TR1x=1 P1 口对应引脚被配置为输入端口

TR1x=0 P1 口对应引脚被配置为输出端口

### 2.3.1.4 P1 口上拉功能控制寄存器(PUR1)

KF8L20 中 P1 引脚均带有上拉功能，可通过上拉功能控制寄存器和 OPTR 寄存器中的 PUPH 来控制上拉功能是否打开。

如果要将某引脚的上拉功能打开，需要先将 PUPH(上拉功能总使能位)位清 0，允许 P1 口上拉功能打开，然后再将要打开上拉功能的引脚，所对应的上拉功能控制位置 1 即可。寄存器 2.10 为上拉功能控制寄存器。

注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

**寄存器2.10:** PUR1: P1口弱上拉控制寄存器(地址: 60H)

	bit7						bit0	
复位值 1111 1111	PUR17	PUR16	PUR15	-	-	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUR1<7:5>: 上拉功能使能位

PUR1x=1 使能对应的端口上拉功能

PUR1x=0 禁止对应的端口上拉功能

### 2.3.1.5 P1 口模拟/数字口设置寄存器 (ANS1)

P1 口模拟/数字口设置寄存器 ANS1 用于将 P1 口设置为模拟口或者数字口，通过将 ANS1 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

**寄存器2.11:** ANS1: P1口模拟/数字口设置寄存器(地址:1DH)

	bit7						bit0	
复位值 1111 1111	ANS17	ANS16	ANS15	-	-	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ANS1<7:5>: P1 口各引脚模拟/数字口设置位

1 = 将对应引脚配置为模拟口

0 = 将对应引脚配置为数字口或者特殊功能引脚

2.3.2 P1 口原理功能框图

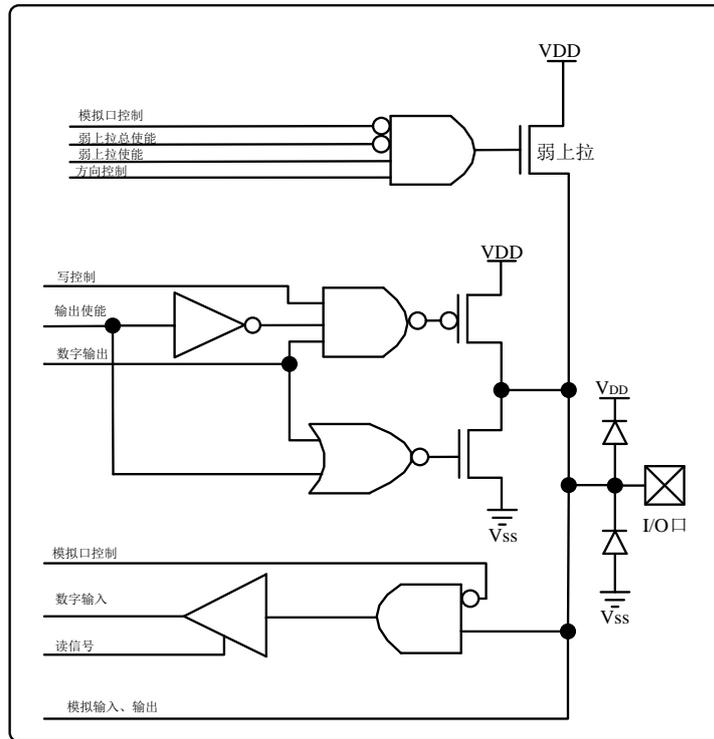


图 2.4 P1 口引脚原理功能框图

## 2.4 P2 口

P2 口所有管脚均可作为普通 I/O 口且带有上拉功能。

### 2.4.1 P2 口相关的寄存器

表 2-6 与 P2 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
06H	P2	-	-	P25	P24	P23	P22	P21	P20
46H	P2LR	-	-	P2LR5	P2LR4	P2LR3	P2LR2	P2LR1	P2LR0
26H	TR2	-	-	TR25	TR24	TR23	TR22	TR21	TR20
61H	PUR2	-	-	PUR25	PUR24	PUR23	PUR22	PUR21	PUR20
32H	ANS2	-	-	ANS25	ANS24	ANS23	ANS22	ANS21	ANS20

#### 2.4.1.1 P2 口状态寄存器(P2)

寄存器 P2 各位对应端口 P2 口各引脚作为普通 I/O 口时的状态。如寄存器 2.12 所示：

寄存器2.12: P2: P2口状态寄存器(地址: 06H)

复位值	bit7							bit0
xxxx xxxx	-	-	P25	P24	P23	P22	P21	P20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2<5:0>: P2 口各引脚状态位  
 P2x=1 对应引脚为逻辑高电平  
 P2x=0 对应引脚为逻辑低电平

#### 2.4.1.2 P2 口输出锁存寄存器 (P2LR)

在 P2 口作为输出时，通过写 P2LR 寄存器来设置输出 P2 口的状态。

寄存器2.13: P2LR: P2口输出锁存寄存器(地址: 46H)

复位值	bit7							bit0
xxxx xxxx	-	-	P2LR5	P2LR4	P2LR3	P2LR2	P2LR1	P2LR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2LR<5:0>: 写 P2 口输出状态  
 P2LRx=1 对应引脚输出高电平  
 P2LRx=0 对应引脚输出低电平

#### 2.4.1.3 P2 口方向控制寄存器(TR2)

通过将寄存器 TR2 中的某位置 1，将对应管脚设置为输入口，清 0 设置为输出口。

寄存器2.14: TR2: P2口方向控制寄存器(地址: 26H)

复位值	bit7							bit0
1111 1111	-	-	TR25	TR24	TR23	TR22	TR21	TR20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TR2<5:0>: P2 口各引脚方向控制位  
 TR2x=1 P2 口对应引脚被配置为输入端口  
 TR2x=0 口对应引脚被配置为输出端口

#### 2.4.1.4 P2 口上拉功能控制寄存器(PUR2)

KF8L20 中 P2 引脚均带有上拉功能，可通过上拉功能控制寄存器和 OPTR 寄存器中的  $\overline{\text{PUPH}}$  来控制上拉功能是否打开。

如果要将某引脚的上拉功能打开，需要先将  $\overline{\text{PUPH}}$  (上拉功能总使能位) 位清 0，允许 P2 口上拉功能打开，然后再将要打开上拉功能的引脚，所对应的上拉功能控制位置 1 即可。寄存器 2.15 为上拉功能控制寄存器。

注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

**寄存器2.15: PUR2: P2口弱上拉控制寄存器(地址:61H)**

	bit7						bit0	
复位值 1111 1111	-	-	PUR25	PUR24	PUR23	PUR22	PUR21	PUR20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUR2<5:0>: 上拉功能使能位

PUR2x=1 使能对应的端口上拉功能

PUR2x=0 禁止对应的端口上拉功能

#### 2.4.1.5 P2 口模拟/数字口设置寄存器 (ANS2)

P2 口模拟/数字口设置寄存器 ANS2 用于将 P2 口设置为模拟口或者数字口，通过将 ANS2 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

**寄存器2.16: ANS2: P2口模拟/数字口设置寄存器(地址:32H)**

	bit7						bit0	
复位值 1111 1111	-	-	ANS25	ANS24	ANS23	ANS22	ANS21	ANS20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ANS2<5:0>: P2 口各引脚模拟/数字口设置位

1 = 将对应引脚配置为模拟口

0 = 将对应引脚配置为数字口或者特殊功能引脚

### 2.4.2 P2 口原理功能框图

如引脚示意图所示，根据各引脚的作用不同，P2 口引脚原理功能框图中的模拟输入和输出有微小差别。

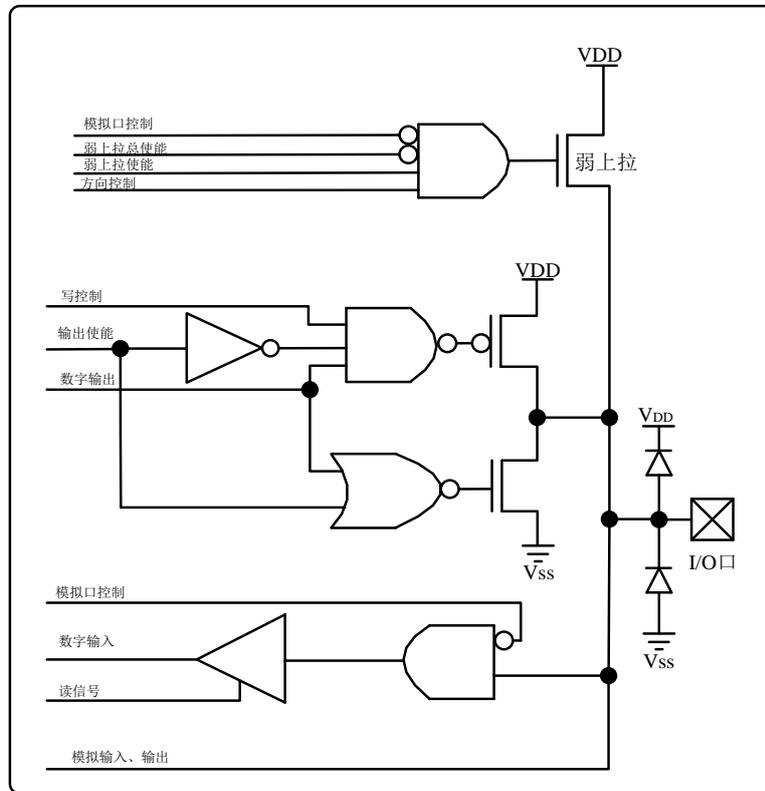


图 2.5 P2 口引脚原理功能框图

## 2.5 P3 口

P3 口所有管脚均可作为普通 I/O 口且带有上拉功能。P3 口所有引脚都有电平变化中断功能。

### 2.5.1 P3 口相关的寄存器

**表 2-8 与 P3 口相关的寄存器**

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
08H	P3	-	-	-	-	-	-	-	P30
48H	P3LR	-	-	-	-	-	-	-	P3LR0
49H	TR3	-	-	-	-	-	-	-	TR30
6CH	PUR3	-	-	-	-	-	-	-	PUR30
6BH	IOCL3	-	-	-	-	-	-	-	IOCL30
33H	ANS3	-	-	-	-	-	-	-	ANS30

#### 2.5.1.1 P3 口状态寄存器(P3)

寄存器 P3 各位对应端口 P3 口各引脚作为普通 I/O 口时的状态。如寄存器 2.17 所示。

**寄存器2.17:** P3: P3口状态寄存器(地址:08H)

复位值 xxxx xxxx	bit7							bit0
-	-	-	-	-	-	-	-	P30
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3<0>: P3 口各引脚状态位  
 P3x=1 对应引脚为逻辑高电平  
 P3x=0 对应引脚为逻辑低电平

#### 2.5.1.2 P3 口输出锁存寄存器 (P3LR)

寄存器 P3LR 是 P3 口输出锁存寄存器。在 P3 口作为输出时，我们是通过写 P3LR 寄存器来设置输出 P3 口的状态。

**寄存器2.18:** P3LR: P3口输出锁存寄存器(地址:48 H)

复位值 xxxx xxxx	bit7							bit0
-	-	-	-	-	-	-	-	P3LR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3LR<0>: 写 P3 口输出状态  
 P3LRx=1 对应引脚输出高电平  
 P3LRx=0 对应引脚输出低电平

### 2.5.1.3 P3 口方向控制寄存器(TR3)

如寄存器 2.19 所示，通过将寄存器 TR3 中的某位置 1，将对应管脚设置为输入口。清 0 设置为输出口。

**寄存器2.19:** TR3: P3口方向控制寄存器(地址: 49H)

复位值 1111 1111	bit7							bit0
	-	-	-	-	-	-	-	TR30
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TR3<0>: P3 口各引脚方向控制位  
 TR3x=1 P3 口对应引脚被配置为输入端口  
 TR3x=0 P3 口对应引脚被配置为输出口

### 2.5.1.4 P3 口上拉功能控制寄存器(PUR3)

KF8L20 中 P3 引脚均带有上拉功能，可通过上拉功能控制寄存器和 OPTR 寄存器中的 PUPH 来控制上拉功能是否打开。

如果要将某引脚的上拉功能打开，需要先将 PUPH(上拉功能总使能位)位清 0，允许 P3 口上拉功能打开，然后再将要打开上拉功能的引脚，所对应的上拉功能控制位置 1 即可。寄存器 2.20 为上拉功能控制寄存器。

注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

**寄存器2.20:** PUR3: P3口弱上拉控制寄存器(地址:6CH)

复位值 1111 1111	bit7							bit0
	-	-	-	-	-	-	-	PUR30
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUR3<0>: 上拉功能使能位  
 PUR3x=1 使能对应的端口上拉功能  
 PUR3x=0 禁止对应的端口上拉功能

### 2.5.1.5 P3 口电平变化中断控制寄存器(IOCL3)

P3 口每个引脚都具有电平变化中断功能，当引脚的当前电平与上次读 P3 寄存器时的电平不匹配时将产生电平变化中断。如寄存器 2.21 所示，IOCL3 为 P3 口电平变化中断控制寄存器，将 IOCL3 某位置 1 将开启对应引脚的电平变化中断功能，如果该引脚电平发生变化，不管电平变化中断是否使能，电平变化中断标志位(P3IF)都会置 1，如果全局中断使能位(AIE)和电平变化中断使能位(P3IE)都已置 1，则会响应中断进入中断服务子程序。P3 口所有引脚的电平变化中断共用一个标志位 P3IF。

注：1. 只有将引脚设置为数字输入口时才可开启电平变化中断功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的电平变化中断功能。  
 2. P3口各引脚的电平变化中断共用一个中断使能位和中断响应标志位。

**寄存器2.21: IOCL3: P3口电平变化中断控制寄存器(地址:6BH)**

	bit7							bit0
复位值 0000 0000	-	-	-	-	-	-	-	IOCL30
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- IOCL3<0>: P3 端口引脚电平变化中断使能控制位  
 IOCL3=1 使能对应引脚的电平变化中断  
 IOCL3=0 禁止对应引脚的电平变化中断

### 2.5.1.6 P3 口模拟/数字口设置寄存器 (ANS3)

P3 口模拟/数字口设置寄存器 ANS3 用于将 P3 口设置为模拟口或者数字口，通过将 ANS3 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

**寄存器2.22: ANS3: P3口模拟/数字口设置寄存器(地址:33H)**

	bit7							bit0
复位值 1111 1111	-	-	-	-	-	-	-	ANS30
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- ANS3<0>: P3 口各引脚模拟/数字口设置位  
 1 = 将对应引脚配置为模拟口  
 0 = 将对应引脚配置为数字口或者特殊功能引脚

### 2.5.2 P3 口原理功能框图

如图 2.6 所示，P3 口引脚原理功能框图中的模拟输入和输出有微小差别。

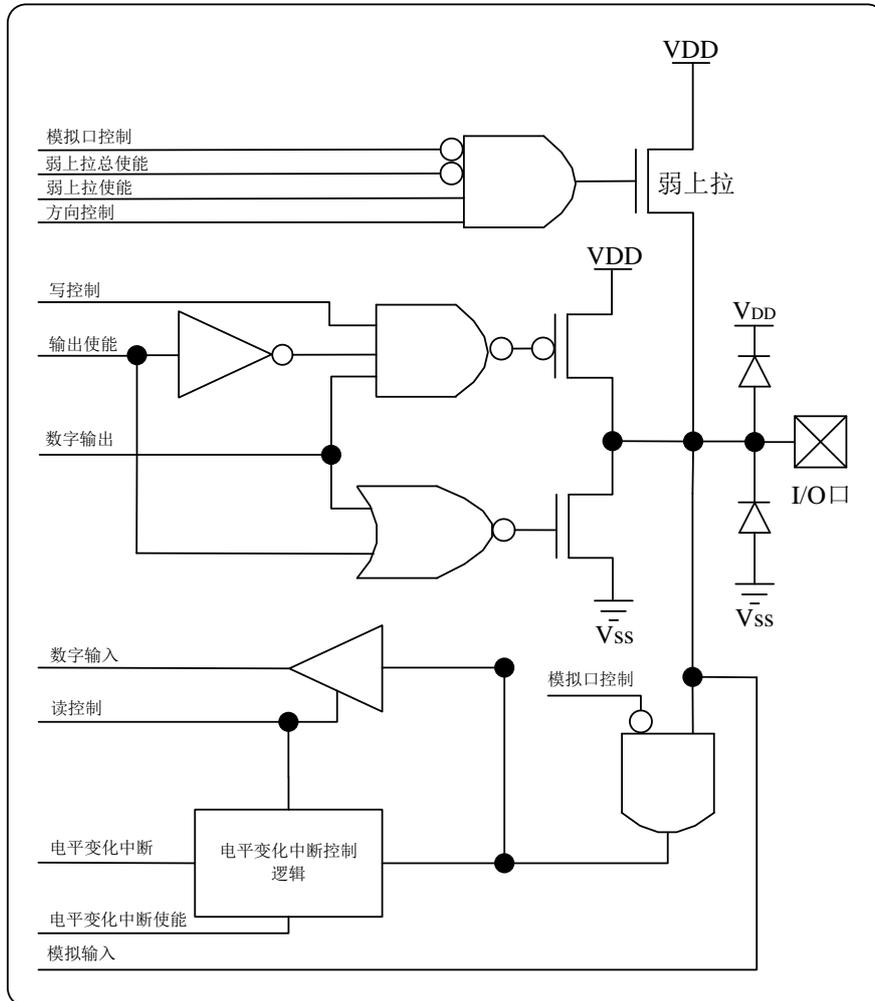


图 2.6 P3 口引脚原理功能框图

## 2.6 P4 口

P4 口所有管脚均可作为普通 I/O 口且带有上拉功能。

### 2.6.1 P4 口相关的寄存器

表 2-10 与 P4 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
20CH	P4	P47	P46	P45	P44	-	-	-	-
20DH	P4LR	P4LR7	P4LR6	P4LR5	P4LR4	-	-	-	-
20EH	TR4	TR47	TR46	TR45	TR44	-	-	-	-
20FH	PUR4	PUR47	PUR46	PUR45	PUR44	-	-	-	-
206H	ANS4	ANS47	ANS46	ANS45	ANS44	-	-	-	-

#### 2.6.1.1 P4 口状态寄存器(P4)

寄存器 P4 各位对应端口 P4 口各引脚作为普通 I/O 口时的状态。如寄存器 2.23 所示：

寄存器 2.23: P4: P4 口状态寄存器(地址: 20CH)

		bit7						bit0	
复位值		P47	P46	P45	P44	-	-	-	-
xxxx xxxx		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P4<7:4>: P4 口各引脚状态位  
 P4x=1 对应引脚为逻辑高电平  
 P4x=0 对应引脚为逻辑低电平

#### 2.6.1.2 P4 口输出锁存寄存器 (P4LR)

寄存器 P4LR 是 P4 口输出锁存寄存器。在 P4 口作为输出时，我们是通过写 P4LR 寄存器来设置输出 P4 口的状态。

寄存器 2.24: P4LR: P4 口输出锁存寄存器(地址:20DH)

		bit7						bit0	
复位值		P4LR7	P4LR6	P4LR5	P4LR4	-	-	-	-
xxxx xxxx		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P4LR<7:4>: 写 P4 口输出状态  
 P4LRx=1 对应引脚输出高电平  
 P4LRx=0 对应引脚输出低电平

#### 2.6.1.3 P4 口方向控制寄存器(TR4)

如寄存器 2.25 所示，通过将寄存器 TR4 中的某位置 1，将对应管脚设置为输入口。清 0 设置为输出口。

寄存器 2.25: TR4: P4 口方向控制寄存器(地址: 20EH)

		bit7						bit0	
复位值		TR47	TR46	TR45	TR44	-	-	-	-
1111 1111		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TR4<7:4>: P4 口各引脚方向控制位  
 TR4x=1 P4 口对应引脚被配置为输入端口  
 TR4x=0 P4 口对应引脚被配置为输出端口

### 2.6.1.4 P4 口上拉功能控制寄存器(PUR4)

KF8L20 中 P4 引脚均带有上拉功能，可通过上拉功能控制寄存器和 OPTR 寄存器中的 PUPH 来控制上拉功能是否打开。

如果要将某引脚的上拉功能打开，需要先将  $\overline{\text{PUPH}}$  (上拉功能总使能位) 位清 0，允许 P4 口上拉功能打开，然后再将要打开上拉功能的引脚，所对应的上拉功能控制位置 1 即可。寄存器 2.26 为上拉功能控制寄存器。

注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

**寄存器2.26: PUR4: P4口弱上拉控制寄存器(地址:20FH)**

	bit7						bit0
复位值 1111 1111	PUR47	PUR46	PUR45	PUR44	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUR4<7:4>: 上拉功能使能位  
 PUR4x=1 使能对应的端口上拉功能  
 PUR4x=0 禁止对应的端口上拉功能

### 2.6.1.5 P4 口模拟/数字口设置寄存器 (ANS4)

P4 口模拟/数字口设置寄存器 ANS4 用于将 P4 口设置为模拟口或者数字口，通过将 ANS4 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

**寄存器2.27: ANS4: P4口模拟/数字口设置寄存器(地址:206H)**

	bit7						bit0
复位值 1111 1111	ANS47	ANS46	ANS45	ANS44	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ANS4<7:4>: P4 口各引脚模拟/数字口设置位  
 1 = 将对应引脚配置为模拟口  
 0 = 将对应引脚配置为数字口或者特殊功能引脚

### 2.6.2 P4 口原理功能框图

如引脚示意图所示，根据各引脚的作用不同，P4 口引脚原理功能框图中的模拟输入和输出有微小差别。

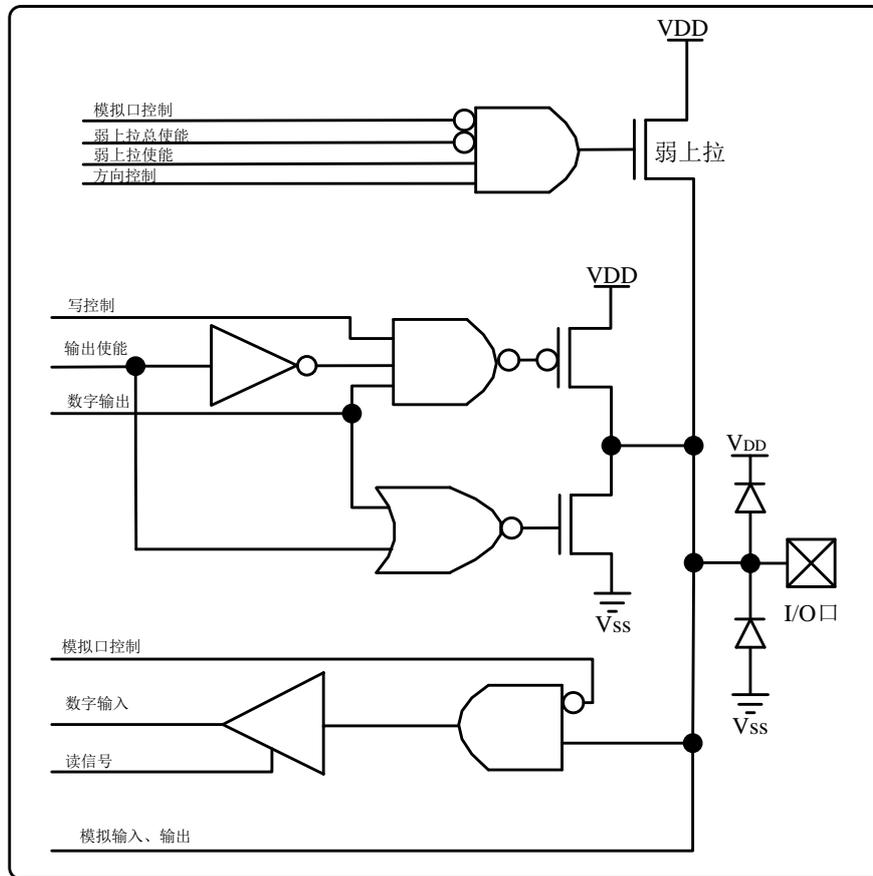


图 2.7 P4 口引脚原理功能框图

## 2.7 P5 口

P5 口所有管脚均可作为普通 I/O 口且带有上拉功能。

### 2.7.1 P5 口相关的寄存器

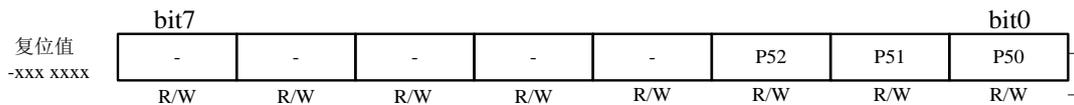
表 2-12 与 P5 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
210H	P5	-	-	-	-	-	P52	P51	P50
211H	P5LR	-	-	-	-	-	P5LR2	P5LR1	P5LR0
212H	TR5	-	-	-	-	-	TR52	TR51	TR50
213H	PUR5	-	-	-	-	-	PUR52	PUR51	PUR50
207H	ANS5	-	-	-	-	-	ANS52	ANS51	ANS50

#### 2.7.1.1 P5 口状态寄存器(P5)

寄存器 P5 各位对应端口 P5 口各引脚作为普通 I/O 口时的状态。如寄存器 2.28 所示：

寄存器 2.28: P5: P5 口状态寄存器(地址: 210H)

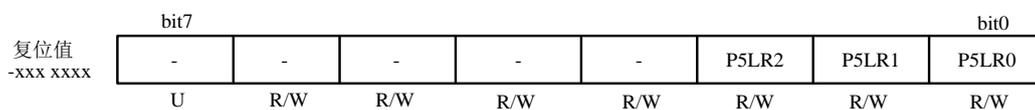


P5<2:0>: P5 口各引脚状态位  
 1 = 对应引脚为逻辑高电平  
 0 = 对应引脚为逻辑低电平

#### 2.7.1.2 P5 口输出锁存寄存器 (P5LR)

寄存器 P5LR 是 P5 口输出锁存寄存器。在 P5 口作为输出时，我们是通过写 P5LR 寄存器来设置输出 P5 口的状态。

寄存器 2.29: P5LR: P5 口输出锁存寄存器(地址:211H)



P5LR<2:0>: 写 P5 口输出状态  
 1 = 对应引脚输出高电平  
 0 = 对应引脚输出低电平

### 2.7.1.3 P5 口方向控制寄存器(TR5)

如寄存器 2.30 所示，通过将寄存器 TR5 中的某位置 1，将对应管脚设置为输入口。清 0 设置为输出口。

**寄存器2.30:** TR5: P5口方向控制寄存器(地址: 212H)

	bit7						bit0	
复位值 -111 1111	-	-	-	-	-	TR52	TR51	TR50
	U	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TR5<2:0>: P5 口各引脚方向控制位  
 1 = P5 口对应引脚被配置为输入端口  
 0 = P5 口对应引脚被配置为输出端口

### 2.7.1.4 P5 口上拉功能控制寄存器(PUR5)

KF8L20 中 P5 引脚均带有上拉功能，可通过上拉功能控制寄存器和 OPTR 寄存器中的  $\overline{\text{PUPH}}$  来控制上拉功能是否打开。如果要将某引脚的上拉功能打开，需要先将  $\overline{\text{PUPH}}$  (上拉功能总使能位) 位清 0，允许 P5 口上拉功能打开，然后再将要打开上拉功能的引脚，所对应的上拉功能控制位置 1 即可。寄存器 2.31 为上拉功能控制寄存器。

注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

**寄存器2.31:** PUR5: P5口弱上拉控制寄存器(地址:213H)

	bit7						bit0	
复位值 1111 1111	-	-	-	-	-	PUR52	PUR51	PUR50
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUR5<2:0>: 上拉功能使能位  
 1 = 使能对应的端口上拉功能  
 0 = 禁止对应的端口上拉功能

### 2.7.1.5 P5 口模拟/数字口设置寄存器 (ANS5)

P5 口模拟/数字口设置寄存器 ANS5 用于将 P5 口设置为模拟口或者数字口，通过将 ANS5 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

**寄存器2.32:** ANS5: P5口模拟/数字口设置寄存器(地址:207H)

	bit7						bit0	
复位值 1111 1111	-	-	-	-	-	ANS52	ANS51	ANS50
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ANS5<2:0>: P5 口各引脚模拟/数字口设置位  
 1 = 将对应引脚配置为模拟口  
 0 = 将对应引脚配置为数字口或者特殊功能引脚

### 2.7.2 P5 口原理功能框图

如引脚示意图所示，P5 口根据各引脚的作用不同，P5 口引脚原理功能框图中的模拟输入和输出有微小差别。

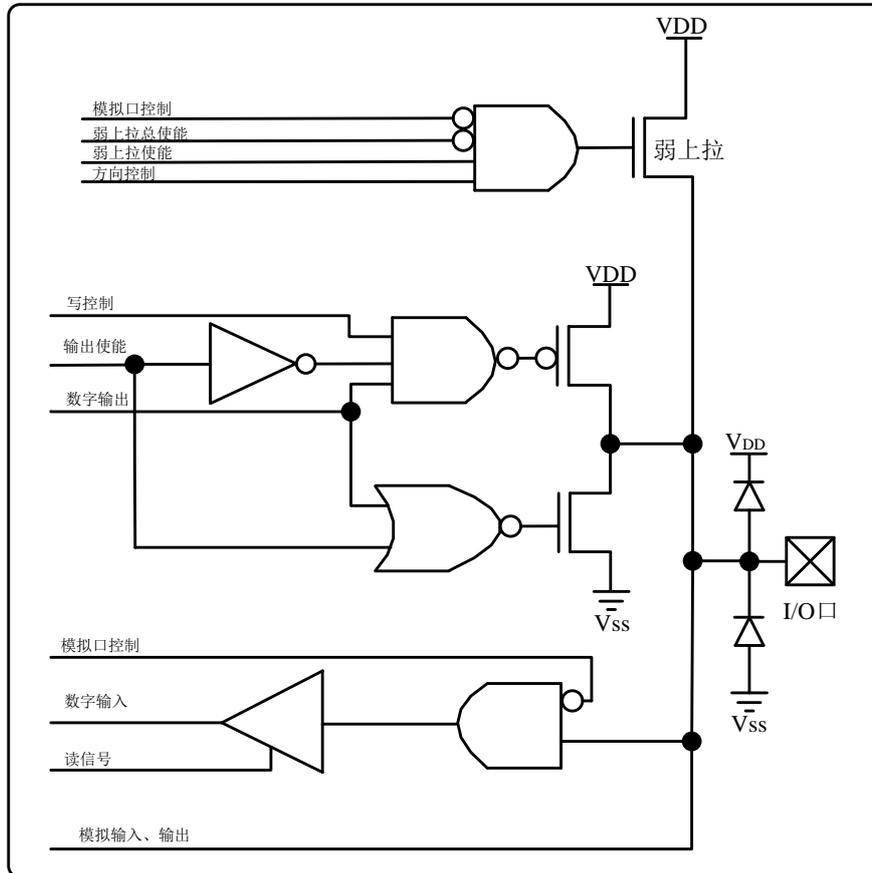


图 2.8 P5 口引脚原理功能框图

## 2.8 P6 口

P6 口所有管脚均可作为普通 I/O 口且带有上拉功能。

### 2.8.1 P6 口相关的寄存器

表 2-14 与 P6 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
214H	P6	-	-	-	P64	-	-	-	-
215H	P6LR	-	-	-	P6LR4	-	-	-	-
216H	TR6	-	-	-	TR64	-	-	-	-
218H	PUR6	-	-	-	PUR64	-	-	-	-
208H	ANS6	-	-	-	ANS64	-	-	-	-

#### 2.8.1.1 P6 口状态寄存器(P6)

寄存器 P6 各位对应端口 P6 口各引脚作为普通 I/O 口时的状态。如寄存器 2.33 所示：

寄存器 2.33: P6: P6 口状态寄存器(地址: 214H)

		bit7				bit0			
复位值	-xxx xxxx	-	-	-	P64	-	-	-	-
		U	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P6<4>: P6 口各引脚状态位  
 1 = 对应引脚为逻辑高电平  
 0 = 对应引脚为逻辑低电平

#### 2.8.1.2 P6 口输出锁存寄存器 (P6LR)

寄存器 P6LR 是 P6 口输出锁存寄存器。在 P6 口作为输出时，我们是通过写 P6LR 寄存器来设置输出 P6 口的状态。

寄存器 2.34: P6LR: P6 口输出锁存寄存器(地址:215H)

		bit7				bit0			
复位值	-xxx xxxx	-	-	-	P6LR4	-	-	-	-
		U	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P6LR<4>: 写 P6 口输出状态  
 1 = 对应引脚输出高电平  
 0 = 对应引脚输出低电平

### 2.8.1.3 P6 口方向控制寄存器(TR6)

如寄存器 2.35 所示，通过将寄存器 TR6 中的某位置 1，将对应管脚设置为输入口。清 0 设置为输出口。

**寄存器2.35:** TR6: P6口方向控制寄存器(地址: 216H)

	bit7				bit0		
复位值 -111 1111	-	-	-	TR64	-	-	-
	U	R/W	R/W	R/W	R/W	R/W	R/W

TR6<4>: P6 口各引脚方向控制位  
 1 = P6 口对应引脚被配置为输入端口  
 0 = P6 口对应引脚被配置为输出端口

### 2.8.1.4 P6 口上拉功能控制寄存器(PUR6)

KF8L20 中 P6 引脚均带有上拉功能，可通过上拉功能控制寄存器和 OPTR 寄存器中的 PUPH 来控制上拉功能是否打开。如果要将某引脚的上拉功能打开，需要先将 PUPH(上拉功能总使能位)位清 0，允许 P6 口上拉功能打开，然后再将要打开上拉功能的引脚，所对应的上拉功能控制位置 1 即可。寄存器 2.36 为上拉功能控制寄存器。

注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

**寄存器2.36:** PUR6: P6口弱上拉控制寄存器(地址:218H)

	bit7				bit0		
复位值 1111 1111	-	-	-	PUR64	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUR6<4>: 上拉功能使能位  
 1 = 使能对应的端口上拉功能  
 0 = 禁止对应的端口上拉功能

### 2.8.1.5 P6 口模拟/数字口设置寄存器 (ANS6)

P6 口模拟/数字口设置寄存器 ANS6 用于将 P6 口设置为模拟口或者数字口，通过将 ANS6 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

**寄存器2.37:** ANS6: P6口模拟/数字口设置寄存器(地址:208H)

	bit7				bit0		
复位值 1111 1111	-	-	-	ANS64	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ANS6<4>: P6 口各引脚模拟/数字口设置位  
 1 = 将对应引脚配置为模拟口  
 0 = 将对应引脚配置为数字口或者特殊功能引脚

### 2.8.2 P6 口原理功能框图

如引脚示意图所示，P6 口根据各引脚的作用不同，P6 口引脚原理功能框图中的模拟输入和输出有微小差别。

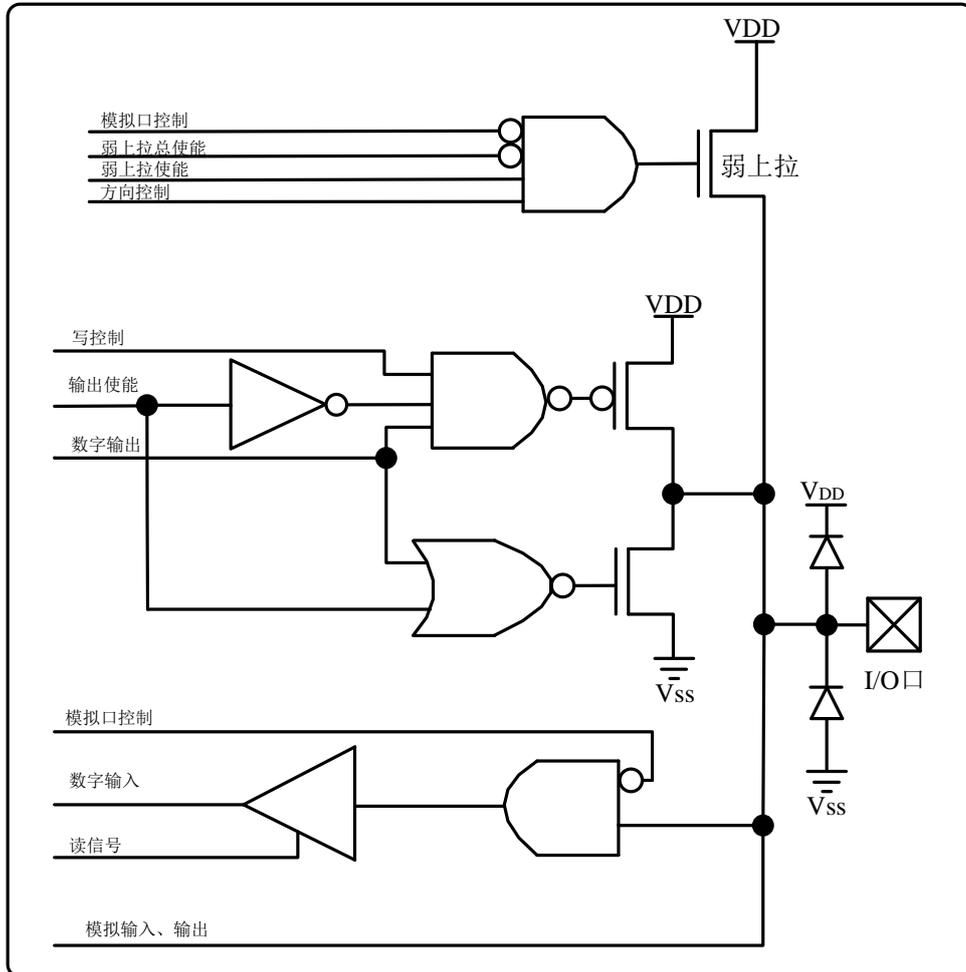


图 2.9 P6 口引脚原理功能框图

## 2.9 P7 口

P7 口所有管脚均可作为普通 I/O 口且带有上拉功能。

### 2.9.1 P7 口相关的寄存器

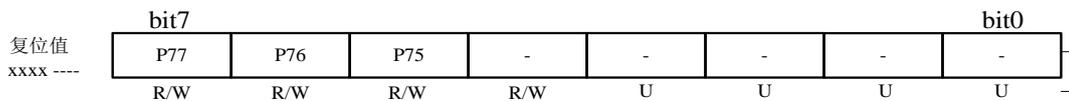
表 2-16 与 P7 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
219H	P7	P77	P76	P75	-	-	-	-	-
21AH	P7LR	P7LR7	P7LR6	P7LR5	-	-	-	-	-
21BH	TR7	TR77	TR76	TR75	-	-	-	-	-
21CH	PUR7	PUR77	PUR76	PUR75	-	-	-	-	-
209H	ANS7	ANS77	ANS76	ANS75	-	-	-	-	-

#### 2.9.1.1 P7 口状态寄存器 (P7)

寄存器 P7 各位对应端口 P7 口各引脚作为普通 I/O 口时的状态。如寄存器 2.38 所示：

**寄存器 2.38:** P7: P7 口状态寄存器(地址: 219H)



P7<7:5>: P7 口各引脚状态位  
 1 = 对应引脚为逻辑高电平  
 0 = 对应引脚为逻辑低电平

#### 2.9.1.2 P7 口输出锁存寄存器 (P7LR)

寄存器 P7LR 是 P7 口输出锁存寄存器。在 P7 口作为输出时，我们是通过写 P7LR 寄存器来设置输出 P7 口的状态。

**寄存器 2.39:** P7LR: P7 口输出锁存寄存器(地址: 21AH)



P7LR<7:5>: 写 P7 口输出状态  
 1 = 对应引脚输出高电平  
 0 = 对应引脚输出低电平

### 2.9.1.3 P7 口方向控制寄存器(TR7)

如寄存器 2.40 所示，通过将寄存器 TR7 中的某位置 1，将对应管脚设置为输入口。清 0 设置为输出口。

**寄存器2.40:** TR7: P7口方向控制寄存器(地址: 21BH)

		bit7			bit0			
复位值 1111 ----		TR77	TR76	TR75	-	-	-	-
		R/W	R/W	R/W	R/W	U	U	U

TR7<7:5>: P7 口各引脚方向控制位  
 1 = P7 口对应引脚被配置为输入端口  
 0 = P7 口对应引脚被配置为输出端口

### 2.9.1.4 P7 口上拉功能控制寄存器(PUR7)

KF8L20 中 P7 引脚均带有上拉功能，可通过上拉功能控制寄存器和 OPTR 寄存器中的  $\overline{\text{PUPH}}$  来控制上拉功能是否打开。

如果要将某引脚的上拉功能打开，需要先将  $\overline{\text{PUPH}}$  (上拉功能总使能位) 位清 0，允许 P7 口上拉功能打开，然后再将要打开上拉功能的引脚，所对应的上拉功能控制位置 1 即可。寄存器 2.41 为上拉功能控制寄存器。

注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

**寄存器2.41:** PUR7: P7口弱上拉控制寄存器(地址:21CH)

		bit7			bit0			
复位值 1111 ----		PUR77	PUR76	PUR75	-	-	-	-
		R/W	R/W	R/W	R/W	U	U	U

PUR7<7:5>: 上拉功能使能位  
 1 = 使能对应的端口上拉功能  
 0 = 禁止对应的端口上拉功能

### 2.9.1.5 P7 口模拟/数字口设置寄存器 (ANS7)

P7 口模拟/数字口设置寄存器 ANS7 用于将 P7 口设置为模拟口或者数字口，通过将 ANS7 某位置 1，将对应的引脚设置为模拟口，清 0 设置为数字 I/O 口。

**寄存器2.42:** ANS7: P7口模拟/数字口设置寄存器(地址:209H)

		bit7			bit0			
复位值 1111 ----		ANS77	ANS76	ANS75	-	-	-	-
		R/W	R/W	R/W	R/W	U	U	U

ANS7<7:5>: P7 口各引脚模拟/数字口设置位  
 1 = 将对应引脚配置为模拟口  
 0 = 将对应引脚配置为数字口或者特殊功能引脚

### 2.9.2 P7 口原理功能框图

如引脚示意图所示，P7 口根据各引脚的作用不同，P7 口引脚原理功能框图中的模拟输入和输出有微小差别。

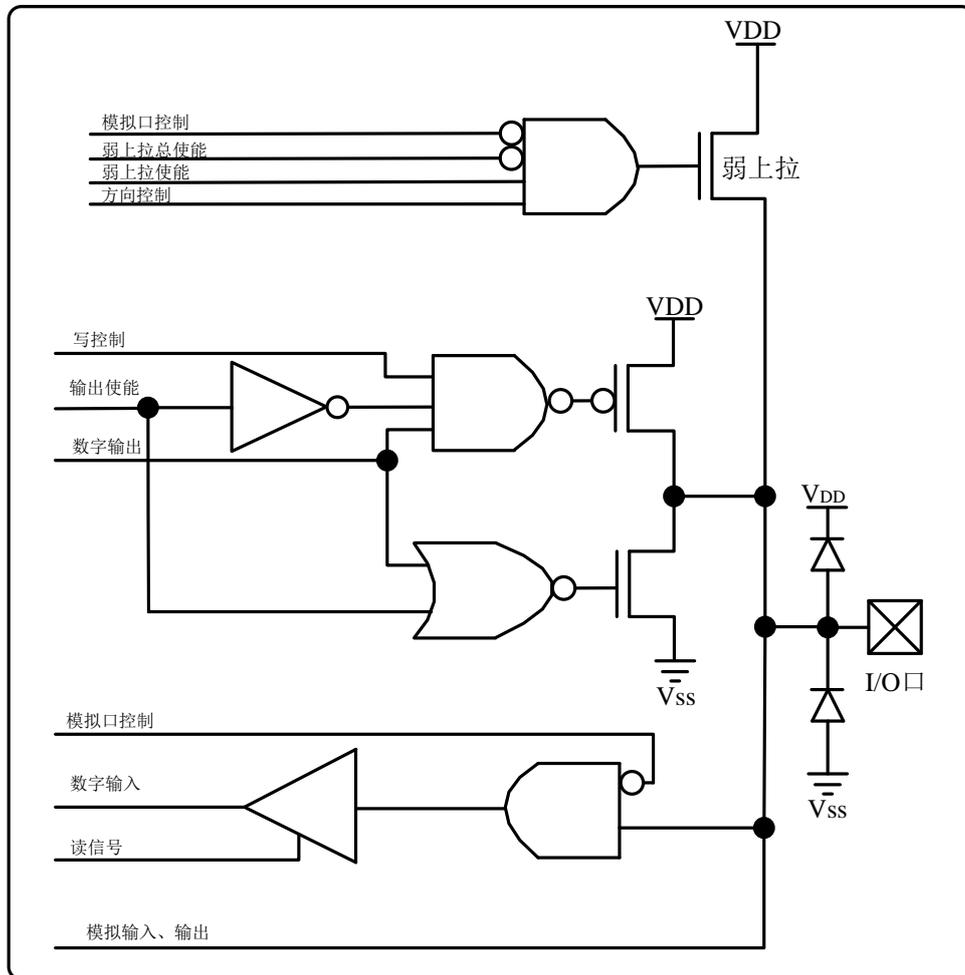


图 2.10 P7 口引脚原理功能框图

## 3 存储器

如图 3.1 所示，KF8L20 中存储器主要由程序存储器(ROM)和数据存储器(RAM)组成，程序存储器和数据存储器地址空间相互独立。其中程序存储器为 10K 字节的 FLASH 存储器；数据存储器由特殊功能寄存器和通用寄存器组成，特殊功能寄存器空间为 512×8 位，通用数据寄存器空间为(256+16)×8 位。另外 KF8L20 中还有一些其它存储器，包括：寄存器组 R0~R7、16 级硬件堆栈、ID 地址单元等。

### 3.1 程序存储器(ROM)区

KF8L20 有一个 14 位的程序计数器，最大可寻址 16K×16 位的程序存储空间，而在 KF8L20 中只实现了 5K×16 位的程序存储空间，地址为 0000H~13FFH，复位向量入口地址为 0000H，中断向量有两级入口地址，高为 0004H，低为 0014H。图 3.2 为程序存储器区的地址映射图。

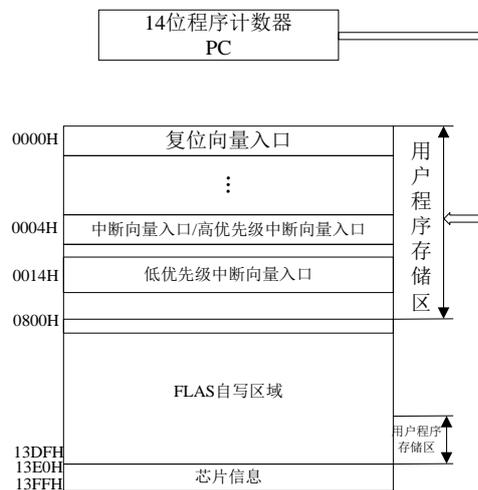


图 3.2 KF8L20 程序存储器映射

#### 3.1.1 程序计数器(PC)

KF8L20 的程序计数器(PC)为 14 位宽。程序计数器(PC)的低 8 位(PC<7:0>)来自特殊功能寄存器 PCL，高 6 位(PC<13:8>)来自 PCH 寄存器，PC 不能直接读写，PCH/PCL 寄存器可以读写。当发生复位时，PC 将被清零。在有任何未屏蔽中断发生后 PC 值将指向 0004H 或 0014H 地址。

在用户的程序中，每当执行一条汇编指令 PC 值会自动加 1，指向下一条要执行的指令。当有子程序调用或响应中断时，CPU 会将 PC+1 后的值压入堆栈进行保存，然后将子程序或中断入口地址送到 PC 中，CPU 根据 PC 的值跳转到对应的地址执行命令。

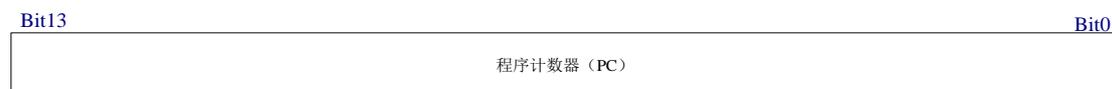


图 3.3 程序计数器 (PC)

### 3.1.1.1 PCL/PCH 寄存器的使用

当需要改变程序计数器到固定地址（包括跳页）时，可以通过写 PCH 寄存器确定高 6 位地址（写 PCH 寄存器不会改变 PC 的值），当写低 8 位地址数据到 PCL 寄存器时，程序计数器的 14 位地址数据将更新，变为 PCH 寄存器和 PCL 寄存器的数据，如图 3.4 所示。

对 PCL/PCH 寄存器的写操作可以通过 MOV 指令来执行，对 PCH 寄存器的写操作同样可以通过专用写指令 MOVP 来实现（只需 1 条指令即可完成 PCH 的赋值）。

例如当程序计数器从 0000H 开始执行跳转程序到 1F55H 地址，过程如下：

PC	指令	备注
0000	MOVP #0X1F	将 1FH 写入 PCH 寄存器
0001	MOV R0, #0X55	将 55H 赋给 R0
0002	MOV PCL, R0	将 R0 内数据写入 PCL, PC 内容变为 PCH/PCL 寄存器的值
1F55	...	...

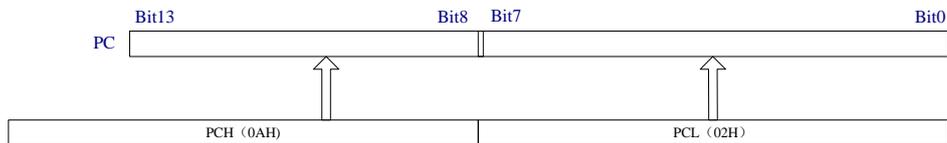


图 3.4 PCL/PCH 寄存器的使用

### 3.1.1.2 执行 JMP、CALL 指令时的情况

KF8L20 单片机的 JMP、CALL 指令编码如下：

JMP #data12	1100_kkkk_kkkk_kkkk
CALL #data12	1101_kkkk_kkkk_kkkk

在执行 JMP 或者 CALL 指令时，程序计数器（PC）的值将变为 PCH\_BIT5 和 PCH\_BIT4 以及指令所带立即数（#data12），如图 3.5 所示。

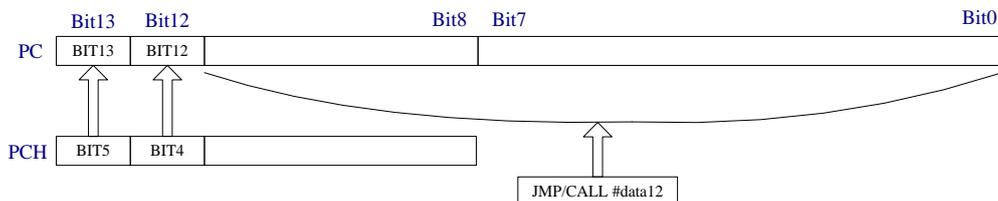


图 3.5 执行 JMP/CALL 指令时 PC 的变化图

执行 JMP 指令时将更新 PC；而执行 CALL 指令在更新 PC 的同时，将 CALL 指令的下一条地址入栈，栈地址加 1；在执行 RETURN 指令（IRET、RRET、CRET）时，将之前入栈的地址数据出栈并更新到 PC，栈地址减 1，PCH 寄存器不受出栈入栈的影响。

### 3.1.2 堆栈

KF8L20 单片机具有 16 级的硬件堆栈。堆栈空间单独编址，不占用任何程序存储区和数据存储区的空间，堆栈指针不可读写。当执行 CALL 指令或者中断导致程序跳转时，PC 值将被压入 (PUSH) 堆栈。在执行返回指令 (IRET、RRET、CRET) 时，堆栈中的断点地址将从堆栈中弹出 (POP) 到 PC 中。PCH 不受 PUSH 或者 POP 操作的影响。

KF8L20 单片机具有 16 级的硬件堆栈，堆栈压栈第 17 次的数值将覆盖第 1 次压栈的所保存的值，堆栈压栈第 18 次的数值将覆盖第 2 次压栈的所保存的值，以此类推。

### 3.2 数据存储器(RAM)区

如图 3.6 所示，KF8L20 中的数据存储器由 6 个区组成，每个区的空间都是 128 字节，其中 4 个区用作特殊功能寄存器区(SFR)使用；另外 2 个存储器区为通用寄存器区，由用户支配。SFR 地址空间为 00H~6FH、100H~16FH、200H~26FH 和 300H~36FH；而 70H~7FH 有 16 个字节为 SRAM 共用区，即当用户访问其他 BANK 区 70H~7FH 的存储单元时，均是对 BANK 0 区的 70H~7FH 操作。

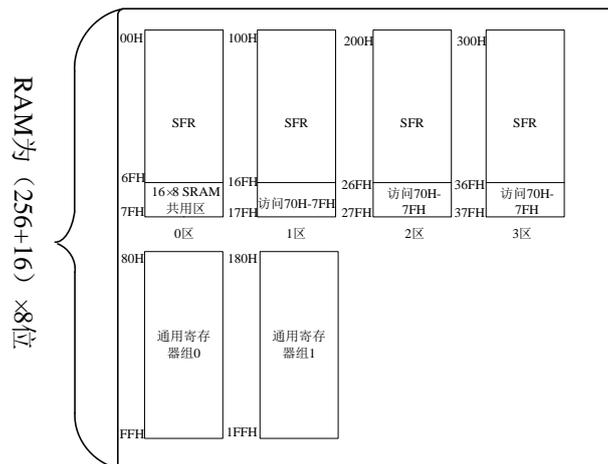


图 3.6 数据存储器地址映射图

### 3.2.1 通用寄存器区

如图 3.6 所示，特殊功能寄存器和通用寄存器区域均通过 BANK 寄存器来进行切换，如表 3-1 所示。

**寄存器3.1: BANK: 通用寄存器选区寄存器**

复位值	bit7							bit0
---- 0000	-	-	-	-	PR3	PR2	PR1	PR0
	U	U	U	U	R/W	R/W	R/W	R/W

表 3-1 通用寄存器地址

PR<3:0>	通用寄存器区	地址
0000	通用寄存器 0 区	80H~FFH
0001	通用寄存器 1 区	180H~1FFH
0010	通用寄存器 2 区	280H~2FFH
0011	通用寄存器 3 区	380H~3FFH
其他	保留	

切换通用寄存区的指令如例 3.1 所示：

**例3.1** 切换BANK寄存器存储区  
 MOVB #0X01 ;切换到存储区1区  
 MOVB #0X02 ;切换到存储区2区

### 3.2.2 特殊功能寄存器(SFR)区

KF8L20 内部的电源系统、I/O 口控制、定时/计数器、中断等各种外设的控制寄存器和状态寄存器都称为特殊功能寄存器。附录 1 列出 SFR 的地址映射及复位初始值等。

### 3.2.3 状态字寄存器 (PSW)

**状态字寄存器(PSW):** 如寄存器 3.2 所示, PSW 的低三位是算术运算标志位, 在进行加、减等运算时对它们产生影响(具体请参考汇编指令部分)。TO 和 PD 是复位状态位, 当单片机有复位或看门狗超时、执行休眠等指令时, 会对这两位产生影响。

**寄存器3.2: PSW: 状态字寄存器(地址: 03H)**

bit7							bit0
-	-	-	$\overline{TO}$	$\overline{PD}$	Z	DC	CY
U	U	U	R/W	R/W	R/W	R/W	R/W

$\overline{TO}$ : 超时标志位  
 1 = 在上电复位、CWDT 指令或 IDLE 指令执行之后  
 0 = WDT 超时被清 0

$\overline{PD}$ : 上电复位标志位  
 1 = 上电复位或执行 CWDT 指令后  
 0 = 执行 IDLE 指令后被清 0

Z: 零状态标志位

- 1 = 算术运算或者逻辑运算的运行结果为 0
- 0 = 算术运算或者逻辑运算的运行结果不为 0

DC: 辅助进/借位标志位

- 1 = 执行结果的低 4 位向高 4 位有进位(加指令)或没有借位(减指令)
- 0 = 执行结果的低 4 位向高 4 位没有进位(加指令)或有借位(减指令)

CY: 进位/借位标志位

- 1 = 执行结果(8 位)向高位有进位时(加指令)或没有借位(减指令)
- 0 = 执行结果(8 位)向高位无进位时(加指令)或有借位(减指令)

注：对于借位的情况，当指令执行后，低四位(或高四位)向高位有借位时，DC(或CY)标志为0，当没有借位时其值为1。关于对标志位是否产生影响的指令请参考“汇编指令集”部分。

### 3.3 FLASH 自写

KF8L20 在程序存储区开辟了可自定义的自写区域，只有当目标地址位于未受写保护的存储器段内（由配置位的  $SWRTEN<1:0>$  位定义）时，才能对 Flash 进行写操作，该区域在正常工作期间是可读写的，它并没有直接映射到寄存器空间，而是通过特殊功能寄存器间接寻址。有 6 个特殊功能寄存器用于访问该区域。

表 3-2 与 FLASH 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
3AH	NVMADDRH	-	-	NVM 地址指针高 6 位					
3BH	NVMADDRL	NVM 地址指针低 8 位寄存器							
3CH	NVMCTL0	NVM 控制寄存器 0							
3DH	NVMCTL1	NVM 控制寄存器 1							
38H	NVMDATAH	NVM 数据高 8 位寄存器							
39H	NVMDATAL	NVM 数据低 8 位寄存器							

如图 3.7 所示，写 FLASH 时，FLASH 中所有内存单元以连续的 16 个地址为一个数据块，2 个数据块为一页。

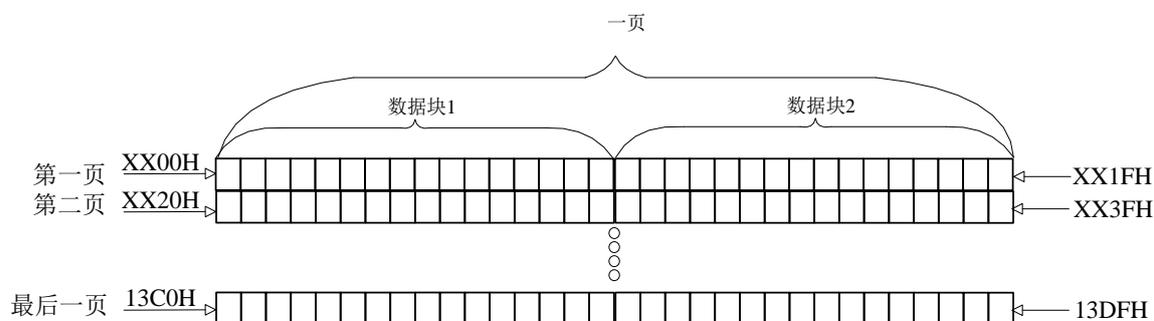


图 3.7 Flash 自写区域地址映射图

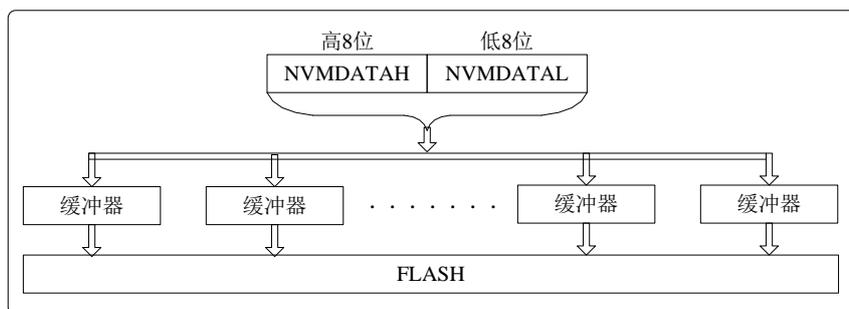


图 3.8 写操作

如图 3.8 所示，在写 Flash 时，有 16 个 16 位的缓冲寄存器，用来临时存放要写入 Flash 中的数据。

### 3.3.1 寄存器 NVMDATAH/L

CPU 读写 Flash 时，用来存放要写入或者读出 Flash 的数据，NVMDATAL 存放数据的低 8 位，NVMDATAH 存放数据的高 8 位。

### 3.3.2 寄存器 NVMADDRH/L

如寄存器 3.2 和 3.3 所示，NVMADDRH/L 地址位于特殊功能寄存器区的 3AH/3BH。用来存放要写入 Flash 的 14 位的地址信息，NVMADDRH 存放地址的高 6 位，NVMADDRL 存放地址的低 8 位。

**寄存器3.2:** NVMADDRH: 数据指针高6位(地址: 3AH)

复位值 --0 0000	-	-	bit5	bit4	bit3	bit2	bit1	bit0
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

**寄存器3.3:** NVMADDRL: 数据指针低8位(地址: 3BH)

复位值 0000 0000	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	R/W							

NVMCTL0/NVMCTL1 为写 Flash 控制寄存器，地址位于特殊功能寄存器区的 3CH/3DH。

用户在写 Flash 时，将 NVMDATAH/L 中送入要写入的数据，NVMADDRH/L 中送入要写入的地址，然后通过向 NVMCTL0 和 NVMCTL1 送入固定的写命令，将要写入块的数据存到对应的缓冲寄存器中。

在读 Flash 时，将要读的地址送到 NVMADDRH/L 中，然后向 NVMCTL0 写入固定的读命令，把要读的数据送到 NVMDATAH/L 中。

### 3.3.3 写 Flash

写 Flash 时，只能对 Flash 成块写入数据，不允许跨区操作。不能单独将一个字节(或字)的数据写入某块的一个字节(或字)中，如果实际上写入 Flash 中的数据没有 16 个字或不能被 16 整除(例如要写入一组 15 个字的数据)，需要将块中不需要写入数据的单元写入 0 或者其它值，否则可能会导致写入的数据出错。如果原来的 Flash 保存有数据，现在需要修改原数据中的一个字或者几个字，其它单元的值不变，则需要先将其对应块中其它数据读出来保存，然后再根据实际情况将需要修改的值和之前读出的值写入即可。

在写 Flash 时，必须先对每个页的第一块进行写操作，以擦除本页的数据，如果没有对第一块进行写操作，直接写后面块则本页的所有数据都不会被擦除。即只有对每个页的第一块进行写操作后才会擦除本页的数据，对其它块写操作不会产生擦除本页数据的命令，可能导致写入数据出错。

注：1.写Flash时，从Flash自写首地址开始处，连续的16个字作为一个数据块，连续的2个数据块作为一个页。

2.写Flash时，不管其存储单元是否有数据，都要先执行一次擦除命令，且擦除命令只有对每页的第一个数据块写完后才会自动执行，将本页所有单元数据擦除。而对每页的其他数据块写操作时不会有擦除命令发出。

3.将各页第一个数据块写完后，CPU将停止6ms执行擦除和写命令，写其他块时，停止3ms执行写命令。

4.需正确配置SWRTEN<1:0>，才能对Flash目标地址区域进行写操作。

在写 FLASH 时，将要写入的数据送到 NVMDATAH/H，地址送到 NVMADDRH/L 后，通过执行以下指令完成写操作：

```
CLR INTCTL , 7
JNB INTCTL , 7
JMP $-2
MOV R5 , #0X84 ;使能Flash的写操作
MOV NVMCTL0 , R5
MOV R5 , #0X69
MOV NVMCTL1 , R5
MOV R5 , #0X96
MOV NVMCTL1 , R5
SET NVMCTL0 , 1
NOP
NOP
MOV R5 , #0X80 ;关闭DATA EE的写操作，防止意外写
MOV NVMCTL0 , R5
SET INTCTL , 7
```

以上指令中的立即数 0X80, 0X84, 0X69, 0X96 是固定不变的。如果未完全按照上述顺序（先将 0X69 写入 NVMCTL1，再将 0X96 写入 NVMCTL1，最后将 NVMCTL0.1 位置 1）执行指令，将不会启动写操作。

#### 写 FLASH 的步骤为：

1. 将要写入的数据送到 NVMDATAH/L；
2. 将对应的 FLASH 地址送到 NVMADDRH/L；
3. 执行上面的写命令，此时，CPU 将要写入数据的一个字保存到 FLASH 的数据缓冲器中；
4. 重复执行步骤 1、2、3 十六次，此时 CPU 自动将要写入第一块的数据分别存入对应的 FLASH 的数据缓冲器中；
5. 当上边第 16 次写命令执行完后，CPU 自动发出擦除本页的命令，将本页原来的数据全部擦除，擦除完毕后，将数据缓冲器中的数据送到对应的地址中。在这个过程中 CPU 停止其它工作 6ms 用来执行擦除和写入数据的命令。
6. 重复执行步骤 1、2、3 十六次，将数据写入本页的第二块。当执行完第 16 次写命令后，因本次写的不是页的第一块，CPU 不会执行擦除命令，仅将数据缓冲器中的数据写入对应的存储单元，写操作耗时 3ms。

### 3.3.4 读 Flash

在读 FLASH 时，将要读取的地址送到 NVMADDRH/L 后，通过执行以下操作完成读操作：

```
CLR INTCTL, AIE
JNB INTCTL, AIE
JMP $-2
MOV R5, #0X81
MOV NVMCTL0, R5
NOP
NOP
SET INTCTL, AIE
```

上面指令中的立即数 0X81 是固定不变的。此时该地址的数据高 8 位被送 NVMDATAH，低 8 位送到 NVMDATAL。无论配置位 SWRTEN 为何值都不影响读 FLASH。

读 FLASH 是逐字读取的，不要求一块一块的读。读 FLASH 时通过向 NVMCTL0 写入 0X81 来执行读命令。

**读 FLASH 的步骤如下：**

1. 将要读的数据单元的地址送到 NVMADDRH/L 中；
2. 向 NVMCTL0 写入读命令；
3. 两个指令周期后该单元的数据被送到 NVMDATAH/L。

### 3.4 DATA EEPROM

KF8L20 片内的 DATA EEPROM 存储器最大容量为 256×8 位，地址范围 00H~FFH，在 CPU 正常工作期间是可读写的。DATA EEPROM 是单独编址，可以通过特殊功能寄存器寻址。DATA EEPROM 与 Flash 自写共用同 4 组寄存器。

**表 3-3 与 DATA EEPROM 相关的寄存器**

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
3BH	NVMADDR1	NVM 地址指针低 8 位寄存器							
3CH	NVMCTL0	NVM 控制寄存器 0							
3DH	NVMCTL1	NVM 控制寄存器 1							
39H	NVMDATAL	NVM 数据低 8 位寄存器							

DATA EEPROM 数据存储单元只能以字节为单位进行读写。当对字节写操作时会自动擦除目标存储单元（无论有没有数据）并写入新数据（在写入前擦除）。

当器件被代码保护时，器件编程器将不再能访问 DATA EEPROM。在代码保护时，CPU 仍可读写 DATA EEPROM 存储器。

#### 3.4.1 寄存器 NVMDATAL

使用 DATA EEPROM 时，寄存器 NVMDATAL 用来存放要写入或者读出 DATA EEPROM 的数据。

#### 3.4.2 寄存器 NVMADDR1

DATA EEPROM 最大容量为 256×8 位，地址范围 0~255。NVMADDR1 寄存器用来存放要写入 DATA EEPROM 的 8 位的地址信息。

**寄存器 3.4** NVMADDR1: 数据指针低 8 位 (地址: 3BH)

复位值	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0000 0000	R/W							

#### 3.4.1 寄存器 NVMCTL0/NVMCTL1

NVMCTL0/NVMCTL1 为写 DATA EEPROM 控制寄存器，地址位于特殊功能寄存器区的 3CH/3DH。用户在写 DATA EEPROM 时，将 NVMDATAL 中送入要写入的数据，NVMADDR1 中送入要写入的地址，然后通过向 NVMCTL0 和 NVMCTL1 送入固定的写命令，将数据写入 DATA EEPROM 对应地址指向的单元中。在读 DATA EEPROM 时，将要读的地址送到 NVMADDR1 中，然后向 NVMCTL0 写入固定的读命令，把要读的数据送到 NVMDATAL 中。

#### 3.4.2 写 DATA EEPROM

写 DATA EEPROM 时，一次最多写入一个地址，写入操作之前自动附加一个擦除操作，擦除目标存储单元，然后写入新的数据。

写 DATA EEPROM 时，将要写入的地址送到 NVMADDR1，将要写入的数据送到 NVMDATAL。之后通过执行以下操作完成写操作：

```

MOVB #0X00
CLR INTCTL, 7
JNB INTCTL, 7
JMP $-2
MOV R5, #0X04 ;使能DATA EEPROM的写操作
MOV NVMCTL0, R5
MOV R5, #0X69
MOV NVMCTL1, R5
MOV R5, #0X96
MOV NVMCTL1, R5
SET NVMCTL0, 1 ;执行写操作
NOP
NOP
MOV R5, #0X00 ;关闭DATA EEPROM的写, 防止意外写
MOV NVMCTL0, R5
SET INTCTL, 7
    
```

以上指令中的立即数 0X04, 0X00, 0X69, 0X96 是固定不变的。如果未完全按照上述顺序（先将 0X69 写入 NVMCTL1, 再将 0X96 写入 NVMCTL1, 最后置位 NVMCTL0.1）执行指令, 将不会启动写操作。写周期完成时, EE 写完成中断标志位 (EEIF) 置 1, 用户可以允许此中断或查询此位。EEIF 必须用软件清零。

**注:**

1. CPU写DATA EEPROM时,不管DATAP设置为何值, 都能写入正确的数据;
2. 写DATA EEPROM的工作温度范围为-40℃~105℃。

**写 DATA EEPROM 的步骤:**

1. 将要写入的数据送到 NVMDATAL;
2. 将对应的 DATA EEPROM 地址送到 NVMADDRL;
3. 执行上面的写命令, 此时, CPU 发出擦除 DATA EEPROM 目标存储单元的命令, 擦除完毕后, 将 NVMDATAL 中的数据送到对应地址中。DATA EEPROM 需要 6ms 来执行擦除和写入数据的命令, 此期间 CPU 仍可正常工作, 用户可通过中断标志位 EEIF 判断写 DEE 是否完成, 期间指令可正常执行;
4. 重复执行步骤 1、2、3, 可以执行其他地址的写入。

**3.4.3 读 DATA EEPROM**

在读 DATA EEPROM 时, 将要读取的地址送到 NVMADDRL 后, 通过执行以下操作完成读操作:

```

MOV R0, #0Xxx ; (将目标地址写入NVMADDRL)
MOV NVMADDRL, R0
MOV R5, #0X01
MOV NVMCTL0, R5
NOP
MOV R0, NVMDATAL ;R0=NVMDATAL
    
```

上面指令中的立即数 0X01 是固定不变的。此时, 该地址的数据被送到 NVMDATAL。

读 DATA EEPROM 是逐字读取的。读 DATA EEPROM 时通过向 NVMCTL0 写入 0X01 来执行读命令。NVMDATAL 寄存器保存数据直到下一次读命令覆盖当前值。

注：读 DATA EEPROM 时，不管 DATAP 设置为何值，都能读出正确的数据

读 DATA EEPROM 的步骤如下：

1. 将要读的数据单元的地址送到 NVMADDR1 中；
2. 向 NVMCTL0 写入读命令；
3. 一个指令周期后该单元的数据被送到 NVMDATAL。

### 3.5 寄存器组 Rn

KF8L20 芯片中有一个工作寄存器组 R0~R7，可用做间接寻址的中间寄存器，存放操作数的地址；隐含目的操作数的指令中，默认 R0 作为目的操作数(如: RRCR 0X81)；在读晶振校准值和参考电压校准值时，默认将读到的值送到 R0 中。

### 3.6 ID 地址单元

KF8L20 的程序存储器空间的最后 32 个地址单元被指定为 ID 地址单元，地址为 13E0H~13FFH。用户可在其中存放校准值或其它信息。

## 4 汇编指令及寻址方式

### 4.1 寻址方式

KF8L20 系列单片机提供 5 种寻址方式, 分别为: 寄存器寻址、直接寻址、立即数寻址、寄存器间接寻址和位寻址。KF8L20 的指令可以没有操作数、一个操作数、两个操作数。

#### 4.1.1 寄存器寻址

采用这种寻址方式的指令中的操作数为寄存器组 R0-R7 的一个。

例:

CLR R0 ; R0←0 将寄存器 R0 清 0  
只有一个操作数(R0 的值), 寻址方式为寄存器寻址。

ADD R0, R1  
两个操作数 (R0 和 R1), 寻址方式为寄存器寻址。

#### 4.1.2 直接寻址

在指令中的操作数为某个寄存器的直接地址, 该地址指出其参与运算的数据所在的地址。直接寻址可以是: 特殊功能寄存器、通用数据存储器。

例:

MOV R0, 0X81 ; R0←(81H) 将 81H 单元的数据送到 R0 中指令中, 源操作数寻址方式为直接寻址, 目的操作数为寄存器寻址。

INC 0X3B ; 3BH←(3BH)+1 将地址 3BH 里的值加 1, 3BH 即 NVMADDR1。

指令中含有一个操作数, 寻址方式为直接寻址。

#### 4.1.3 立即数寻址

在指令中的操作数为立即数。

例:

MOV R0, #0X20 ; R0←0X20 将立即数 0X20 送到寄存器 R0 中

ADD R0, #0X20 ; R0←(R0)+0X20 寄存器 R0 的值与 0X20 相加结果送到

R0

AND R0, #0X20 ; R0←(R0)&0X20 寄存器 R0 的值与 0X20 相与结果送到

R0

以上三条指令中源操作数都是 #0X20, 为立即数寻址, 目的操作数为寄存器寻址。

#### 4.1.4 寄存器间接寻址

这种寻址方式中，寄存器的内容指定操作数的地址，即寄存器中存放的是操作数的地址。间接寻址只有两条指令 LD 和 ST。

例:

LD R0, [R1] ; R0←(R1) 将 R1 的内容所指地址单元的数据送到 R0  
指令中源操作数的寻址方式为寄存器间接寻址，目的操作数为寄存器寻址。

ST [R0], R1 ; (R0)←R1 将 R1 的内容送到 R0 的内容所指向的地址单元  
指令中目的操作数的寻址方式为寄存器间接寻址，源操作数为寄存器寻址。

#### 4.1.5 位寻址

指令中的操作数是寄存器的某位，这样的寻址方式称为位寻址。

例:

CLR INTCTL,1 ; 将 INTCTL 的第 1 位清 0  
CLR 0X80,1 ; 将 80H 的第 1 位清 0  
JNB 0X80,1 ; 如果 80H 的第 1 位为 0 则跳过下一条指令执行后面的程序

## 4.2 汇编指令

KF8L20 系列单片机汇编指令共有 73 条，除子程序调用、子程序返回、中断返回、部分跳转指令为双周期指令外，其余指令均为单周期指令。所有指令都占两个字节。

按照指令的功能可将其分为:数据传送指令、算术运算指令、逻辑运算指令、位操作指令和转移指令和特殊指令。具体指令集请参考附录 2。

## 5 中断

KF8L20 单片机的中断源有:

- INT0/1/2
- T0 溢出中断
- T1/2/3/4 中断
- P0/P3 口引脚电平变化中断
- AD 中断
- 外部时钟故障(OSCFAIL)中断
- LCD 闪烁点亮中断
- LCD 帧中断
- LCD 闪烁关闭中断
- DATA EEPROM 写操作(EE)中断
- 高/低压检测(HLVD)中断

在本单片机中有多个中断优先级, 其中高优先级向量位于 0X0004H, 低优先级向量位于 0X0014H。在中断服务程序里可通过 PCTL 的 IPEN(PCTL<3>)进行中断优先级设置。在中断服务子程序中通过检测相应的中断标志位来确定具体是哪个中断源触发发生。

KF8L20 中的 INT1/2、T1、T2、T3、T4、ADC、LCD、HLVD 和 EE 等都属于外设, 因此对应的中断称作外设中断, 其它中断源产生的中断属于内部中断。中断逻辑如图 5.2 所示。在中断逻辑框图中, 每个中断源有 3 个位用于控制其操作。这些位的功能分别是:

☞ 标志位表明发生了中断事件;

☞ 中断允许位允许程序跳转到中断向量地址处执行;

☞ 中断优先级位用于选择高优先级及还是低优先级;

通过将 IPEN 位 (PCTL<3>) 置 1, 可使能中断优先级功能。

当 IPEN 置 1 时, 有两个中断允许位, 分别是 AIEH 和 AIEL。将 AIEH (INTCTL<7>) 置 1, 可允许所有中断优先级位已置 1 的中断, 即高优先级的中断。将 AIEL (INTCTL<6>) 置 1, 可允许所有中断优先级位已清 0 的中断, 即低优先级的中断。当中断标志位、中断允许位和中断优先级位都被置 1 时, 中断将根据设置的中断优先级立即跳转到地址 0x0004H 或者 0x0014H。进低优先级中断时清 0 AIEL, 退出中断时置 1 AIEL; 进高优先级中断时清 0 AIEH, 退出中断时置 1 AIEH。(AIEH=0 时禁止所有中断)。高优先级中断事件可以中断正在处理的低优先级中断事件。

其原理框图如图 5.1 下:

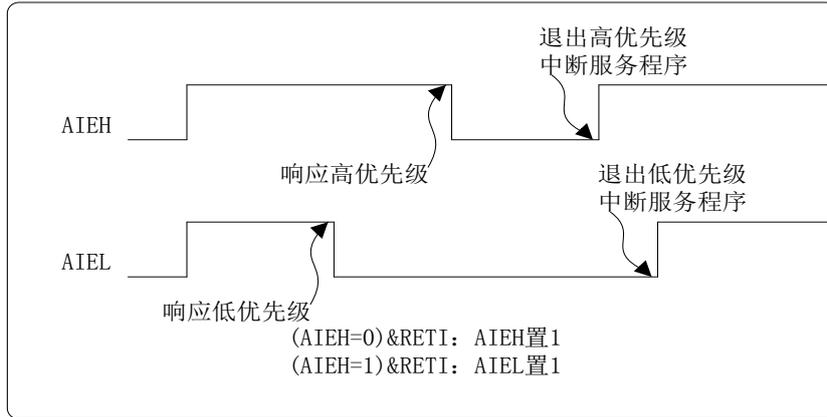


图 5.1 中断优先级工作原理图

当 IPEN 位清 0 时，就会禁止中断优先级，即为普通模式。所有中断都跳转到 0x0004H 开始执行。在普通模式下，没有中断优先级，各个中断源的中断优先级控制寄存器 IP0、IP1 和 IP2 均无效。AIE(INTCTL<7>)为全局中断使能位，PUIE(INTCTL<6>)为外设中断使能位。

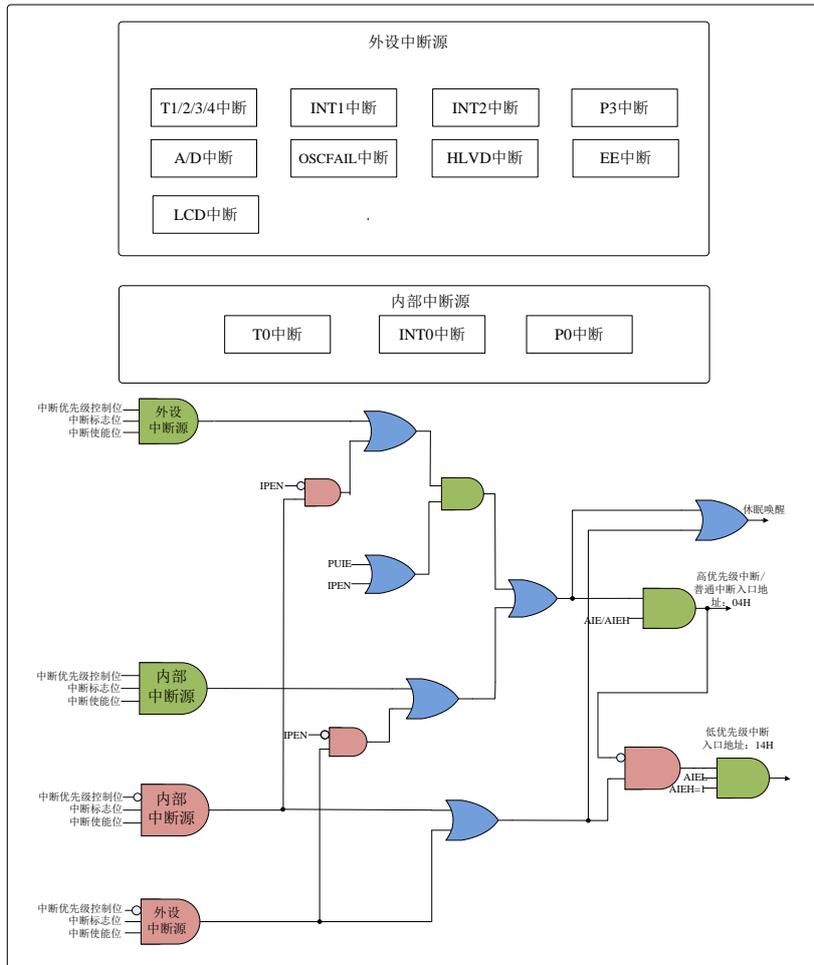


图 5.2 中断逻辑

## 5.1 中断相关的寄存器

表 5-1 与中断相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE/ AIEH	PUIE/ AIEL	T0IE	INT0IE	POIE	T0IF	INT0IF	P0IF
2CH	EIE1	EEIE	ADIE	INT2IE	INT1IE	-	-	T2IE	T1IE
2DH	EIE2	T3IE	-	-	-	-	-	-	-
4AH	EIE3	T4IE	-	OSCFALIE	FLKONIE	FLKOFFIE	FRAIE	P3IE	HLVDIE
0CH	EIF1	EEIF	ADIF	INT2IF	INT1IF	-	-	-	-
0DH	EIF2	T3IF	-	-	-	-	-	-	-
4BH	EIF3	T4IF	-	OSCFALIF	FLKONIF	FLKOFFIF	FRAIF	P3IF	HLVDIF
22H	IP0	-	-	-	-	-	PT0	PINT0	PP0
23H	IP1	PEE	PADC	PINT2	PINT1	-	-	-	-
24H	IP2	PT3	-	-	-	-	-	-	-
29H	IP3	PT4	-	POSCFAIL	PFLKON	PFLKOFF	PFRA	PP3	PHLVD
2EH	PCTL	-	-	-	SLVREN	IPEN	SWDTE N	POR	LVR
67H	INTED GCTL	INT2SE	INT1SE	-	-	-	-	-	TICLK SE

### 5.1.1 中断控制寄存器 INTCTL

普通模式下，AIE 为全局中断使能位，当其被清 0 时，禁止所有中断。PUIE 为外设中断使能位，当其被清 0 时禁止所有外设中断。具体的中断逻辑如图 5.1 所示。

在优先级中断中，AIEH 为全局优先级中断使能位，当其被清 0 时，禁止所有中断。AIEL 为低优先级中断使能位，当其被清 0 时禁止所有低优先级中断。具体的中断逻辑如图 5.1 所示。

注：

1. 当中断条件满足时，无论相应的中断使能位或者全局中断使能位AIE的状态如何，中断标志位将被硬件置1。
2. 中断条件满足时，中断标志位通过硬件置1，而清零则需要软件完成。
3. AIEL和PUIE是两个地址相同但物理上分开的寄存器，AIEL只有在IPEN=1时才可读，PUIE只有在IPEN=0时才可读；使用时在配置IPEN位之后，再对PUIE（或AIEL）位赋值。

**寄存器5.1: INTCTL: 中断控制寄存器(地址: 0BH)**

复位值 0000 0000	bit7						bit0	
	AIE/AIEH	PUIE/AIEL	TOIE	INTOIE	POIE	TOIF	INTOIF	POIF
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- AIE/AIEH:** 全局中断使能位/优先级中断使能位  
 当 IPEN=0  
     1=使能所有未屏蔽的中断  
     0=禁止所有中断  
 当 IPEN=1  
     1=允许所有高优先级的中断  
     0=禁止所有中断
- PUIE/AIEL:** 外设中断使能位/低优先级中断使能位  
 当 IPEN=0  
     1=使能所有未屏蔽的外设中断  
     0=禁止所有外设中断  
 当 IPEN=1  
     1=允许所有低优先级的的外设中断  
     0=禁止所有低优先级的的外设中断
- TOIE:** T0 溢出中断使能位  
     1=使能 T0 中断  
     0=禁止 T0 中断
- INTOIE:** INTO 中断使能位  
     1=使能 INTO 中断  
     0=禁止 INTO 中断
- POIE:** P0 口电平变化中断使能位  
     1=使能 P0 口电平变化中断  
     0=禁止 P0 口电平变化中断
- TOIF:** T0 溢出中断标志位  
     1=T0 寄存器溢出  
     0=T0 寄存器未溢出
- INTOIF:** INTO 中断标志位  
     1=INT0/P0.0 产生外部中断  
     0=INT0/P0.0 未产生外部中断
- POIF:** P0 口电平变化中断标志位  
     1=引脚 P0.0~P0.5 至少有一个电平状态发生变化  
     0=引脚 P0.0~P0.5 电平状态未发生变化

### 5.1.2 中断使能寄存器 EIE1

寄存器5.2: EIE1: 中断使能寄存器(地址: 2CH)

复位值	bit7						bit0	
0000 0000	EEIE	ADIE	INT2IE	INT1IE	-	-	T2IE	T1IE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- EEIE: EE 中断使能位  
 1 = 使能独立 EE 中断  
 0 = 禁止独立 EE 中断
- ADIE: AD 中断使能位  
 1 = 使能 AD 中断  
 0 = 禁止 AD 中断
- INT2IE: INT2 中断使能位  
 1 = 使能 INT2 中断  
 0 = 禁止 INT2 中断
- INT1IE: INT1 中断使能位  
 1 = 使能 INT1 中断  
 0 = 禁止 INT1 中断
- T2IE: T2 与 PP5 匹配中断允许位  
 1 = 允许 T2 与 PP5 匹配中断  
 0 = 禁止 T2 与 PP5 匹配中断
- T1IE: T1 中断使能位  
 1 = 使能 T1 中断  
 0 = 禁止 T1 中断

### 5.1.3 中断使能寄存器 EIE2

寄存器5.3: EIE2: 中断使能寄存器(地址: 2DH)

复位值	bit7						bit0
0000 0000	T3IE	-	-	-	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- CTIE/T3IE: CT/T3 中断使能位  
 1 = 允许 CT/T3 中断  
 0 = 禁止 CT/T3 中断

### 5.1.4 中断使能寄存器 EIE3

寄存器5.4: EIE3: 中断使能寄存器(地址: 4AH)

复位值	bit7						bit0	
0000 0000	T4IE	-	OSCFAILIE	FLKONIE	FLKOFFIE	FRAIE	P3IE	HLVDIE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- T4IE:** T4 中断使能位  
 1 = 允许 T4 中断  
 0 = 禁止 T4 中断
- OSCFAILIE:** 外部时钟故障中断使能位  
 1 = 允许外部时钟故障中断  
 0 = 禁止外部时钟故障中断
- FLKONIE:** LCD 闪烁点亮中断使能位  
 1 = 允许 LCD 闪烁点亮中断  
 0 = 禁止 LCD 闪烁点亮中断
- FLKOFFIE:** LCD 闪烁关闭中断使能位  
 1 = 允许 LCD 闪烁关闭中断  
 0 = 禁止 LCD 闪烁关闭中断
- FRAIE:** LCD 帧中断使能位  
 1 = 允许 LCD 帧中断  
 0 = 禁止 LCD 帧中断
- P3IE:** P3 口电平变化中断使能位  
 1 = 允许 P3 口电平变化中断  
 0 = 禁止 P3 口电平变化中断
- HLVDIE:** HLVDIE 中断使能位  
 1 = 允许 HLVDIE 中断  
 0 = 禁止 HLVDIE 中断

### 5.1.5 中断标志寄存器 EIF1

寄存器5.5: EIF1: 外设中断标志寄存器(地址0CH)

复位值	bit7						bit0	
0000 0000	EEIF	ADIF	INT2IF	INT1IF	-	-	T2IF	T1IF
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- EEIF:** EE 中断标志位  
 1 = 独立 EE 完成写操作  
 0 = 独立 EE 未完成写操作
- ADIF:** AD 完成中断标志位  
 1 = AD 转换完成  
 0 = AD 转换没有完成
- INT2IF:** INT2 中断标志位  
 1 = INT2 产生外部中断  
 0 = INT2 未产生外部中断
- INT1IF:** INT1 中断标志位  
 1 = INT1 产生外部中断  
 0 = INT1 未产生外部中断
- T2IF:** T2 与 PP5 匹配中断标志位  
 1 = 发生了 T2 与 PP5 匹配  
 0 = 未发生了 T2 与 PP5 匹配
- T1IF:** T1 寄存器溢出标志位  
 1 = T1 寄存器溢出  
 0 = T1 寄存器未溢出

### 5.1.6 中断标志寄存器 EIF2

寄存器5.6: EIF2: 外设中断标志寄存器(地址: 0DH)

复位值	bit7						bit0	
0000 0000	T3IF	-	-	-	-	-	-	-
	R/W	R/W	R	R	R/W	R/W	R/W	R/W

- T3IF:** T3 中断标志位  
 1 = T3 产生了中断  
 0 = T3 未产生中断

### 5.1.7 中断标志寄存器 EIF3

寄存器5.7: EIF3: 中断标志寄存器(地址: 4BH)

复位值 0000 0000	bit7						bit0	
	T4IF	-	OSCFAILI F	FLKONIF	FLKOFFI F	FRAIF	P3IF	HLVDIF
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

T4IF: T4 中断标志位

1 = T4 溢出或发生重载

0 = T4 不溢出或发生重载

OSCFAILIF: 外部时钟故障中断标志位

1 = 外部时钟发生故障

0 = 外部时钟未发生故障

FLKONIF: LCD 闪烁点亮中断标志位

1 = LCD 达到点亮时长并准备转入熄灭状态

0 = LCD 未达到点亮时长

FLKOFFIF: LCD 闪烁关闭中断标志位

1 = LCD 达到熄灭时长并准备转入点亮状态

0 = LCD 未达到熄灭时长

FRAIF: LCD 帧中断标志位

1 = 产生了 LCD 帧中断

0 = 未产生 LCD 帧中断

P3IF: P3 口电平变化中断标志位

1 = 引脚 P3.0~P3.7 至少有一个电平状态发生变化

0 = 引脚 P3.0~P3.7 电平状态未发生变化

HLVDIF: HLVD 中断标志位

1 = 产生了 HLVD 中断

0 = 未产生 HLVD 中断

### 5.1.8 中断优先级控制寄存器 IP0

当 IPEN=1 时，中断优先级控制寄存器 IP0 才有效。

**寄存器5.9:IP0:** 中断优先级控制寄存器0(地址: 22H)

		bit7					bit0		
复位值		-	-	-	-	-	PT0	PINT0	PP0
---- -000		U	U	U	U	U	R/W	R/W	R/W

- PT0:** T0 中断优先级控制位  
1 = T0 中断为高优先级  
0 = T0 中断为低优先级
- PINT0:** INT0 中断优先级控制位  
1 = INT0 中断为高优先级  
0 = INT0 中断为低优先级
- PP0:** P0 电平变化中断优先级控制位  
1 = P0 电平变化中断为高优先级  
0 = P0 电平变化中断为低优先级

### 5.1.9 中断优先级控制寄存器 IP1

当 IPEN=1 时，中断优先级控制寄存器 IP1 才有效。

**寄存器5.10:IP1:** 中断优先级控制寄存器1(地址: 23H)

		bit7					bit0		
复位值		PEE	PADC	PINT2	PINT1	-	-	PT2	PT1
0000 0000		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- PEE:** 独立 EE 中断高优先级控制位  
1 = 独立 EE 中断为高优先级  
0 = 独立 EE 中断为低优先级
- PADC:** AD 中断高优先级控制位  
1 = AD 中断为高优先级  
0 = AD 中断为低优先级
- PINT2:** INT2 中断高优先级控制位  
1 = INT2 中断为高优先级  
0 = INT2 中断为低优先级
- PINT1:** INT1 中断高优先级控制位  
1 = INT1 中断为高优先级  
0 = INT1 中断为低优先级
- PT2:** T2 中断高优先级控制位  
1 = T2 中断为高优先级  
0 = T2 中断为低优先级
- PT1:** T1 中断高优先级控制位  
1 = T1 中断为高优先级  
0 = T1 中断为低优先级

### 5.1.10 中断优先级控制寄存器 IP2

当 IPEN=1 时，中断优先级控制寄存器 IP2 才有效。

寄存器 5.11: IP2: 中断优先级控制寄存器 2 (地址: 24H)

	bit7							bit0
复位值 0000 0000	PT3	-	-	-	-	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PT3: T3 中断高优先级控制位  
 1 = T3 中断为高优先级  
 0 = T3 中断为低优先级

### 5.1.11 中断优先级控制寄存器 IP3

当 IPEN=1 时，中断优先级控制寄存器 IP3 才有效。

寄存器 5.12: IP3: 中断优先级控制寄存器 3 (地址: 29H)

	bit7							bit0
复位值 0000 0000	PT4	-	POSCFAI L	PFLKON	PFLKOFF	PFRA	PP3	PHLVD
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PT4: T4 中断高优先级控制位  
 1 = T4 中断为高优先级  
 0 = T4 中断为低优先级

POSCFAIL: OSCFAIL 中断高优先级控制位  
 1 = OSCFAIL 中断为高优先级  
 0 = OSCFAIL 中断为低优先级

PFLKON: LCD 闪烁点亮中断高优先级控制位  
 1 = FLKON 中断为高优先级  
 0 = FLKON 中断为低优先级

PFLKOFF: LCD 闪烁中断高优先级控制位  
 1 = FLKOFF 中断为高优先级  
 0 = FLKOFF 中断为低优先级

PFRA: LCD 帧中断高优先级控制位  
 1 = FRA 中断为高优先级  
 0 = FRA 中断为低优先级

PP3: P3 口电平变化中断高优先级控制位  
 1 = P3 电平变化中断为高优先级  
 0 = P3 电平变化中断为低优先级

PHLVD: PHLVD 中断高优先级控制位  
 1 = PHLVD 中断为高优先级  
 0 = PHLVD 中断为低优先级

### 5.1.12 电源控制寄存器 PCTL

PCTL 寄存器的  $\overline{\text{LVR}}$  位的状态在单片机上电复位时是不确定的。如果用户在使用中要用到该位，在程序初始化部分需将其置 1，随后如果有复位发生且  $\overline{\text{LVR}} = 0$ ，则表示发生过欠压检测复位。 $\overline{\text{LVR}}$  状态位是“无关”位，如果欠压检测电路被关闭(通过设定配置字中的 LVREN 位和 PCTL 中的 SLVREN 位)， $\overline{\text{LVR}}$  状态位是不可预知的。 $\overline{\text{POR}}$  是上电复位状态位，该位在上电复位时被清 0，在其它情况下不受影响。

**寄存器5.14:PCTL:** 电源控制寄存器(地址:2EH)

	bit7						bit0	
复位值 --01 00xx	-	-	-	SLVREN	IPEN	SWDTEN	$\overline{\text{POR}}$	$\overline{\text{LVR}}$
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

**SLVREN:** 软件欠压检测使能位

1 = 使能欠压检测

0 = 禁止欠压检测

**IPEN:** 中断优先级控制位

1 = 使能中断优先级功能

0 = 禁止中断优先级，即为普通模式

**SWDTEN:** 软件看门狗定时器使能位

当配置字的 WD TEN=0 时

1 = 软件使能看门狗定时器

0 = 软件禁止看门狗定时器

$\overline{\text{POR}}$ : 上电复位状态位

1 = 未发生上电复位

0 = 发生了上电复位

$\overline{\text{LVR}}$ : 欠压复位状态位

1 = 未发生欠压复位

0 = 已发生欠压复位

### 5.1.13 INT 中断沿选择寄存器 INTEDGCTL

**寄存器5.15:INTEDGCTL:INT**中断沿选择寄存器 (67H)

	bit7						bit0	
复位值 00---1	INT2SE	INT1SE	-	-	-	-	-	T1CLKSE
	R/W	R/W	U	U	U	U	U	R/W

**INT2SE:** INT2 触发脉冲边沿选择位

1 = 上升沿触发

0 = 下降沿触发

**INT1SE:** INT1 触发脉冲边沿选择位

1 = 上升沿触发

0 = 下降沿触

**T1CLKSE:** T1 定时器时钟选择位

1 = 内部高频时钟

0 = 系统时钟 SCLK/4

### 5.1.14 中断响应

当 IPEN=1 时，中断被响应后：

1. 进入优先级中断，由软件对 AIEH 或 AIEL 位都置 1。
2. 返回地址压入堆栈；
3. 中断入口地址载入 PC；
4. AIEL 位由硬件自动清 0，执行低优先级中断服务程序，【如果进入高优先级中断时，AIEH 由硬件自动清 0。执行高优先级中断服务程序，执行指令 IRET 退出高优先级中断硬件自动置 1 AIEH，继续执行低优先级中断服务程序】，执行指令 IRET 退出低优先级中断硬件自动置 1 AIEL。
5. 只置 1 AIEH，则直接进入高优先级中断，AIEH 由硬件自动清 0；
6. 继续执行中断服务子程序；
7. 执行指令 IRET 退出中断服务子程序并由硬件自动将 AIEH 置 1，重新使能未屏蔽的中断；
8. 跳转到中断发生处继续执行下面的程序。

当 IPEN=0 时，中断被响应后：

1. AIE 位将被硬件清 0 以禁止其它中断；
2. 返回地址压入堆栈；
3. 中断入口地址载入 PC；
4. 执行该中断服务子程序；
5. 执行指令 IRET 退出中断服务子程序并将 AIE 置 1，重新使能未屏蔽的中断；
6. 跳转到中断发生处继续执行下面的程序。

进入中断服务程序后，首先保存 PSW 和其它寄存器的值，然后通过查询中断标志位确定中断源。在重新使能中断之前，应在软件中将相应的中断标志位清 0，以避免出错。

注：

1. 中断条件满足时，无论相应的中断使能位或 AIE 位的状态为何，中断标志位都将被置 1。
2. 当执行一条清除 AIE 位的指令后，任何在下一周期等待响应的中断都将被忽略。当 AIE 位重新置 1 时，被忽略的中断请求将继续等待被响应。
3. 当对中断进行响应，进入中断服务子程序的时候硬件会将 AIE 位清零关闭总中断，当中断程序执行完，中断返回指令跳出中断子程序时，硬件将 AIE 位置 1 打开总中断。

## 5.2 INT 中断

INT 中断有三个中断源: INT0、INT1 和 INT2，都采用边沿触发方式,如果触发边沿选择位(INTxSE)置 1，则采用上升沿触发；如果触发边沿选择位清 0，则采用下降沿触发。

### 5.2.1 INT0 中断

INT0 中断通过寄存器 INTCTL 中的 INTOIE 位置 1 使能 INT0 中断。通过 OPTR 中的 INTOSE 位设置触发边沿，INTOSE 置 1,将 INTO 设置为下降沿触发，清零设置为上升沿触发。INTCTL 中的 INTOIF 为 INT0 的中断标志位。如果 IPEN 和 PINT0 位均置 1，则 INT0 为高优先级中断。INT0 引脚有触发脉冲时，INTOIF 自动置 1，如 INTOIE 和 AIE 位为 1，则响应 INT0 中断。

### 5.2.2 INT1 中断

INT1 中断通过寄存器 EIE1 中的 INT1IE 位置 1 使能 INT1 中断。通过 INTEDGCTL 中的 INT1SE 位设置触发边沿，INT1SE 置 1,将 INT1 设置为上升沿触发，清零设置为下降沿触发。EIF1 中的 INT1IF 为 INT1 的中断标志位。如果 IPEN 和 PINT1 位均置 1，则 INT1 为高优先级中断。

INT1 引脚有触发脉冲时，INT1IF 被自动置 1，如果 INT1IE、PUIE 和 AIE 位为 1，则响应 INT1 中断。

### 5.2.3 INT2 中断

INT2 中断通过寄存器 EIE1 中的 INT2IE 位置 1 使能 INT2 中断。通过 INTEDGCTL 中的 INT2SE 位设置触发边沿，INT2SE 置 1,将 INT2 设置为上升沿触发，清零设置为下降沿触发。EIF1 中的 INT2IF 为 INT2 的中断标志位。如果 IPEN 和 PINT2 位均置 1，则 INT2 为高优先级中断。INT2 引脚有触发脉冲时，INT2IF 被自动置 1，如果 INT2IE、PUIE 和 AIE 位为 1，则响应 INT2 中断。

#### 使用 INT 中断时的设置：

1. 将对应的 INTx 引脚设置为数字输入口。(x=0、1、2)
2. 选择触发脉冲边沿时上升沿还是下降沿(INTxSE 置 1 为上升沿触发)；
3. 将相应的外部中断使能位置 1(INTxIE)，如果为高优先级，则 IPEN 和 PINTx 均置 1。

## 5.3 定时器中断

定时/计数器产生中断的条件如下：

T0：计数溢出；

T1：计数溢出或者与 PP2/PP1 寄存器匹配；

T2：计数值与 PP5H/PP5L 寄存器匹配；

T3：计数溢出或者与 T3REH/T3REL 寄存器匹配；

T4：计数溢出或者与 T4REH/T4REL 寄存器匹配；

有关定时/计数器模块中断的操作，请参考定时/计数器部分。

## 5.4 P0/P3 口中断

P0/P3 口引脚的输入电平变化将使 P0IF/P3IF 位置 1。通过设置/清除 P0IE/P3IE 位，可使能/禁止该中断。且该端口各引脚可通过 IOCL0/IOCL3 寄存器来对每个引脚进行配置。当 IPEN 和 PP0/PP3 均置 1 时，P0/P3 口中断可以配置为高优先级中断。

有关 P0/P3 口的操作，请参考 P0/P3 口部分。

## 5.5 中断现场保护

在中断响应时，硬件会把当前 PC 值加 1 入栈保存，中断结束后，硬件在将本次中断入栈时的值弹出载入 PC，继续执行后面的程序。通常，用户可能希望在中断时对一些关键寄存器的内容进行保存(例如，Rn 和 PSW)。这些都需通过软件方式实现。

## 6 定时/计数器

KF8L20 单片机提供:

- 1 个 8 位的定时/计数器 T0
- 1 个 16 位的定时器 T1
- 1 个 16 位定时器 T2
- 1 个 16 位的定时/计数器 T3
- 1 个 16 位的定时/计数器 T4

### 6.1 定时/计数器 T0

T0 是一个 8 位的定时器/计数器, 当 T0 寄存器值加到 255 时, 再加 1, 则会产生溢出, T0 寄存器的值返回到 0 开始重新计数。

#### 6.1.1 T0 原理框图

图 6.1 为 T0 的结构框图。T0 模块使用一个 8 位计数器作为预分频器, 如寄存器 6.1 所示, 通过软件设定 PSA 位(OPTR.3)的状态可对预分频器的分配进行控制, PSA 位清 0 可将预分频器分配给 T0 模块。通过设置 PS<2:0>位可选择预分频器的分频比。预分频器是不可读写的。当预分频器用于 T0 模块时, 所有写入 T0 寄存器的指令都会将预分频器清 0。当预分频器用于 WDT 时, CWDT 指令会同时将预分频器和看门狗定时器清 0。

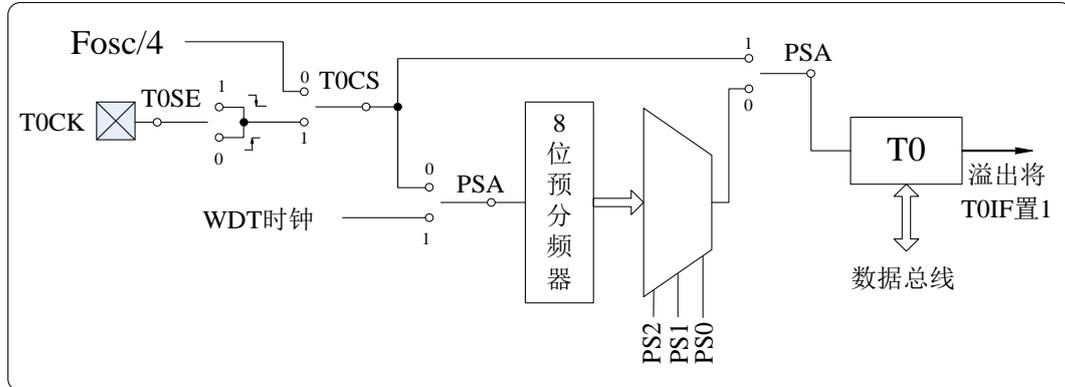


图 6.1 原理框图

#### 6.1.2 T0 相关的寄存器

表 6-1 与 T0 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
01H	T0	8 位计数器							
21H	OPTR	PUPH	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0

### 6.1.2.1 OPTR 选择寄存器

**寄存器6.1:** OPTR: 选择寄存器(地址: 21H)

复位值	bit7							bit0
1111 1111	PUPH	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0
	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1

**PUPH** I/O 口上拉功能总使能位

1 = 禁止所有 I/O 口的上拉功能

0 = 允许 I/O 口使用上拉功能

**INT0SE** INT0 中断触发脉冲边沿选择位

1 = INT0/P0.0 为下降沿触发

0 = INT0/P0.0 为上升沿触发

**T0CS:** T0 模式选择位

1 = 计数模式, T0 的时钟为外部时钟 T0CK/P0.0

0 = 定时模式, T0 的时钟为机器内部时钟 FOSC/4

**T0SE:** T0 计数脉冲信号边沿选择位

1 = 下降沿触发

0 = 上升沿触发

**PSA:** 预分频器分配控制位

1 = 预分频器用于 WDT

0 = 预分频器用于 T0

**PS<2:0>:** 预分频器分频比选择位

PS<2:0>	WDT 分频比	T0 分频比
000	1 : 1	1 : 2
001	1 : 2	1 : 4
010	1 : 4	1 : 8
011	1 : 8	1 : 16
100	1 : 16	1 : 32
101	1 : 32	1 : 64
110	1 : 64	1 : 128
111	1 : 128	1 : 256

### 6.1.3 定时模式

通过将 T0CS 位(OPTR.5)清 0 可选择定时器模式。在定时模式中, 如果不使用预分频器, 每一个机器周期 T0 寄存器的值加 1。如果 T0 寄存器被写入初始值, 则在接下来的两个机器周期将不执行递增操作, 用户可通过将校正值写入 T0 寄存器进行修正。

### 6.1.4 计数模式

通过将 T0CS 位(OPTR.5)置 1 可选择计数模式。在该模式下, T0 模块在 T0CK 引脚信号的每一次上升沿(T0SE 位清 0)或下降沿(T0SE 位置 1)递增计数。

当不使用预分频器时, 要求 T0CK 的高电平状态和低电平状态分别保持至少  $2T_{osc}$  的时间, 以实现 T0CK 与内部相位时钟的同步。

### 6.1.5 T0 的使用

T0 在使用时通过以下步骤进行设置:

1. 通过将 T0CS 位清 0/置 1 选择定时/计数模式(如果是计数模式, 再设置 T0SE 选择脉冲触发边沿, 将对应的计数脉冲输入脚 T0CK 设置为输入);
2. 如果需要分频, 则将预分频器分配给 T0, 并设置分频比;
3. 给 T0 寄存器设置初始值;
4. 如果使用中断方式则将 T0IE 和 AIE 位置 1。

## 6.2 定时器 T1

T1 是一个 16 位的定时器，T1 的低 8 位在寄存器 T1L 中，高 8 位在寄存器 T1H 中，当 T1 计数值达到 65535 后，T1 的值再加 1 就会产生溢出，将 T1 中断标志位置 1。T1 属于外部单元，因此在使用 T1 中断时，需将 PUIE 位置 1，使能外设中断。如图 6.2 所示为 T1 的原理框图。

### 6.2.1 T1 原理框图

T1 的原理框图如图 6.2 所示，T1 是一个带预分频的 16 位定时器，带有四个预分频器选择项，允许对时钟输入进行 1、2、4 或 8 倍分频。TICKS 位(T1CTL<5:4>)对预分频计数器进行控制，T1 预分频计数器不能直接进行读写操作，可通过写入 T1H 或 T1L 使预分频计数器清 0。

此外，T1 还带有重载功能，重载寄存器利用 PP2/PP1 设置。当使能 T1 重载功能时，T1 计数器计数到 T1 重载寄存器中设置的值时，T1 计数器将清 0 重新开始计数，且将 T1 中断标志位置 1。

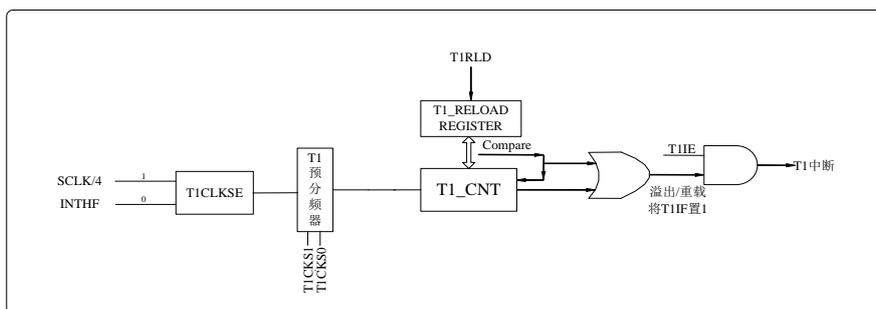


图 6.2 T1 原理框图

### 6.2.2 T1 相关的寄存器

表 6-2 与 T1 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0EH	T1L	定时/计数器 T1 低字节寄存器							
0FH	T1H	定时/计数器 T1 高字节寄存器							
10H	T1CTL	T1RLD	T1GC	TICKS1	TICKS0	T1OSCEN	$\overline{T1SY}$	T1CS	T1ON
67H	INTEDGCTL	INT2SE	INT1SE	-	-	-	-	-	T1CLKSE

### 6.2.2.1 T1 控制寄存器

如寄存器 6.2 所示，T1 控制寄存器（T1CTL）用于启动/禁止 T1 以及选择 T1 模块的不同功能特性。

寄存器6.2: T1CTL: T1控制寄存器(地址: 10H)

		bit7						bit0	
复位值		T1RLD	T1GC	T1CKS1	T1CKS0	T1OSCEN	$\overline{T1SY}$	T1CS	T1ON
0000 0000		R/W	R/W	R/W	R/W	U	R/W	R/W	R/W

T1RLD: T1 重载功能使能位

0 = 禁止 T1 重载功能

1 = 使能 T1 重载功能

T1GC: 保留位，请勿将该位置 1

T1CKS<1:0>: T1 输入时钟预分频比选择位

11 = 1/8 倍预分频比

10 = 1/4 倍预分频比

01 = 1/2 倍预分频比

00 = 1/1 倍预分频比

T1OSCEN: 保留位，请勿将该位置 1

$\overline{T1SY}$ : 保留位，请勿将该位置 1

T1CS: T1 定时/计数模式选择

1 = 保留，请勿将该位置 1

0 = 定时模式

当 T1CLKSE=1 时 T1 时钟为内部高频时钟

当 T1CLKSE=0 时 T1 时钟为指令时钟（系统时钟四分频）

T1ON: T1 启动控制位

1 = 启动 T1

0 = 停止 T1

### 6.2.2.2 INT 中断沿选择寄存器

寄存器6.4: INTEDGCTL:INT中断沿选择寄存器 (67H)

复位值 00---1	bit7						bit0
	INT2SE	INT1SE	-	-	-	-	T1CLKSE
	R/W	R/W	U	U	U	U	R/W

INT2SE: INT2 触发脉冲边沿选择位

1 = 上升沿触发

0 = 下降沿触发

INT1SE: INT1 触发脉冲边沿选择位

1 = 上升沿触发

0 = 下降沿触

T1CLKSE: T1 定时器时钟选择位

1 = 内部高频时钟

0 = 系统时钟 SCLK/4

### 6.2.3 定时模式

通过将 T1CS 位清 0 将 T1 设定为定时模式, T1 工作在定时模式时, 对单片机内部时钟进行计数, 当不使用预分频器时, 每个机器周期 T1 寄存器自加 1, 加到 0FFFFH 后再加 1, T1 溢出, 将 T1 中断标志位 T1IF 置 1。

### 6.2.4 T1 重载功能

置位 T1CTL 寄存器的 T1RLD 位使能 T1 重载功能。通过设置 PP2/PP1 寄存器来设置 T1 的重载点。当设置完 PP2/PP1 寄存器且使能重载功能后, T1 计数器从 0 开始计数, 当计数到 PP2/PP1 寄存器设置的值时, T1 计数器清 0 并重新开始计数, T1IF 置 1。

T1RLD 位置 1 时会载入一次 PP2/PP1 寄存器的值, 当置位 T1RLD 且在 T1 计数过程中对 PP2/PP1 寄存器写入新值时, T1 模块会在下一次重载时载入新的重载点。

注: T1 使能重载前应该配置好 PP2/PP1, 在 T1 计数中使能重载可能会直接进入中断。

### 6.2.5 T1 在休眠模式下的运行

只有设定在异步计数器模式时, T1 才能在休眠模式下工作。在该模式下, 计数脉冲 T1CK 使计数器递增。通过如下步骤设定定时器以唤醒器件:

- 使能 T1(T1ON/T1CTL.0 置 1)
- 将 T1IE 位(EIE1.0)置 1
- 将 PUIE 位(INTCTL.6)置 1

器件将在溢出时被唤醒。如果 AIE 位(INTCTL.7)置 1, 器件将被唤醒并跳转至中断服务程序。

## 6.3 定时器 T2

T2 是一个带 16 位周期寄存器、预分频器和后分频器 16 位定时器，由 2 个 8 位寄存器 T2H 和 T2L 组成。没有外部计数时钟输入脚。

### 6.3.1 T2 的工作原理

如图 6.3 所示，为 T2 的原理框图，T2 的计数时钟为内部高频振荡器时钟（INTHF），每个周期（当分频器 1 分频比为 1:1 时）寄存器 T2 的值自动加 1。通过 T2CTL0 的 T2ON 启动/禁止 T2。

内部高频振荡器时钟（INTHF）先经过分频器 1 分频后送到 T2 寄存器，进行加 1 计数，分频器 1 通过设置寄存器 T2CTL0 中的 T2CKPS<1:0>位，可将 INTHF 进行 1:1、1:4 和 1:16 分频。

当 T2H/L 寄存器与 PP5H/L 相等时，T2 自动清零，发出相等信号给分频器 2，分频器 2 递增。同时 T2H/L 的值与寄存器 T2CCRxH/L 相比较，如果等于 T2CCRxH/L，且对应的控制位 T2CCRxON 置 1，则会发出信号，使 ADCATL0 的 START（ADCCTL0<1>）位置 1。

分频器 2 的分频比可通过寄存器 T2CTL0 中的 T2CKBS<3:0>位设置为 1:1 至 1:16。当其设置为 1:1 时，每次寄存器 T2H/L 与 PP5H/L 相等，将会使 T2 中断标志位 T2IF 置 1；当其设置为 1:2 时，寄存器 T2H/L 与 PP5H/L 相等累计两次才会使 T2IF 置 1，以此类推。

如果对 T2 寄存器执行写操作、对寄存器 T2CTL0 执行写操作或发生任何器件复位事件（上电复位、 $\overline{\text{RST}}$  复位、看门狗复位或欠压复位），分频器 1/2 的计数器将被清 0。

寄存器 T2H/L、PP5 和 T2CCRxH/L 均可读写。任何复位时，寄存器 T2H/L 均被设置为 00H，T2CCRxH/L 被设置为 00H/00H，PP5 被设置为 FFH。

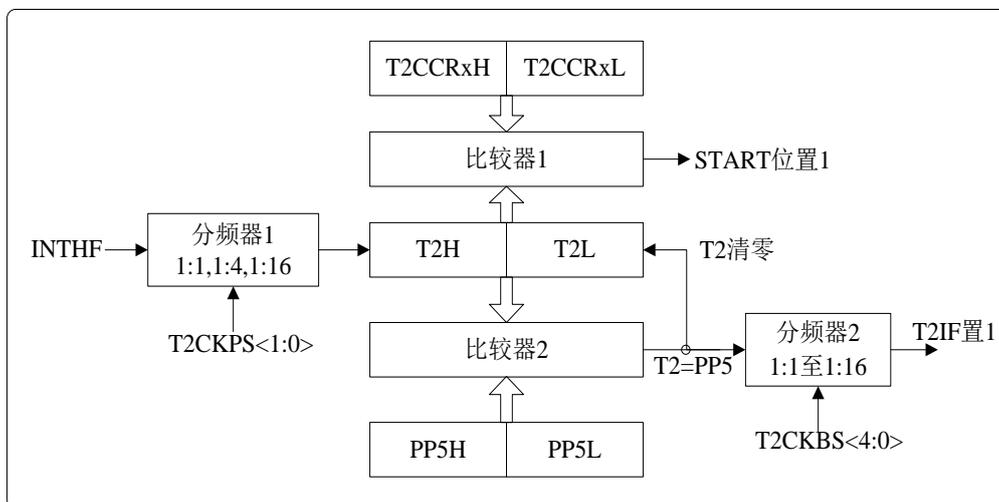


图 6.3 定时器 T2 原理框图

注：需要在 T2ON 位置 1 的前提下对 T2 计数寄存器 T2H/T2L 进行赋值操作，否则无法写入。

### 6.3.2 T2 相关的寄存器

表 6-3 与 T2 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
12H	T2CTL0	-	T2CKBS3	T2CKBS2	T2CKBS1	T2CKBS0	T2ON	T2CKPS1	T2CKPS0
10FH	T2CTL1	T2MOD1	T2MOD0	T2OFS1	T2OFS0	T2TRIGEN	-	-	T2DIR
41H	T2H	T2 高字节寄存器							
11H	T2L	T2 低字节寄存器							
42H	PP5H	T2 重载寄存器高 8 位							
52H	PP5L	T2 重载寄存器低 8 位							
54H	T2CCR0L	T2 触发 ADC 启动设置寄存器 0 低 8 位							
40H	T2CCR0H	T2 触发 ADC 启动设置寄存器 0 高 8 位							
116H	T2CCR1L	T2 触发 ADC 启动设置寄存器 1 低 8 位							
118H	T2CCR1H	T2 触发 ADC 启动设置寄存器 1 高 8 位							

#### 6.3.2.1 T2 控制寄存器 T2CTL0

寄存器 6.3: T2CTL0: T2 控制寄存器 1 (地址: 12H)

复位值	bit7						bit0	
-000 0000	-	T2CKBS3	T2CKBS2	T2CKBS1	T2CKBS0	T2ON	T2CKPS1	T2CKPS0
	U	R/W	R/W	R/W	R/W	R/W	R/W	R/W

T2CKBS<3:0>: T2 分频器 2 (后分频) 分频比选择位

- 0000 = 分频比为 1:1
- 0001 = 分频比为 1:2
- 0010 = 分频比为 1:3
- 0011 = 分频比为 1:4
- 0100 = 分频比为 1:5
- 0101 = 分频比为 1:6
- 0110 = 分频比为 1:7
- 0111 = 分频比为 1:8
- 1000 = 分频比为 1:9
- 1001 = 分频比为 1:10
- 1010 = 分频比为 1:11
- 1011 = 分频比为 1:12
- 1100 = 分频比为 1:13
- 1101 = 分频比为 1:14
- 1110 = 分频比为 1:15
- 1111 = 分频比为 1:16

T2ON: T2 使能位  
 1 = 使能 T2  
 0 = 禁止 T2

T2CKPS<1:0>: T2 分频器 1 (预分频) 分频比选择位

00 = 分频比为 1:1

01 = 分频比为 1:4

1x = 分频比为 1:16

### 6.3.2.2 T2 控制寄存器 T2CTL1

**寄存器6.4:** T2CTL1: T2控制寄存器1(地址:10FH)

复位值 0000 0--0	bit7						bit0	
	T2MOD1	T2MOD0	T2OFS1	T2OFS0	T2TRIGEN	-	-	T2DIR
	R/W	R/W	R/W	R/W	R/W	U	U	R

T2MOD<1:0>: T2 计数方式选择位。

00 = 向上计数, 上溢时产生中断标志

01 = 向上-向下计数, 上溢时产生中断标志

10 = 向上-向下计数, 下溢时产生中断标志

11 = 向上-向下计数, 上溢和下溢时都产生中断标志

T2OFS1: T2 溢出中断选择, T2TRIGEN 为 1 时有效

0 = 禁止上溢中断触发 AD

1 = 使能上溢中断触发 AD

T2OFS0: T2 溢出中断选择, T2TRIGEN 为 1 时有效

0 = 禁止下溢中断触发 AD

1 = 使能下溢中断触发 AD

T2TRIGEN: T2 溢出中断自动触发 AD 控制位, 当 AD 转换结束后自动清零。

0 = 禁止 T2 溢出中断自动触发 AD

1 = 使能 T2 溢出中断自动触发 AD

T2DIR: T2 计数方向标志位 (只读)

0 = 当前计数方向为向下计数

1 = 当前计数方向为向上计数

### 6.3.2.3 T2CCR1/0H 和 T2CCR1/0L 寄存器

T2CCR1/0H 和 T2CCR1/0L 寄存器是 T2 触发 ADC 启动设置寄存器。通过 T2CCR<sub>x</sub>ON (x=0、1) 位可以控制相应的 T2CCR<sub>x</sub>H/L (x=0、1) 是否工作。当 T2CCR<sub>x</sub>ON (x=0、1) 使能时, 系统不停的将 T2H/L 的值与寄存器 T2CCR<sub>x</sub>H/L (x=0、1) 相比较, 如果等于 T2CCR<sub>x</sub>H/L (x=0、1), 且对应的控制位置 1(见 7.1.1 和 7.1.4 寄存器), 则会发出信号, 使 ADCCTL0 的 START (ADCCTL0<1>) 位置 1, 使能 ADC 采样转换。

### 6.3.3 T2 中断

如图 6.3 所示, 预分频器 2 的计算器达到设定值后将会使中断标志位置 1, 如果使能位 T2IE 为 1, 且全局中断和外设中断允许位为 1, 将会响应 T2 中断。

如果 IPEN 和 PT2 位均置 1, 则 T2 为高优先级中断。

### 6.3.4 T2 在休眠模式

单片机进入休眠模式后, 因 T2 使用系统时钟, 因此 T2 将停止工作。

## 6.4 定时/计数器 T3

T3 是一个 16 位的定时/计数器，T3 的低 8 位在寄存器 T3L 中，高 8 位在寄存器 T3H 中，当 T3 计数值达到 65535 后，T3 的值再加 1 就会产生溢出，将 T3 中断标志位置 1。

T3 带有重载功能。当使能 T3 重载功能时，T3 计数器计数到 T3 重载寄存器中设置的值时，T3 计数器将清 0 重新开始计数，且将 T3 中断标志位置 1。

T3 属于外部单元，因此在使用 T3 中断时，需将 PUIE 位置 1，使能外设中断。

### 6.4.1 T3 原理框图

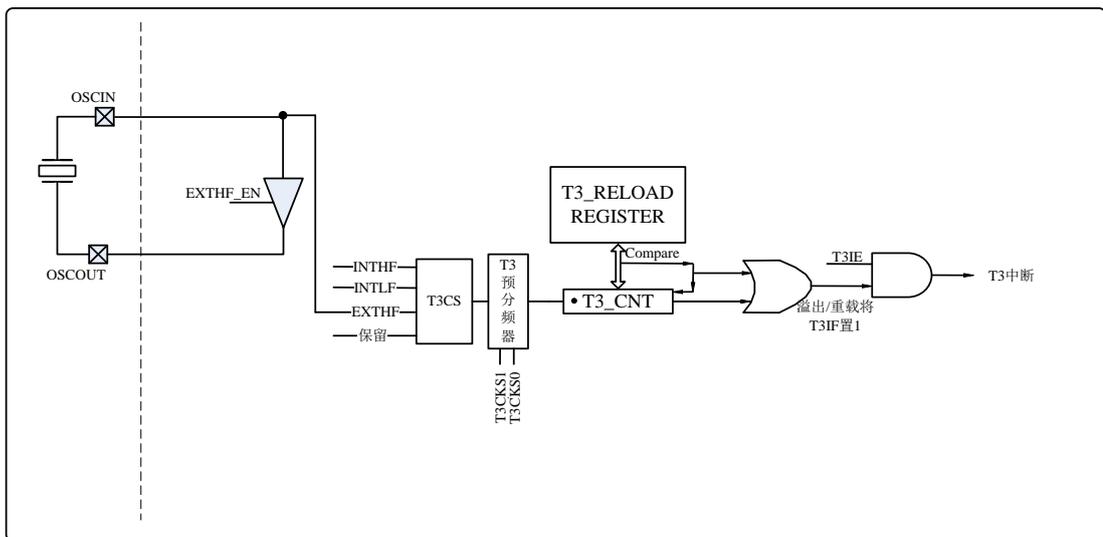


图 6.4 定时器 T3 原理框图

### 6.4.2 T3 相关寄存器

表 6-4 与 T3 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
4EH	T3CTL	T3REN	-	T3CKS1	T3CKS0	-	T3CS1	T3CS0	T3ON
4FH	T3L	T3 低位寄存器							
5FH	T3H	T3 高位寄存器							
15EH	T3REH	T3 重载设置寄存器高 8 位							
15DH	T3REL	T3 重载设置寄存器低 8 位							

### 6.4.2.1 T3 控制寄存器

如寄存器 6.5 所示，T3 控制寄存器（T3CTL）用于启动/禁止 T3 以及选择 T3 模块的不同功能特性。

**寄存器6.5:** T3CTL: T3控制寄存器(地址: 4EH)

复位值	bit7						bit0	
0000 0000	T3REN	-	T3CKS1	T3CKS0	-	T3CS1	T3CS0	T3ON
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- T3REN:** T3 重载功能使能位  
 0 = 禁止 T3 重载功能  
 1 = 使能 T3 重载功能
- T3CKS<1:0>:** T3 输入时钟预分频比选择位  
 11 = 1/8 倍预分频比  
 10 = 1/4 倍预分频比  
 01 = 1/2 倍预分频比  
 00 = 1/1 倍预分频比
- T3CS<1:0>:** T3 定时/计数模式选择  
 00 = T3 时钟为内部高频时钟 INTHF  
 01 = T3 时钟为内部低频时钟 INTLF  
 10 = T3 时钟为外部高频时钟 EXTHF  
 11 = 保留
- T3ON:** T3 启动控制位  
 1 = 启动 T3  
 0 = 停止 T3

#### 6.4.2.2 T3 预分频器

如寄存器 6.5 所示，T3 具有四个预分频器选择项，允许对时钟输入进行 1、2、4、或 8 倍分频。T3CKS 位(T3CTL<5:4>)对预分频计数器进行控制。T3 预分频计数器不能直接进行读写操作，可通过写入 T3H 或 T3L 使预分频计数器清 0。

#### 6.4.3 T3 计数时钟选择

用户可以通过 T3CTL 寄存器的 T3CS<1:0>位来选择 T3 的计数时钟，KF8L20 系列提供 3 个时钟源，内部系统高频时钟、内部低频时钟、外部高频时钟。

#### 6.4.4 T3 重载功能

置位 T3CTL 寄存器的 T3REN 位使能 T3 重载功能。通过设置 T3REH/T3REL 寄存器来设置 T3 的重载点。当设置 T3REH/T3REL 寄存器且使能重载功能后，T3 计数器从 0 开始计数，当计数到 T3REH/T3REL 寄存器设置的值时，T3 计数器清 0 并重新开始计数，T3IF 置 1。

T3REN 位置 1 时会载入一次 T3REH/T3REL 寄存器的值，当置位 T3REN 且在 T3 计数过程中对 T3REH/T3REL 寄存器写入新值时，T3 模块会在下一次重载时载入新的重载点。

#### 6.4.5 T3 中断

在两种情况下会使 T3 中断标志位置 1：

1. 当 T3 计数值达到 65535 后，T3 的值再加 1 就会产生溢出，将 T3 中断标志位置 1；
2. 当 T3 重载时，T3 中断标志位置 1。

#### 6.4.6 T3 工作在休眠模式

当选择外部时钟信号作为 T3 的计数时钟时，T3 模块可以工作在休眠模式下。当使能 T3 中断时，系统会在 T3 溢出或者重载时唤醒。

## 6.5 定时/计数器 T4

T4 是一个 16 位的定时/计数器，T4 的低 8 位在寄存器 T4L 中，高 8 位在寄存器 T4H 中，当 T4 计数值达到 65535 后，T4 的值再加 1 就会产生溢出，将 T4 中断标志位置 1。

T4 带有重载功能。当使能 T4 重载功能时，T4 计数器计数到 T4 重载寄存器中设置的值时，T4 计数器将清 0 重新开始计数，且将 T4 中断标志位置 1。

T4 属于外部单元，因此在使用 T4 中断时，需将 PUIE 位置 1，使能外设中断。

### 6.5.1 T4 原理框图

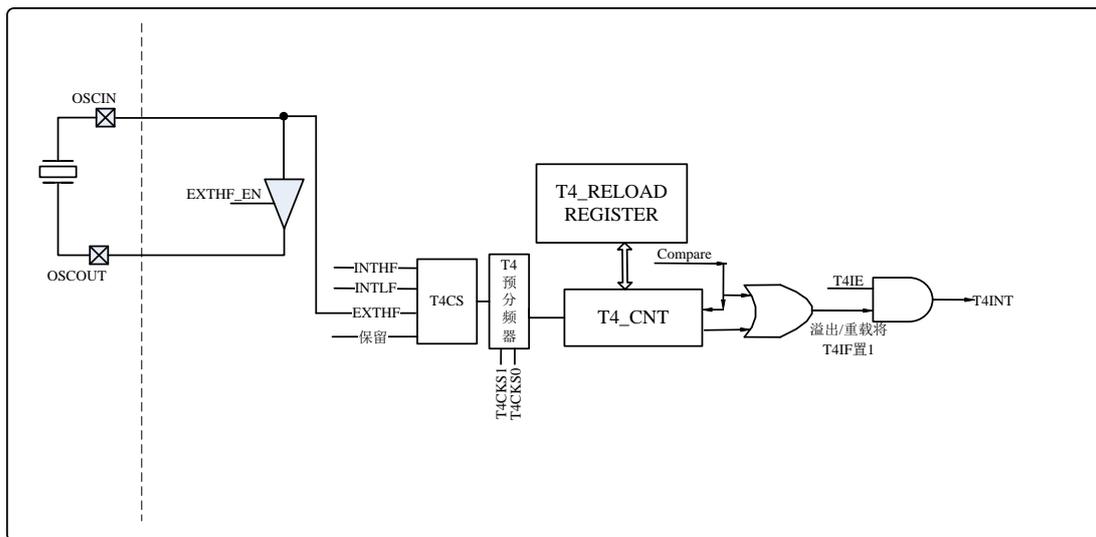


图 6.7 T4 原理框图

#### 6.5.1.1 T4 相关寄存器

表 6-5 与 T4 相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
164H	T4CTL	T4REN	T4_BUZ OE	T4CKS1	T4CKS0	-	T4CS1	T4CS0	T4ON
161H	T4H	T4 计数器高 8 位							
160H	T4L	T4 计数器低 8 位							
163H	T4REH	T4 重载设置寄存器高 8 位							
162H	T4REL	T4 重载设置寄存器低 8 位							

### 6.5.1.2 T4 控制寄存器

如寄存器 6.6 所示，T4 控制寄存器（T4CTL）用于启动/禁止 T4 以及选择 T4 模块的不同功能特性。

**寄存器6.6:** T4CTL: T4控制寄存器(地址: 164H)

复位值	bit7					bit0		
0000-000	T4REN	T4BUZOE	T4CKS1	T4CKS0	-	T4CS1	T4CS0	T4ON
	R/W	R/W	R/W	R/W	U	R/W	R/W	R/W

- T4REN:** T4 重载功能使能位  
 0 = 禁止 T4 重载功能  
 1 = 使能 T4 重载功能
- T4BUZOE:** T4 蜂鸣器控制输出使能位  
 0 = 禁止 T4 蜂鸣器控制输出到 P0.7 口  
 1 = 使能 T4 蜂鸣器控制输出到 P0.7 口
- T4CKS<1:0>:** T4 输入时钟预分频比选择位  
 11 = 1/8 倍预分频比  
 10 = 1/4 倍预分频比  
 01 = 1/2 倍预分频比  
 00 = 1/1 倍预分频比
- T4CS<1:0>:** T4 定时/计数模式选择  
 00 = T4 时钟为内部高频时钟 INTHF  
 01 = T4 时钟为内部低频时钟 INTLF  
 10 = T4 时钟为外部高频时钟 EXTHF  
 11 = 保留
- T4ON:** T4 启动控制位  
 1 = 启动 T4  
 0 = 停止 T4

### 6.5.1.3 T4 预分频器

如寄存器 6.6 所示，T4 具有四个预分频器选择项，允许对时钟输入进行 1、2、4、或 8 倍分频。T4CKS 位(T1CTL<5:4>)对预分频计数器进行控制。T4 预分频计数器不能直接进行读写操作，可通过写入 T4H 或 T4L 使预分频计数器清 0。

### 6.5.2 T4 计数时钟选择

用户可以通过 T4CTL 寄存器的 T4CS<1:0>位来选择 T4 的计数时钟源，提供 3 个时钟源，内部系统高频时钟、内部低频时钟、外部高频时钟。

### 6.5.3 T4 重载功能

置位 T4CTL 寄存器的 T4REN 位使能 T4 重载功能。通过设置 T4REH/T4REL 寄存器来设置 T4 的重载点。当设置 T4REH/T4REL 寄存器且使能重载功能后，T4 计数器从 0 开始计数，当计数到 T4REH/T4REL 寄存器设置的值时，T4 计数器清 0 并重新开始计数，T4IF 置 1。

T4REN 位置 1 时会载入一次 T4REH/T4REL 寄存器的值，当置位 T4REN 且在 T4 计数过程中对 T4REH/T4REL 寄存器写入新值时，T4 模块会在下一次重载时载入新的重载点。

#### 6.5.4 T4 中断

在三种情况下会使 T4 中断标志位置 1：

1. 当 T4 计数值达到 65535 后，T4 的值再加 1 就会产生溢出，将 T4 中断标志位置 1；
2. 当 T4 重载时，T4 中断标志位置 1。

#### 6.5.5 T4 工作在休眠模式

当选择低频时钟信号作为 T4 的计数时钟时，T4 模块可以工作在休眠模式下。当使能 T4 中断时，系统会在 T4 溢出或者重载时唤醒。

## 7 ADC12 模数转换模块

ADC12 模数转换模块可将模拟输入信号转换为 12 位二进制值。KF8L20 拥有 6 路 IO 模拟输入通道和 2 路内部通道。转换器通过逐次逼近法将模拟输入信号转换为二进制值，并将转换结果存放到 12 位寄存器中。可通过软件方式选择内部参考电压 VREFOUT、VDD 或施加在 VREFIN 引脚上的电压作为转换使用的参考电压。

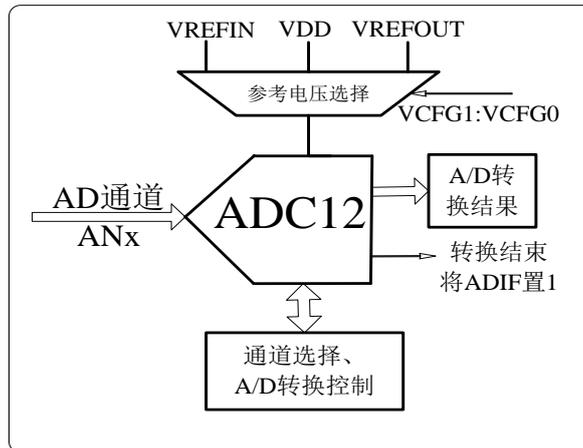


图 7.1 ADC12 模块结构框图

### 7.1 与 ADC12 相关的寄存器

表 7-1 与 ADC12 转换相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
1FH	ADCCTL0	ADLR	T2CCR0 ON	-	-	-	-	START	ADEN
3FH	ADCCTL1	ADCALEN	ADCS2	ADCS1	ADCS0	VCFG1	VCFG0	-	-
63H	ADCCTL2		ADCHS6	ADCHS5	ADCHS4	ADCHS3	ADCHS2	ADCHS1	ADCHS0
18H	ADSCANCTL	ADSCANEN	SMOD1	SMOD0	STIM4	STIM 3	STIM 2	STIM 1	STIM 0
58H	ADCINTCTL	T2CCR1 ON	-	-	-	-	-	INTCTL1	INTCTL0
236H	TEMPSNR	-	-	-	-	-	-	-	TSEN
1EH	ADCDATA0H	ADC 数据寄存器 0 高字节							
3EH	ADCDATA0L	ADC 数据寄存器 0 低字节							
50H	ADCDATA1H	ADC 数据寄存器 1 高字节							
51H	ADCDATA1L	ADC 数据寄存器 1 低字节							
59H	ADCDATA2H	ADC 数据寄存器 2 高字节							
5AH	ADCDATA2L	ADC 数据寄存器 2 低字节							
5EH	ADCDATA3H	ADC 数据寄存器 3 高字节							
6AH	ADCDATA3L	ADC 数据寄存器 3 低字节							
159H	VREFCAL0	内部参考电压校准寄存器 0							
15AH	VREFCAL1	内部参考电压校准寄存器 1							

**7.1.1 ADC12 控制寄存器 0(ADCCTL0)**
**寄存器7.1:** ADCCTL0: A/D控制寄存器0(地址: 1FH)

复位值	bit7						bit0	
00-- --00	ADLR	T2CCR0 ON	-	-	-	-	START	ADEN
	R/W	R/W	U	U	U	U	R/W	R/W

**ADLR:** ADC12 转换结果输出格式选择位

1 = 结果右对齐

0 = 结果左对齐

**T2CCR0ON:** T2CRR0H/L 与 T2H/L 匹配时触发 ADC12 启动使能位

1 = 使能 T2 触发 ADC12 启动

ADC12 采样转换结束后, 将采样的数据保存到

ADCDATA0H 和 ADCDATA0L 中, 并且硬件自动将该位清 0

0 = 禁止 T2 触发 ADC12 启动

**START:** ADC12 转换状态位

1 = ADC12 转换正在进行, 该位置 1 将启动 ADC12 转换, 在转换结束后该位将被硬件自动清 0。

0 = ADC12 转换结束或者未进行

**ADEN:** ADC12 工作使能位

1 = 使能 ADC12 转换模块工作

0 = ADC12 转换器关闭且不消耗工作电流

注: 如果内部使用参考电压VREFOUT时(用作ADC12参考电压和比较器参考电压), 不需要将寄存器VRECTL1的VREOE位置1。

**7.1.2 ADC12 控制寄存器 1(ADCCTL1)**
**寄存器7.2:** ADCCTL1: A/D控制寄存器1(地址: 3FH)

复位值	bit7						bit0	
0000 0000	ADCALE N	ADCS2	ADCS1	ADCS0	VCFG1	VCFG0	保留	保留
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**ADCALEN:** ADC12 失调校准使能位

0 = 关闭 ADC12 校准

1 = 打开 ADC12 校准

**ADCS<2:0>:** ADC12 转换时钟选择位

000 = Fad=SCLK/2

001 = Fad=SCLK/8

010 = Fad=SCLK/32

x11 = Fad=内部专用 500KHz 时钟

100 = Fad=SCLK/4

101 = Fad=SCLK/16

110 = Fad=SCLK/64

VCFG<1:0>: ADC12 转换参考电压选择位

00=断开

01 = VDD 作为 ADC12 参考电压

10 = VREFIN 作为 ADC12 参考电压

11 = VREFOUT 作为 ADC12 参考电压

### 7.1.3 ADC12 控制寄存器 2(ADCCTL2)

如寄存器 7.3 所示，ADC12 控制寄存器 2 包含 ADC12 通道选择位 CHS<6:0>。

**寄存器7.3:** ADCCTL2:A/D控制寄存器2（地址：63H）

复位值	bit7							bit0
-000 0000	-	ADCHS6	ADCHS5	ADCHS4	ADCHS3	ADCHS2	ADCHS1	ADCHS0
	U	R/W						

ADCHS<6:5>: 保留位，请勿将该两位置 1，否则将无法配置 ADC12 通道

ADCHS<4:0>: 模拟通道选择位

ADCHS<sub>x</sub> = ADC12 模拟通道 x

ADCHS	通道数	ADCHS	通道数
0 0000	保留	0 1100	通道 12/P0.2
0 0001	保留	0 1101	保留
0 0010	保留	0 1110	保留
0 0011	保留	0 1111	通道 15/TSOUT
0 0100	保留	1 0000	通道 16/VREFOUT
0 0101	保留	1 0001	通道 17/P0.7
0 0110	保留	1 0010	通道 18/P5.0
0 0111	保留	1 0011	通道 19/P5.1
0 1000	通道 8/P5.2	1 0100	保留
0 1001	保留	1 0101	保留
0 1010	保留	1 0110	保留
0 1011	通道 11/P0.1	1 0111	保留
-	-	11000	保留

### 7.1.4 ADC12 中断控制寄存器（ADCINTCTL）

**寄存器7.4:** ADCINTCTL: ADC12中断控制寄存器(地址:58H)

复位值	bit7						bit0	
0--- --00	T2CCR10	-	-	-	-	-	INTCTL1	INTCTL0
	N	U	U	U	U	U	R/W	R/W

T2CCR10N: T2CCR1H/L 寄存器触发 ADC12 启动使能位

1 = 使能 T2 触发 ADC12, ADC12 采样转换结束后，将采样的数据保存到 ADCDATA4H 和 ADCDATA4L 中，并且硬件自动将该位清 0

0 = 禁止 T2 触发 ADC12

INTCTL<1:0>: 保留位，请勿将该两位置 1；

### 7.1.5 温度传感器配置寄存器(TEMPSNR)

**寄存器7.5:** TEMPSNR: 温度传感器配置寄存器(地址:236H)

复位值 ----00	bit7							bit0
	-	-	-	-	-	-	-	TSEN
	U	U	U	U	U	U	R/W	R/W

**TSEN:** 温度传感器使能位  
 0 = 未使能温度传感器  
 1 = 使能温度传感器

## 7.2 通道的选择

如图 7.1 所示, KF8L20 中的 ADC12 转换模块的输入可以选择 6 路来自外部的模拟信号和 2 路内部通道。通过寄存器 ADCCTL2(如寄存器 7.3 所示)进行通道的选择。

当选择外部的模拟信号作为 ADC12 转换的输入时, 需要将对应的引脚配置为模拟输入口; 当选择内部信号作为 ADC12 转换的输出时, 无需占用任何 I/O 引脚; ADC12 可选的内部信号输入及配置方式如下(用户如需使用温度传感器, 通过 TEMPSNR 寄存器的 TSEN 位置 1 来使能该功能):

- 通道 15=TSOUT, 温度传感器的输出
- 通道 16=VREFOUT, 内部参考电压

**注:** 如果某引脚被配置为模拟输入口, 将会自动禁止有效地数字I/O、上拉电阻和电平变化中断。

## 7.3 ADC12 转换参考电压的选择

KF8L20 中 ADC12 模块的参考电压可以选择 3 种分别为: 电源电压(VDD)、外部参考电压(VREFIN)和内部参考电压 VREFOUT。通过寄存器 ADCCTL1(如寄存器 7.2 所示)的 VCFG<1:0>设置参考电压。

## 7.4 转换时钟的选择

完成一次 ADC12 转换所需要的时间为  $13T_{ad}$ 。如寄存器 7.2 所示, 可通过软件方式设置 ADCS 位(ADCCTL1<6:4>)选择转换时钟源, 共有 7 种时钟选项。 $T_{ad}$  和  $F_{ad}$  分别为 ADC12 转换时钟周期和频率。

## 7.5 输出格式

KF8L20 中 ADC12 转换的结果为 12 位二进制数, ADC12 转换结果寄存器为两个 8 位的寄存器。用户可以通过 ADLR(ADCCTL0.7)设置转换结果输出格式, ADLR 置 1 输出为右对齐, ADLR 清 0 输出为左对齐。如图 7.2 所示。

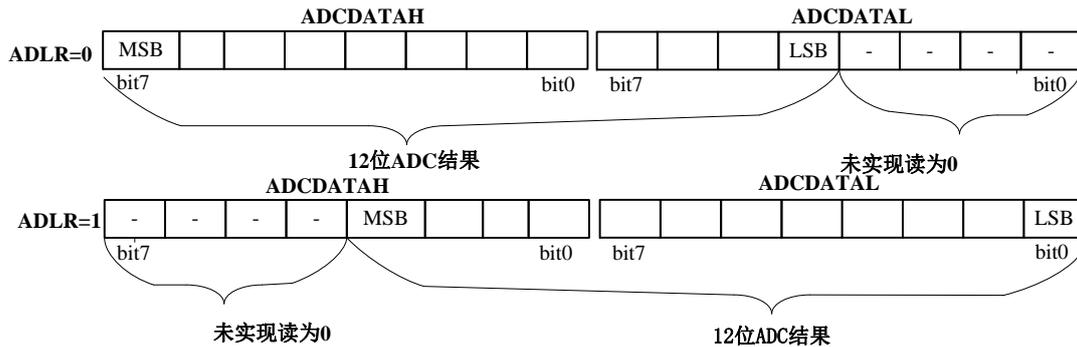


图 7.2 ADC 输出对齐方式

## 7.6 AD 转换的启动和完成

先将 ADEN 位置 1，然后将 START 位(ADCCR0.1)置 1 即可启动 AD 转换。当转换结束时，ADC12 模块将：

1. 将 START 位清 0
2. 将 ADIF 位置 1
3. 如果使能 AD 转换中断，则响应中断

可以采取在程序中将 START 位清 0 的方法中止当前的转换操作。在 AD 转换采样全部结束之前，ADCDATA0H:ADCDATA0L 寄存器中的内容将不会被更新，而是仍旧保留前一次的转换结果。AD 转换被中止后，需至少等待  $2T_{ad}$  的延时时间后才能开始下一次数据采集。

## 7.7 ADC12 工作在休眠模式

ADC12 转换器模块可以在休眠模式下工作。这需把 ADC12 的时钟源设定为 ADC12 专用的内部振荡器。当选择了专用内部时钟源后，ADC12 需等待一个指令周期后才能启动转换操作，转换结束后，START 位将被清 0，且转换结果将被载入 ADCDATA0H:ADCDATA0L 寄存器。如果 ADC12 中断被使能，器件将从休眠状态唤醒。如果 ADC12 中断被禁止，ADC12 模块在转换完成后被关闭。

如果 ADC12 时钟源不是 ADC12 专用的内部振荡器，执行 IDLE 指令将导致当前转换操作中止，并使 ADC12 模块关闭。

## 7.8 复位的影响

器件复位将强制所有寄存器进入复位状态。因此，ADC12 模块将被关闭，任何进行中的转换操作被中止。ADCDATA0H:ADCDATA0L 寄存器中的值不变。

## 7.9 使用 ADC12 转换器的设置

启动 ADC12 转换器时的设置：

1. 选择 ADC12 采样输入通道，设置 AD 转换结果对齐方式；
2. 将对应的 ADC12 采样输入通道设置为模拟输入模式；

3. 如果需要使能 ADC12 的失调校准，将 ADCCTL1 寄存器的 ADCALEN 位置 1；
4. 选择参考电压和 ADC12 采样时钟频率，打开 AD 转换；
5. 如果采用中断方式，使能 ADC12 转换中断；
6. 等待 ADC12 所需的采集时间；
7. 启动 AD 转换；
8. 查询 ADC12 是否转换完成(START=0)或进入 AD 中断；
9. 读取 AD 转换结果。

## 8 液晶显示 (LCD) 模块

### 8.1 概述

液晶显示 (Liquid Crystal Display, LCD) 驱动模块接收 CPU 送过来的数据, 按一定的规律储存在显示数据寄存器 (LCDDATAx) 中, 并根据 LCDDATAx 寄存器中的数据产生时序控制来驱动静态或复用的 LCD 面板, 实现期望的字符显示功能。

### 8.2 主要特点

- ◆ 最大支持 4x19 的 LCD 驱动模式
- ◆ 支持 LCD 面板的直接驱动
- ◆ 可选择预分频比
- ◆ 4 个公共端及 3 种复用模式: 静态, 1/2 复用, 1/3 复用, 1/4 复用
- ◆ 3 种偏置模式: 静态, 1/2 偏置, 1/3 偏置
- ◆ 支持闪烁功能
- ◆ 支持 A/B 两种 LCD 驱动波形

### 8.3 原理框图

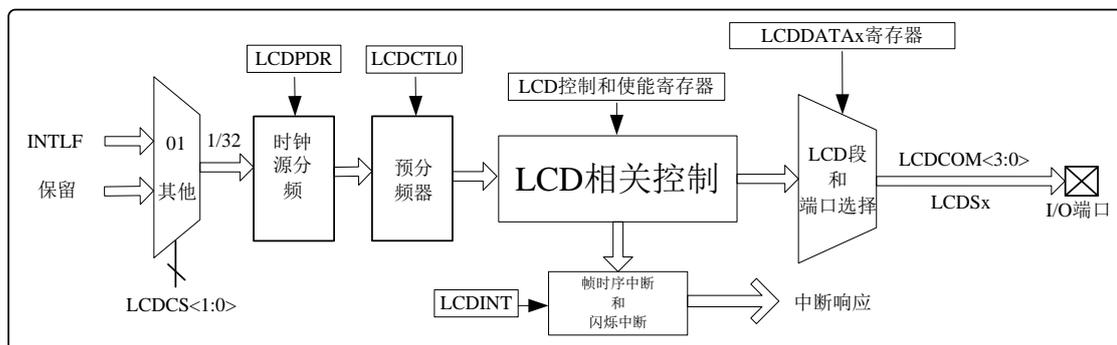


图 8.1 LCD 显示框图

### 8.4 LCD 相关的寄存器

表 8-1 与 LCD 操作相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
333H	LCDCTL2	-	-	-	-	-	-	ADRSEL	-
334H	LCDPTL	APC1	APC0	BPC1	BPC0	-	ATIC2	ATIC1	ATIC0
335H	LCDSP	SPEN	TS2	TS1	TS0	-	IF2	IF1	IF0
336H	LCDCTL0	WFT	BIASMD	LCDA	WA	LP3	LP2	LP1	LP0
337H	LCDCTL1	LCDEN	SLPEN	VLCD1	VLCD0	CS1	CS0	-	-
338H	LCDPDR	LMUX2	LMUX1	LMUX0	FR3	FR2	FR1	FR0	WERR
339H	LCDFLKCTL	FLKEN	-	-	-	-	-	-	FLKSTU
33AH	LCDFLKON	FON7	FON6	FON5	FON4	FON3	FON2	FON1	FON0
33BH	LCDFLKOFF	FOFF	FOFF6	FOFF5	FOFF4	FOFF3	FOFF2	FOFF1	FOFF0
33CH	LCDSE0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0

33DH	LCDSE1	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
33EH	LCDSE2	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
33FH	LCDSE3	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
	LCDSE4	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
340H	LCDDATA0	SEG7 COM0	SEG6 COM0	SEG5 COM0	SEG4 COM0	SEG3 COM0	SEG2 COM0	SEG1 COM0	SEG0 COM0
341H	LCDDATA1	SEG15 COM0	SEG14 COM0	SEG13 COM0	SEG12 COM0	SEG11 COM0	SEG10 COM0	SEG9 COM0	SEG8 COM0
342H	LCDDATA2	SEG23 COM0	SEG22 COM0	SEG21 COM0	SEG20 COM0	SEG19 COM0	SEG18 COM0	SEG17 COM0	SEG16 COM0
343H	LCDDATA3	SEG31 COM0	SEG30 COM0	SEG29 COM0	SEG28 COM0	SEG27 COM0	SEG26 COM0	SEG25 COM0	SEG24 COM0
344H	LCDDATA4	SEG7 COM1	SEG6 COM1	SEG5 COM1	SEG4 COM1	SEG3 COM1	SEG2 COM1	SEG1 COM1	SEG0 COM1
345H	LCDDATA5	SEG15 COM1	SEG14 COM1	SEG13 COM1	SEG12 COM1	SEG11 COM1	SEG10 COM1	SEG9 COM1	SEG8 COM1
346H	LCDDATA6	SEG23 COM1	SEG22 COM1	SEG21 COM1	SEG20 COM1	SEG19 COM1	SEG18 COM1	SEG17 COM1	SEG16 COM1
347H	LCDDATA7	SEG31 COM1	SEG30 COM1	SEG29 COM1	SEG28 COM1	SEG27 COM1	SEG26 COM1	SEG25 COM1	SEG24 COM1
348H	LCDDATA8	SEG7 COM2	SEG6 COM2	SEG5 COM2	SEG4 COM2	SEG3 COM2	SEG2 COM2	SEG1 COM2	SEG0 COM2
349H	LCDDATA9	SEG15 COM2	SEG14 COM2	SEG13 COM2	SEG12 COM2	SEG11 COM2	SEG10 COM2	SEG9 COM2	SEG8 COM2
34AH	LCDDATA10	SEG23 COM2	SEG22 COM2	SEG21 COM2	SEG20 COM2	SEG19 COM2	SEG18 COM2	SEG17 COM2	SEG16 COM2
34BH	LCDDATA11	SEG31 COM2	SEG30 COM2	SEG29 COM2	SEG28 COM2	SEG27 COM2	SEG26 COM2	SEG25 COM2	SEG24 COM2
34CH	LCDDATA12	SEG7 COM3	SEG6 COM3	SEG5 COM3	SEG4 COM3	SEG3 COM3	SEG2 COM3	SEG1 COM3	SEG0 COM3
34DH	LCDDATA13	SEG15 COM3	SEG14 COM3	SEG13 COM3	SEG12 COM3	SEG11 COM3	SEG10 COM3	SEG9 COM3	SEG8 COM3
34EH	LCDDATA14	SEG23 COM3	SEG22 COM3	SEG21 COM3	SEG20 COM3	SEG19 COM3	SEG18 COM3	SEG17 COM3	SEG16 COM3
34FH	LCDDATA15	SEG31 COM3	SEG30 COM3	SEG29 COM3	SEG28 COM3	SEG27 COM3	SEG26 COM3	SEG25 COM3	SEG24 COM3
358H	LCDDATA32	SEG39 COM0	SEG38 COM0	SEG37 COM0	SEG36 COM0	SEG35 COM0	SEG34 COM0	SEG33 COM0	SEG32 COM0
359H	LCDDATA33	SEG39 COM1	SEG38 COM1	SEG37 COM1	SEG36 COM1	SEG35 COM1	SEG34 COM1	SEG33 COM1	SEG32 COM1
35AH	LCDDATA34	SEG39 COM2	SEG38 COM2	SEG37 COM2	SEG36 COM2	SEG35 COM2	SEG34 COM2	SEG33 COM2	SEG32 COM2
35BH	LCDDATA35	SEG39 COM3	SEG38 COM3	SEG37 COM3	SEG36 COM3	SEG35 COM3	SEG34 COM3	SEG33 COM3	SEG32 COM3

注：寄存器中SEGx对应LCD引脚LCDSEx；  
寄存器LCDDATA24~LCDDATA31和LCDDATA32~LCDDATA39共用一组地址，  
寄存器LCDSE3和LCDSE4共用一个地址；均通过LCDCTL2寄存器的ADRSEL位选择。

### 8.4.1 液晶显示控制寄存器 (LCDCTL0)

寄存器: LCDCTL0: 液晶显示控制寄存器0(地址:336H)

复位值	bit7						bit0	
0001 0011	WFT	BIASMD	LCDA	WA	LP3	LP2	LP1	LP0
	R/W	R/W	R/C	R/W	R/W	R/W	R/W	R

注: R=可读 W=可写 -=未用 x=不定 C=只可清零 后面与此相同不再复述

WFT: 波形类型选择位

1 = B 型波形 (在每一帧边界改变相位)

0 = A 型波形 (在每一公共端类型内改变相位)

BIASMD: 偏置模式选择位

当 LMUX<2:0> = 000 时:

0 = 静态偏置模式 (不要将该位置 1)

当 LMUX<2:0> = 001/010 时:

1 = 1/2 偏置模式

0 = 1/3 偏置模式

当 LMUX<2:0> = 011/111 时:

0 = 1/3 偏置模式 (不要将该位置 1)

LCDA: LCD 当前工作状态位

1 = LCD 驱动模块工作

0 = LCD 驱动器模块不工作

WA: LCD 写允许状态位

1=允许写入 LCDDATAx 寄存器

0=不允许写入 LCDDATAx 寄存器

LP<3:0>: LCD 预分频比选择位

1111 = 1:16

1110 = 1:15

1101 = 1:14

1100 = 1:13

1011 = 1:12

1010 = 1:11

1001 = 1:10

1000 = 1:9

0111 = 1:8

0110 = 1:7

0101 = 1:6

0100 = 1:5

0011 = 1:4

0010 = 1:3

0001 = 1:2

0000 = 1:1

### 8.4.2 液晶显示控制寄存器 1 (LCDCTL1)

LCDCTL1 寄存器控制 LCD 驱动模块的操作。

**寄存器:** LCDCTL1: 液晶显示控制寄存器1(地址:337H)

复位值 0011 0000	bit7						bit0	
	LCDEN	$\overline{\text{SLPEN}}$	VLCD1	VLCD0	CS1	CS0	VLCDPIN	LCD COMSEL
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**LCDEN:** LCD 驱动使能位

1 = 使能 LCD 驱动模块

0 = 禁止 LCD 驱动模块

$\overline{\text{SLPEN}}$ : 休眠模式下 LCD 驱动使能位

1 = 休眠模式下禁止 LCD 驱动模块

0 = 休眠模式下使能 LCD 驱动模块

**VLCD<1:0>:** LCD 偏置电压选择位

00 = 内部参考电压 (FVR) 提供

01 = 保留

10 = 供电电压源 (VDD) 提供

11 = 保留

**CS<1:0>:** 时钟源选择位

00 = 保留

01 = INTLF

10 = 保留

11 = 保留

**VLCDPIN:** VLCD 外部引脚使能位

0 = 禁止外部引脚 VLCD3/VLCD2/VLCD1

1 = 使能外部引脚 VLCD3/VLCD2/VLCD1

**LCDCOMSEL:** 保留位, 请勿将该位置 1

### 8.4.3 液晶显示控制寄存器 2 (LCDCTL2)

**寄存器:** LCDCTL2: 液晶显示控制寄存器2(地址:333H)

复位值 ----00	bit7						bit0	
	-	-	-	-	-	-	ADRSEL	-
	U	U	U	U	U	U	R/W	R/W

**ADRSEL:** LCD 数据寄存器地址选择位

1 = LCDDATA32-39 占用 358H-35FH 地址, LCDSE4 占用 33FH 地址

0 = LCDDATA24-31 占用 358H-35FH 地址, LCDSE3 占用 33FH 地址

**8.4.4 液晶显示模式选择寄存器 (LCDPDR)**

**寄存器:** LCDPDR: 液晶显示模式选择寄存器(地址:338H)

	bit7						bit0	
复位值 1110 0110	LMUX2	LMUX1	LMUX0	FR3	FR2	FR1	FR0	WERR
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**LMUX<2:0>:** 公共端选择位

000 = 静态 (LCDCOM0)

001 = 1/2 (LCDCOM<1:0>)

010 = 1/3 (LCDCOM<2:0>)

011 = 1/4 (LCDCOM<3:0>)

111 = 保留

**FR<3:0>:** LCD 时钟源分频选择位

0001=1:2

0010=1:4

0011=1:8

0100=1:16

0101=1:32

0110=1:64

0111=1:128

1000=1:256

1001=1:512

1010=1:1024

1011=1:2048

1100=1:4096

1101=1:8192

1110=1:16384

1111=1:32768

**WERR:** LCD 写失败错误位

1 = 当 LCDPS 寄存器的 WA = 0 时, 写 LCDDATA<sub>x</sub> 寄存器 (必须由软件清 0)

0 = 无 LCD 写错误

### 8.4.5 LCD 功耗模式自动切换控制寄存器 (LCDPTL)

寄存器: LCDPTL: 液晶显示功耗模式自动切换控制寄存器(地址:334H)

复位值 0000 0000	bit7						bit0	
	APC1	APC0	BPC1	BPC0	-	ATIC2	ATIC1	ATIC0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

APC<1:0>: A 功耗模式控制位  
在时间间隔 A 内:  
00= 偏置电路断开, LCD 不显示  
01= LCD 工作在低功耗模式  
10= LCD 工作中功耗模式  
11= LCD 工作在高功耗模式

BPC<1:0>: B 功耗模式控制位  
在时间间隔 B 内:  
00 = 偏置电路断开, LCD 不显示  
01 = LCD 工作在低功耗模式  
10 = LCD 工作中功耗模式  
11 = LCD 工作在高功耗模式

ATIC<2:0>: 时间间隔 A 间隔长度控制位  
Type-A 波形时 (WFT=0):  
000 = 功耗模式总是为 B 功耗模式  
001 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 1:15  
010 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 2:14  
011 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 3:13  
100 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 4:12  
101 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 5:11  
110 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 6:10  
111 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 7:9  
Type-B 波形时 (WFT=1):  
000 = 功耗模式总是为 B 功耗模式  
001 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 1:31  
010 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 2:30  
011 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 3:29  
100 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 4:28  
101 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 5:27  
110 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 6:26  
111 = 在每一帧周期内, 间隔 A 与间隔 B 的时间长度比值为 7:25

### 8.4.6 LCD 节能模式控制寄存器 LCDSP

**寄存器:** LCDSP: 液晶显示节能模式寄存器(地址:335H)

复位值 0000 0000	bit7					bit0		
	SPEN	TS2	TS1	TS0	-	IF2	IF1	IF0
	R/W	R/W	R/W	R/W	U	R/W	R/W	R/W

**SPEN:** 节能模式使能位

0 = 禁止节能模式

1 = 使能节能模式

**TS<2:0>:** 时间单位大小选择位

000 = 时间单位 t 等于 2 帧

001 = 时间单位 t 等于 4 帧

010 = 时间单位 t 等于 8 帧

011 = 时间单位 t 等于 16 帧

100 = 时间单位 t 等于 32 帧

101 = 时间单位 t 等于 64 帧

110 = 时间单位 t 等于 128 帧

111 = 时间单位 t 等于 256 帧

**IF<2:0>:** 工作时间和关闭时间比例调节位

000 = LCD 工作时间和关闭时间的比例为 8:8

001 = LCD 工作时间和关闭时间的比例为 7:9

010 = LCD 工作时间和关闭时间的比例为 6:10

011 = LCD 工作时间和关闭时间的比例为 5:11

100 = LCD 工作时间和关闭时间的比例为 4:12

101 = LCD 工作时间和关闭时间的比例为 3:13

110 = LCD 工作时间和关闭时间的比例为 2:14

111 = LCD 工作时间和关闭时间的比例为 1:15

### 8.4.7 液晶显示闪烁控制寄存器(LCDFLKCTL)

**寄存器:** LCDFCR:LCD闪烁控制寄存器(地址: 339H)

	bit7						bit0
复位值 0--- --0	FLKEN	-	-	-	-	-	FLKSTU
	R/W	U	U	U	U	U	R/W

**FLKEN:** 闪烁功能使能位

0= 禁用闪烁

1= 使用闪烁

**FLKSTU:** 闪烁模式状态位

0= LCD 状态为不亮

1= LCD 状态为点亮

### 8.4.8 液晶显示闪烁点亮时间设置寄存器 (LCDFLKON)

**寄存器:** LCDFLKON:LCD闪烁点亮时间设置寄存器(地址: 33AH)

	bit7						bit0	
复位值 0000 0000	FON7	FON6	FON5	FON4	FON3	FON2	FON1	FON0
	R/W							

**FON<7:0>:** LCD 闪烁模式点亮时间设置位

### 8.4.9 液晶显示闪烁熄灭时间设置寄存器(LCDFLKOFF)

**寄存器:** LCDFLKOFF:LCD闪烁熄灭时间设置寄存器(地址: 33BH)

	bit7						bit0	
复位值 0000 0000	FOFF7	FOFF6	FOFF5	FOFF4	FOFF3	FOFF2	FOFF1	FOFF0
	R/W							

**FOFF<7:0>:** LCD 闪烁模式熄灭时间设置位

### 8.4.10 LCDSEn 寄存器

LCDSEn 寄存器是 LCD 段使能寄存器，SEGx 位对应 LCDSx 引脚，如 SEG0 位置 1，LCDS0 引脚将被使能。LCDSEn 寄存器列表如下：

表 8-2 LCDSEn 寄存器表

33CH	LCDSE0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
33DH	LCDSE1	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
33EH	LCDSE2	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
33FH	LCDSE3	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
	LCDSE4	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32

#### 寄存器: LCDSEn: LCDS段使能寄存器

		bit7						bit0	
复位值 0000 0000		SEGx							
		R/W							

SEGx: LCDS 段使能位  
 1 = 使能引脚的段功能  
 0 = 使能引脚的 I/O 功能

注：章节中 n=0~4；x=0~39。

LCDSE3 寄存器和 LCDSE4 寄存器共用 33FH 地址，在使用时，需要通过 LCDCTL2 寄存器的 ADRSEL 位进行切换：当 ADRSEL=0 时，LCDSE3 寄存器有效，任何对 LCDSE4 寄存器进行的读写操作，实际为对 LCDSE3 寄存器进行读写操作；同理，当 ADRSEL=1 时，LCDSE4 寄存器有效，任何对 LCDSE3 寄存器进行的读写操作，实际为对 LCDSE4 寄存器进行。

```

对LCDSE3寄存器进行读写操作：
MOVB #0X03           ; 切换至3区
CLR LCDCTL2, ADRSEL  ; 清零ADRSEL位
MOV R0, LCDSE3       ; 读LCDSE3寄存器
MOV R1, #0XFF
MOV LCDSE3, R1       ; 将0XFFH写入LCDSE3寄存器

对LCDSE4寄存器进行读写操作：
MOVB #0X03           ; 切换至3区
SET LCDCTL2, ADRSEL  ; ADRSEL位置1
MOV R0, LCDSE4       ; 读LCDSE4寄存器
MOV R1, #0XFF
MOV LCDSE4, R1       ; 将0XFFH写入LCDSE4寄存器
    
```

**8.4.11 LCD 数据寄存器 (LCDDATA<sub>x</sub>)**
**寄存器:** LCDDATA<sub>x</sub>: LCD数据寄存器

复位值 xxxx xxxx	bit7							bit0
	SEG <sub>x</sub> COM <sub>y</sub>							
	R/W							

SEG<sub>x</sub>-COM<sub>y</sub>: 像素点亮位  
 1 = 点亮像素 (不透明)  
 0 = 不点亮像素 (透明)

注: LCDDATA31-39 寄存器为只写寄存器, 无法读出。

表 8-3 LCD 数据寄存器表

340H	LCDDATA0	SEG7 COM0	SEG6 COM0	SEG5 COM0	SEG4 COM0	SEG3 COM0	SEG2 COM0	SEG1 COM0	SEG0 COM0
341H	LCDDATA1	SEG15 COM0	SEG14 COM0	SEG13 COM0	SEG12 COM0	SEG11 COM0	SEG10 COM0	SEG9 COM0	SEG8 COM0
342H	LCDDATA2	SEG23 COM0	SEG22 COM0	SEG21 COM0	SEG20 COM0	SEG19 COM0	SEG18 COM0	SEG17 COM0	SEG16 COM0
343H	LCDDATA3	SEG31 COM0	SEG30 COM0	SEG29 COM0	SEG28 COM0	SEG27 COM0	SEG26 COM0	SEG25 COM0	SEG24 COM0
344H	LCDDATA4	SEG7 COM1	SEG6 COM1	SEG5 COM1	SEG4 COM1	SEG3 COM1	SEG2 COM1	SEG1 COM1	SEG0 COM1
345H	LCDDATA5	SEG15 COM1	SEG14 COM1	SEG13 COM1	SEG12 COM1	SEG11 COM1	SEG10 COM1	SEG9 COM1	SEG8 COM1
346H	LCDDATA6	SEG23 COM1	SEG22 COM1	SEG21 COM1	SEG20 COM1	SEG19 COM1	SEG18 COM1	SEG17 COM1	SEG16 COM1
347H	LCDDATA7	SEG31 COM1	SEG30 COM1	SEG29 COM1	SEG28 COM1	SEG27 COM1	SEG26 COM1	SEG25 COM1	SEG24 COM1
348H	LCDDATA8	SEG7 COM2	SEG6 COM2	SEG5 COM2	SEG4 COM2	SEG3 COM2	SEG2 COM2	SEG1 COM2	SEG0 COM2
349H	LCDDATA9	SEG15 COM2	SEG14 COM2	SEG13 COM2	SEG12 COM2	SEG11 COM2	SEG10 COM2	SEG9 COM2	SEG8 COM2
34AH	LCDDATA10	SEG23 COM2	SEG22 COM2	SEG21 COM2	SEG20 COM2	SEG19 COM2	SEG18 COM2	SEG17 COM2	SEG16 COM2
34BH	LCDDATA11	SEG31 COM2	SEG30 COM2	SEG29 COM2	SEG28 COM2	SEG27 COM2	SEG26 COM2	SEG25 COM2	SEG24 COM2
34CH	LCDDATA12	SEG7 COM3	SEG6 COM3	SEG5 COM3	SEG4 COM3	SEG3 COM3	SEG2 COM3	SEG1 COM3	SEG0 COM3
34DH	LCDDATA13	SEG15 COM3	SEG14 COM3	SEG13 COM3	SEG12 COM3	SEG11 COM3	SEG10 COM3	SEG9 COM3	SEG8 COM3
34EH	LCDDATA14	SEG23 COM3	SEG22 COM3	SEG21 COM3	SEG20 COM3	SEG19 COM3	SEG18 COM3	SEG17 COM3	SEG16 COM3
34FH	LCDDATA15	SEG31 COM3	SEG30 COM3	SEG29 COM3	SEG28 COM3	SEG27 COM3	SEG26 COM3	SEG25 COM3	SEG24 COM3
358H	LCDDATA32	SEG39 COM0	SEG38 COM0	SEG37 COM0	SEG36 COM0	SEG35 COM0	SEG34 COM0	SEG33 COM0	SEG32 COM0
359H	LCDDATA33	SEG39 COM1	SEG38 COM1	SEG37 COM1	SEG36 COM1	SEG35 COM1	SEG34 COM1	SEG33 COM1	SEG32 COM1
35AH	LCDDATA34	SEG39 COM2	SEG38 COM2	SEG37 COM2	SEG36 COM2	SEG35 COM2	SEG34 COM2	SEG33 COM2	SEG32 COM2
35BH	LCDDATA35	SEG39 COM3	SEG38 COM3	SEG37 COM3	SEG36 COM3	SEG35 COM3	SEG34 COM3	SEG33 COM3	SEG32 COM3

注: 在配置 LCDDATA32-35 寄存器之前, 需要将 LCDCTL2 寄存器的 ADRSEL 位置 1。

## 8.5 工作时钟选择

### 8.5.1 LCD 时钟源

LCD 驱动模块以内部低频时钟 INTLF 作为工作时钟源。

### 8.5.2 LCD 预分频器

如下图所示，LCD 模块拥有两个可编程预分频器 FR 和 LP，均不可直接读取，可分别通过 LCDPDR 寄存器的 FR<3:0>位和 LCDCTL0 寄存器的 LP<3:0>位进行配置。

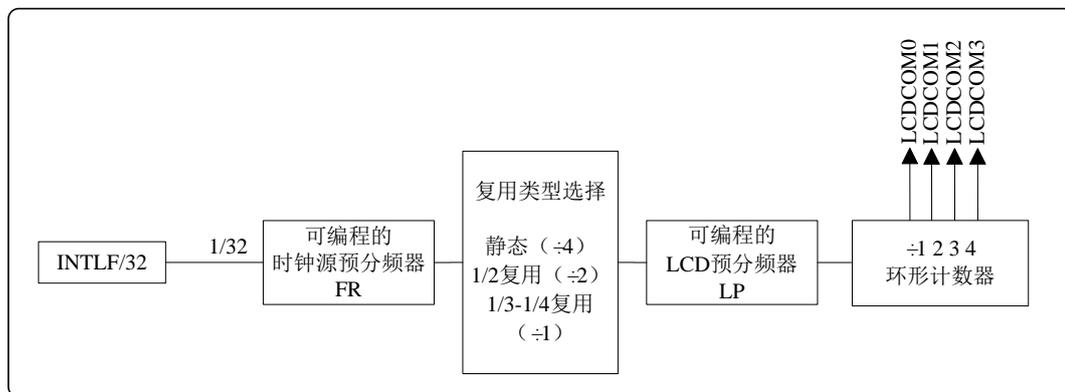


图 8.2 LCD 预分频器图

### 8.5.3 LCD 帧频率

LCDCOM<sub>x</sub> 和 LCDS<sub>x</sub> 输出改变的速率称为 LCD 帧频率。LCD 时钟源通过 LCDCTL1 寄存器的 CS<1:0>位选择 INTLF 或者 EXTLF；帧频率公式如下：

公式 8.1 LCD 帧频率公式

$$F_{\text{frame}} (\text{LCD 帧频率}) = \frac{\text{LCD 时钟源频率}}{32 \times 2^{FR} \times (LP < 3:0 > + 1) \times \text{复用类型数} \times \text{COM 端个数}}$$

- 注：1.LCD 时钟源频率为 LCD 所选时钟（INTLF 或者 EXTLF）的频率；  
2.COM 端个数为 LCD 模块使能的 LCDCOM 端个数；  
3.复用类型数为不同复用类型下的参数，如下对照表所示：

表 8-4 复用类型数对照表

复用类型	复用类型数
静态	4
1/2	2
1/3	1
1/4	1

## 8.6 对应引脚

下表为 LCD 模块功能和引脚的对应关系。后文中出现的 SEGx 实际与 LCDSx 一一对应，引脚上用以区别 LED。

表 8-5 LCD 功能引脚对应表

LCD 功能	对应引脚	LCD 功能	对应引脚
LCDCOM0	P4.4	LCDS10	P2.0
LCDCOM1	P4.5	LCDS15	P5.2
LCDCOM2	P4.6	LCDS16	P5.1
LCDCOM3	P4.7	LCDS17	P5.0
LCDS0	P1.5	LCDS18	P0.2
LCDS1	P1.6	LCDS19	P0.1
LCDS2	P1.7	LCDS23	P6.4
LCDS5	P2.5	LCDS24	P3.0
LCDS6	P2.4	LCDS37	P7.5
LCDS7	P2.3	LCDS38	P7.6
LCDS8	P2.2	LCDS39	P7.7
LCDS9	P2.1		

### 8.6.1 引脚配置

将对应引脚作为 LCD 功能使用时，需要将对应引脚配置为模拟输入口状态，否则无法正常使用 LCD 功能；配置方法如下：

1. 将对应引脚的方向控制寄存器位（TRxx）配置为 1，即输入状态；
2. 将对应引脚的模拟/数字口配置位（ANSxx）配置为 1，即模拟口状态。

### 8.6.2 偏置电压和偏置类型

通过设置公共端选择 LMUX 位偏置模式选择 BIASMD 位 LCD 驱动模块可被配置为 3 种偏置类型：

- 静态偏置（2 种电压等级： $V_{SS}$  和  $V_{LCD}$ ）
- 1/2 偏置（3 种电压等级： $V_{SS}$ 、 $1/2V_{LCD}$  和  $V_{LCD}$ ）
- 1/3 偏置（4 种电压等级： $V_{SS}$ 、 $1/3V_{LCD}$ 、 $2/3V_{LCD}$  和  $V_{LCD}$ ）

LCD 的偏置电压源可由 VDD、FVR 或外部引脚 VLCD3 提供。VLCD<1:0>位用于选择 VDD 或 FVR 作为 LCD 的偏置电压源，当 VLCD<1:0>=00 时，选择 FVR；当 VLCD<1:0>=10 时，选择 VDD；当 VLCD<1:0>=x1 时，将断开 FVR 和 VDD，此时可通过配置 VLCDPIN 位使能外部引脚 VLCD3/2/1，可由外部引脚 VLCD3 提供偏置电压源。

通过配置 LCDPTL 寄存器选择 3 种不同的 LCD 功耗模式，分压电阻分别为 30K $\Omega$ 、300K $\Omega$  和 3M $\Omega$ 。

LCD 偏置电路的偏置电压源、分压电阻串的选择和外部引脚 VLCD<sub>x</sub> 的使能为独立寄存器位控制，使用时可根据实际情况灵活配置，选择如下五种方案：

序号	偏置电压源	分压电阻串	外部引脚 VLCD <sub>x</sub>
1	VDD 或 FVR	内部电阻	禁止
2	VDD 或 FVR	内部电阻	使能
3	VDD 或 FVR	外部提供	使能
4	外部引脚 VLCD3	内部电阻	使能
5	外部引脚 VLCD3	外部提供	使能

注：五种方案的配置方法如下：

序号 1：

VLCD<1:0>=00 (FVR) 或 10 (VDD)，选择内部偏置电压源；

BPC<1:0>=01、10 或 11，选择内部分压电阻串；可使用功耗模式自动切换功能；

VLCDPIN=0；禁止外部引脚 VLCD<sub>x</sub>；

序号 2：

VLCD<1:0>=00 (FVR) 或 10 (VDD)，选择内部偏置电压源；

BPC<1:0>=01、10 或 11，选择内部分压电阻串；可使用功耗模式自动切换功能；

VLCDPIN=1；使能外部引脚 VLCD<sub>x</sub>；可用于外接滤波电容改善驱动波形质量；

序号 3：

VLCD<1:0>=00 (FVR) 或 10 (VDD)，选择内部偏置电压源；

寄存器 LCDPTL=00H；断开内部分压电阻串；外部提供；

VLCDPIN=1；使能外部引脚 VLCD<sub>x</sub>；外接分压电阻（和滤波电容）；

序号 4：

VLCD<1:0>=x1；断开内部偏置电压源；

BPC<1:0>=01、10 或 11，选择内部分压电阻串；可使用功耗模式自动切换功能；

VLCDPIN=1；使能外部引脚 VLCD<sub>x</sub>；VLCD3 引脚提供偏置电压源；

序号 5：

VLCD<1:0>=x1；断开内部偏置电压源；

寄存器 LCDPTL=00H；断开内部分压电阻串；外部提供；

VLCDPIN=1；使能外部引脚 VLCD<sub>x</sub>；VLCD3 引脚提供偏置电压源。

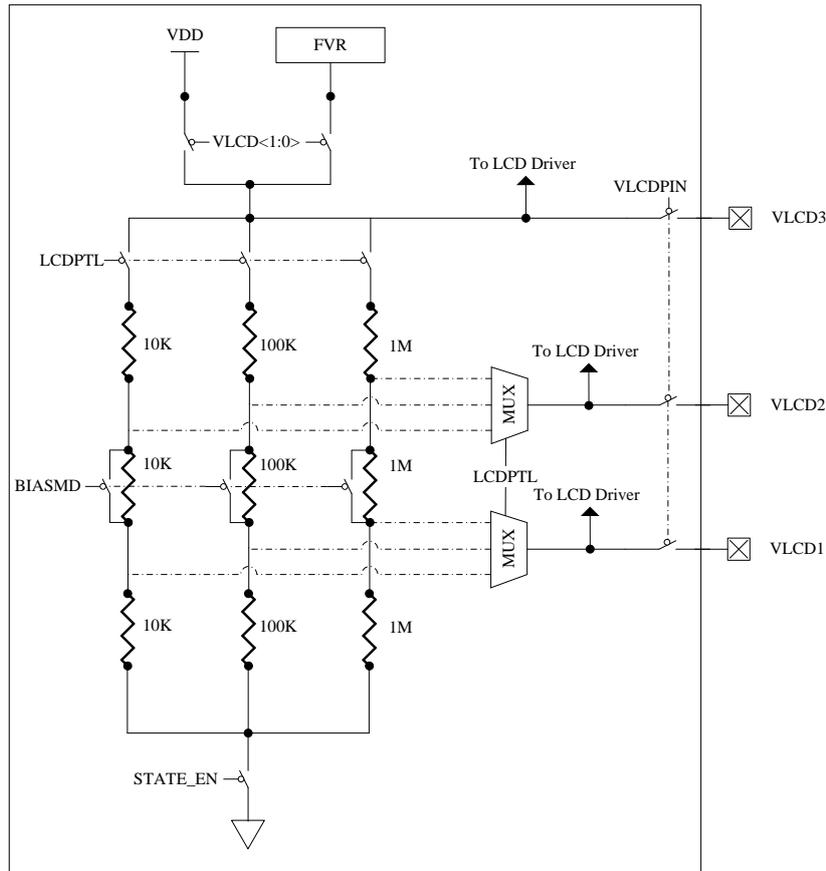


图 8.3 LCD 偏置电路原理框图

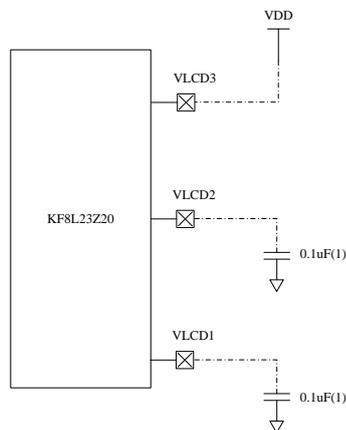


图 8.4 LCD 使用内部分压电阻串时外围推荐线路

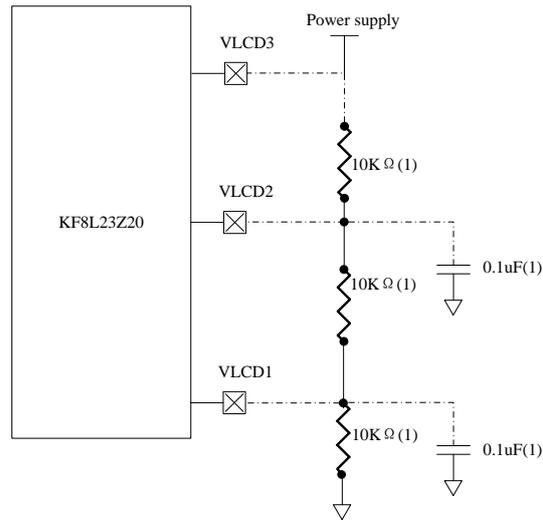


图 8.5 LCD 使用外部分压电阻串时外围推荐线路

注(1): 图例中器件参数值为设计值, 请根据实际应用情况进行调整。

## 8.7 复用类型

LCD 驱动模块可以被配置为 4 种复用类型：

- 静态（只使用 LCDCOM0）
- 1/2 复用（使用 LCDCOM<1:0>）
- 1/3 复用（使用 LCDCOM<2:0>）
- 1/4 复用（使用 LCDCOM<3:0>）

LCDPDR 寄存器的 LMUX<2:0>位用于选择复用类型，即 LCDCOM 端的使用数量。LCDCOM 端对应的引脚需要被配置为模拟输入口才能被用于 LCD 显示，否则无法正常使用。配置方式如下：

1. 将对应引脚的方向控制寄存器位（TR<sub>xx</sub>）配置为 1，即输入状态；
2. 将对应引脚的模拟/数字口配置位（ANS<sub>xx</sub>）配置为 1，即模拟口状态。

## 8.8 段使能

LCDSEn 寄存器用于使能 LCD 的段（SEG<sub>n</sub>，对应 LCDS<sub>n</sub> 引脚）功能，LCDSEn 寄存器的相应位置 1 将使能对应的 SEG<sub>n</sub> 段（即对应 LCDS<sub>n</sub> 引脚）。和 LCDCOM 端一样，要使 SEG 段能正常工作，需要将对应引脚配置为模拟输入口：

1. 将对应引脚的方向控制寄存器位（TR<sub>xx</sub>）配置为 1，即输入状态；
2. 将对应引脚的模拟/数字口配置位（ANS<sub>xx</sub>）配置为 1，即模拟口状态。

## 8.9 像素控制

LCDDATA<sub>x</sub> 寄存器中的位用于定义像素状态。每一位只定义一个像素。下表所示为 LCDDATA<sub>x</sub> 寄存器中的每一位同各个公共端、段信号之间的相互关系。

表 8-6 LCD 数据寄存器与引脚关系表

LCD引脚名	LCDCOM0	LCDCOM1	LCDCOM2	LCDCOM3	LCDCOM4	LCDCOM5	LCDCOM6	LCDCOM7
	LCDDATAx地址	LCDDATAx地址	LCDDATAx地址	LCDDATAx地址	LCDDATAx地址	LCDDATAx地址	LCDDATAx地址	LCDDATAx地址
LCDS0	LCDDATA0, 0	LCDDATA4, 0	LCDDATA8, 0	LCDDATA12, 0	LCDDATA16, 0	LCDDATA20, 0	LCDDATA24, 0	LCDDATA28, 0
LCDS1	LCDDATA0, 1	LCDDATA4, 1	LCDDATA8, 1	LCDDATA12, 1	LCDDATA16, 1	LCDDATA20, 1	LCDDATA24, 1	LCDDATA28, 1
LCDS2	LCDDATA0, 2	LCDDATA4, 2	LCDDATA8, 2	LCDDATA12, 2	LCDDATA16, 2	LCDDATA20, 2	LCDDATA24, 2	LCDDATA28, 2
LCDS3	LCDDATA0, 3	LCDDATA4, 3	LCDDATA8, 3	LCDDATA12, 3	LCDDATA16, 3	LCDDATA20, 3	LCDDATA24, 3	LCDDATA28, 3
LCDS4	LCDDATA0, 4	LCDDATA4, 4	LCDDATA8, 4	LCDDATA12, 4	LCDDATA16, 4	LCDDATA20, 4	LCDDATA24, 4	LCDDATA28, 4
LCDS5	LCDDATA0, 5	LCDDATA4, 5	LCDDATA8, 5	LCDDATA12, 5	LCDDATA16, 5	LCDDATA20, 5	LCDDATA24, 5	LCDDATA28, 5
LCDS6	LCDDATA0, 6	LCDDATA4, 6	LCDDATA8, 6	LCDDATA12, 6	LCDDATA16, 6	LCDDATA20, 6	LCDDATA24, 6	LCDDATA28, 6
LCDS7	LCDDATA0, 7	LCDDATA4, 7	LCDDATA8, 7	LCDDATA12, 7	LCDDATA16, 7	LCDDATA20, 7	LCDDATA24, 7	LCDDATA28, 7
LCDS8	LCDDATA1, 0	LCDDATA5, 0	LCDDATA9, 0	LCDDATA13, 0	LCDDATA17, 0	LCDDATA21, 0	LCDDATA25, 0	LCDDATA29, 0
LCDS9	LCDDATA1, 1	LCDDATA5, 1	LCDDATA9, 1	LCDDATA13, 1	LCDDATA17, 1	LCDDATA21, 1	LCDDATA25, 1	LCDDATA29, 1
LCDS10	LCDDATA1, 2	LCDDATA5, 2	LCDDATA9, 2	LCDDATA13, 2	LCDDATA17, 2	LCDDATA21, 2	LCDDATA25, 2	LCDDATA29, 2
LCDS11	LCDDATA1, 3	LCDDATA5, 3	LCDDATA9, 3	LCDDATA13, 3	LCDDATA17, 3	LCDDATA21, 3	LCDDATA25, 3	LCDDATA29, 3
LCDS12	LCDDATA1, 4	LCDDATA5, 4	LCDDATA9, 4	LCDDATA13, 4	LCDDATA17, 4	LCDDATA21, 4	LCDDATA25, 4	LCDDATA29, 4
LCDS13	LCDDATA1, 5	LCDDATA5, 5	LCDDATA9, 5	LCDDATA13, 5	LCDDATA17, 5	LCDDATA21, 5	LCDDATA25, 5	LCDDATA29, 5
LCDS14	LCDDATA1, 6	LCDDATA5, 6	LCDDATA9, 6	LCDDATA13, 6	LCDDATA17, 6	LCDDATA21, 6	LCDDATA25, 6	LCDDATA29, 6
LCDS15	LCDDATA1, 7	LCDDATA5, 7	LCDDATA9, 7	LCDDATA13, 7	LCDDATA17, 7	LCDDATA21, 7	LCDDATA25, 7	LCDDATA29, 7
LCDS16	LCDDATA2, 0	LCDDATA6, 0	LCDDATA10, 0	LCDDATA14, 0	LCDDATA18, 0	LCDDATA22, 0	LCDDATA26, 0	LCDDATA30, 0
LCDS17	LCDDATA2, 1	LCDDATA6, 1	LCDDATA10, 1	LCDDATA14, 1	LCDDATA18, 1	LCDDATA22, 1	LCDDATA26, 1	LCDDATA30, 1
LCDS18	LCDDATA2, 2	LCDDATA6, 2	LCDDATA10, 2	LCDDATA14, 2	LCDDATA18, 2	LCDDATA22, 2	LCDDATA26, 2	LCDDATA30, 2
LCDS19	LCDDATA2, 3	LCDDATA6, 3	LCDDATA10, 3	LCDDATA14, 3	LCDDATA18, 3	LCDDATA22, 3	LCDDATA26, 3	LCDDATA30, 3
LCDS20	LCDDATA2, 4	LCDDATA6, 4	LCDDATA10, 4	LCDDATA14, 4	LCDDATA18, 4	LCDDATA22, 4	LCDDATA26, 4	LCDDATA30, 4
LCDS21	LCDDATA2, 5	LCDDATA6, 5	LCDDATA10, 5	LCDDATA14, 5	LCDDATA18, 5	LCDDATA22, 5	LCDDATA26, 5	LCDDATA30, 5
LCDS22	LCDDATA2, 6	LCDDATA6, 6	LCDDATA10, 6	LCDDATA14, 6	LCDDATA18, 6	LCDDATA22, 6	LCDDATA26, 6	LCDDATA30, 6
LCDS23	LCDDATA2, 7	LCDDATA6, 7	LCDDATA10, 7	LCDDATA14, 7	LCDDATA18, 7	LCDDATA22, 7	LCDDATA26, 7	LCDDATA30, 7
LCDS24	LCDDATA3,0	LCDDATA7,0	LCDDATA11,0	LCDDATA15,0	LCDDATA19,0	LCDDATA23,0	LCDDATA27,0	LCDDATA31,0
LCDS25	LCDDATA3,1	LCDDATA7,1	LCDDATA11,1	LCDDATA15,1	LCDDATA19,1	LCDDATA23,1	LCDDATA27,1	LCDDATA31,1
LCDS26	LCDDATA3,2	LCDDATA7,2	LCDDATA11,2	LCDDATA15,2	LCDDATA19,2	LCDDATA23,2	LCDDATA27,2	LCDDATA31,2
LCDS27	LCDDATA3,3	LCDDATA7,3	LCDDATA11,3	LCDDATA15,3	LCDDATA19,3	LCDDATA23,3	LCDDATA27,3	LCDDATA31,3
LCDS28	LCDDATA3,4	LCDDATA7,4	LCDDATA11,4	LCDDATA15,4	LCDDATA19,4	LCDDATA23,4	LCDDATA27,4	LCDDATA31,4
LCDS29	LCDDATA3,5	LCDDATA7,5	LCDDATA11,5	LCDDATA15,5	LCDDATA19,5	LCDDATA23,5	LCDDATA27,5	LCDDATA31,5
LCDS30	LCDDATA3,6	LCDDATA7,6	LCDDATA11,6	LCDDATA15,6	LCDDATA19,6	LCDDATA23,6	LCDDATA27,6	LCDDATA31,6
LCDS31	LCDDATA3,7	LCDDATA7,7	LCDDATA11,7	LCDDATA15,7	LCDDATA19,7	LCDDATA23,7	LCDDATA27,7	LCDDATA31,7
LCDS32	LCDDATA32,0	LCDDATA33,0	LCDDATA34,0	LCDDATA35,0	LCDDATA36,0	LCDDATA37,0	LCDDATA38,0	LCDDATA39,0
LCDS33	LCDDATA32,1	LCDDATA33,1	LCDDATA34,1	LCDDATA35,1	LCDDATA36,1	LCDDATA37,1	LCDDATA38,1	LCDDATA39,1
LCDS34	LCDDATA32,2	LCDDATA33,2	LCDDATA34,2	LCDDATA35,2	LCDDATA36,2	LCDDATA37,2	LCDDATA38,2	LCDDATA39,2
LCDS35	LCDDATA32,3	LCDDATA33,3	LCDDATA34,3	LCDDATA35,3	LCDDATA36,3	LCDDATA37,3	LCDDATA38,3	LCDDATA39,3
LCDS36	LCDDATA32,4	LCDDATA33,4	LCDDATA34,4	LCDDATA35,4	LCDDATA36,4	LCDDATA37,4	LCDDATA38,4	LCDDATA39,4
LCDS37	LCDDATA32,5	LCDDATA33,5	LCDDATA34,5	LCDDATA35,5	LCDDATA36,5	LCDDATA37,5	LCDDATA38,5	LCDDATA39,5
LCDS38	LCDDATA32,6	LCDDATA33,6	LCDDATA34,6	LCDDATA35,6	LCDDATA36,6	LCDDATA37,6	LCDDATA38,6	LCDDATA39,6
LCDS39	LCDDATA32,7	LCDDATA33,7	LCDDATA34,7	LCDDATA35,7	LCDDATA36,7	LCDDATA37,7	LCDDATA38,7	LCDDATA39,7

注：LCD 引脚 LCDSx 与 SEGx 一一对应。

## 8.10 配置 LCD 模块

LCD 模块位于备份区内，对 LCD 模块进行寄存器读写操作时，需要将 BKPCTL 寄存器的 BKP7 位和 BKP6 位置 1，否则将无法进行读写操作。

```
MOVB #0X02      ; 切换至 2 区
SET BKPCTL,BKP7 ; 开放备份区接口
SET BKPCTL,BKP6 ; 使能 LCD 模块寄存器写时钟
MOVB #0X00      ; 切换回 0 区
```

以下是配置 LCD 模块的步骤：

1. 通过 LCDCTL1 寄存器的 CS<1:0>位选择 LCD 时钟源；
2. 通过 LCDPDR 寄存器的 FR<3:0>位和 LCDCTL0 的 LP<3:0>位选择 LCD 时钟的分频比；
3. 通过 LCDCTL1 寄存器的 VLCDMD<1:0>位选择 LCD 偏置电压源；
4. 通过 LCDPTL 寄存器配置 LCD 的功耗模式；
5. 通过 LCDPDR 寄存器的 LMUX<2:0>位选择 LCD 的复用类型；
6. 通过 LCDCTL0 寄存器的 BIASMD 位选择 LCD 的偏置类型；
7. 通过 LCDCTL0 寄存器的 WFT 位选择 LCD 的波形类型；
8. 将显示数据写入 LCD 数据寄存器中；
9. 通过 LCDSEn 寄存器使能对应的 SEG (LCDS) 段；
10. 如果希望 LCD 工作在休眠模式，请将 LCDCTL1 寄存器的 SLPEN 位清零；
11. 将 LCDCTL1 寄存器的 LCDEN 位置 1，LCD 开始工作。

## 8.11 LCD 闪烁模式

将 LCDFLKCTL 寄存器的 FLKEN 位置 1 以使能闪烁模式，FLKSTU 位为闪烁状态的标志位，用户可以监测该位以确定 LCD 所处状态。

LCDFLKON 寄存器和 LCDFLKOFF 寄存器分别用于配置闪烁的点亮时间和熄灭时间。点亮/熄灭的时间公式如下所示：

公式 8.2 LCD 闪烁点亮时间公式

$$\text{点亮时间} = \frac{32 \times FON < 7:0 >}{\text{帧频率}}$$

公式 8.3 LCD 闪烁熄灭时间公式

$$\text{熄灭时间} = \frac{32 \times FOFF < 7:0 >}{\text{帧频率}}$$

闪烁模式和节能模式都能实现对 LCD 的点亮/熄灭循环显示功能，不同点在于，闪烁模式下，LCD 驱动模块未关闭，只是在熄灭时间内屏蔽了驱动波形的输出，而节能模式在熄

灭时间内将 LCD 偏置电路关闭，实现减小功耗的目的。

闪烁模式提供两个中断：LCD 闪烁点亮中断和 LCD 闪烁熄灭中断。使能闪烁模式后，当 LCD 达到点亮时长并准备转入熄灭状态时，LCD 闪烁点亮中断标志位 LCDONIF 置 1；当 LCD 达到熄灭时长并准备转入点亮状态时，LCD 闪烁熄灭中断标志位 LCDOFFIF 置 1。若使能 LCD 闪烁中断使能位 LCDONIE/LCDOFFIE，在产生 LCD 闪烁中断时程序将进入中断行。

注意，LCDS0 和 LCDS1 通道不支持闪烁模式，在使用闪烁模式时，请不要使用该两个通道，否则在闪烁熄灭时间内，相关的 LCD 段将被持续点亮。

## 8.12 LCD 波形产生

因为要产生 LCD 波形，所以不透明像素上的净 AC 电压应该是最大值，而透明像素上的净 AC 电压应该是最小值。任何像素上的净 DC 电压应该为 0。

COM 信号表示每个公共端的时间片，而 SEG 中包含像素数据。

像素信号 (COM-SEG) 中将不包含 DC 分量，并且只可取两个 rms 值中的一个。高 rms 值会产生不透明像素，而低 rms 值会产生透明像素。

随着公共端数量的增加，两个 rms 值间的差值逐渐减小。这个差值表示显示器可具有的最大对比度。

可以用两种波形驱动 LCD：A 型或 B 型。在 A 型波形中，相位在每个公共端类型中改变，然而在 B 型波形中，相位在每个帧边界上改变。这样，A 型波形在单帧中维持  $0V_{DC}$ ，而 B 型波形则需要两个帧。

注：如果器件休眠时必须使能 LCD 休眠 ( $\overline{\text{LCDCTL1}} < \overline{\text{SLPEN}} > = 0$ )，则必须格外小心，因为只有当所有像素上的 VDC 为 0 时才可执行 IDLE 命令。

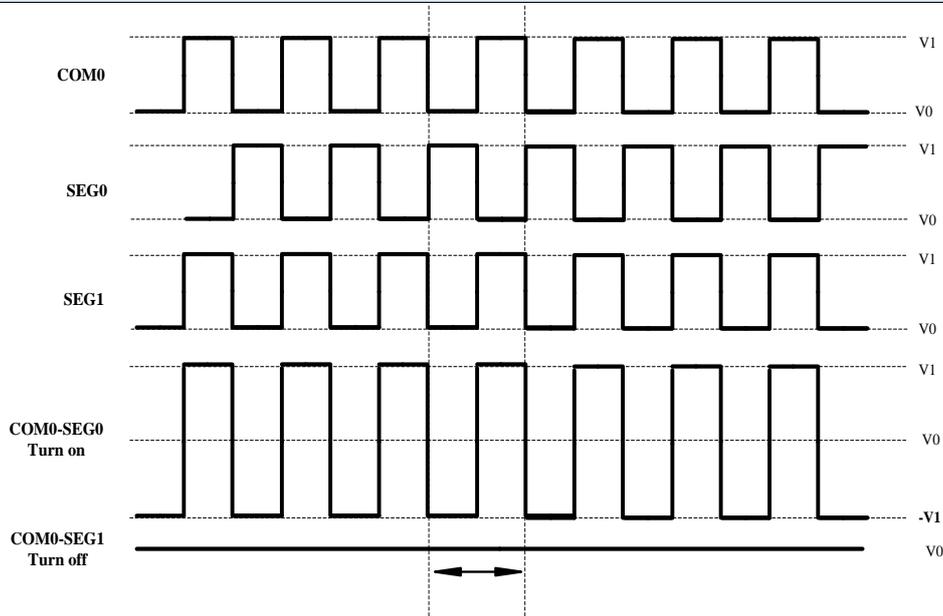


图 8.4 在静态驱动时 A/B 型波形

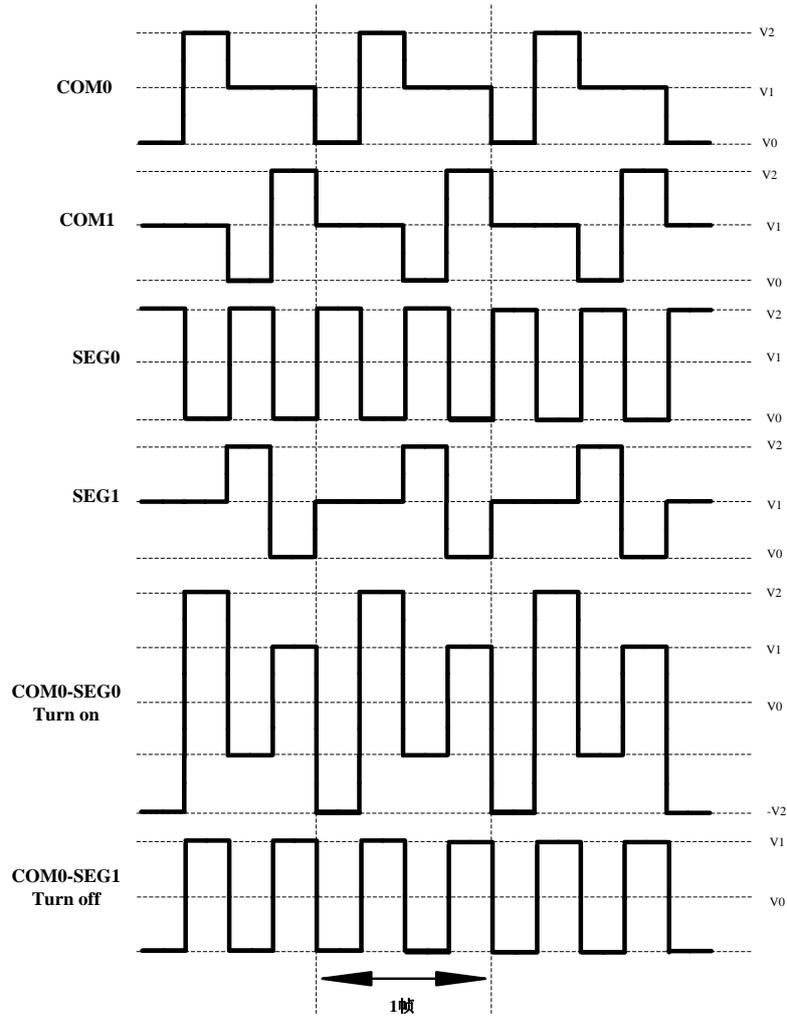


图 8.5 在 1/2 复用、1/2 偏置驱动时的 A 型波形

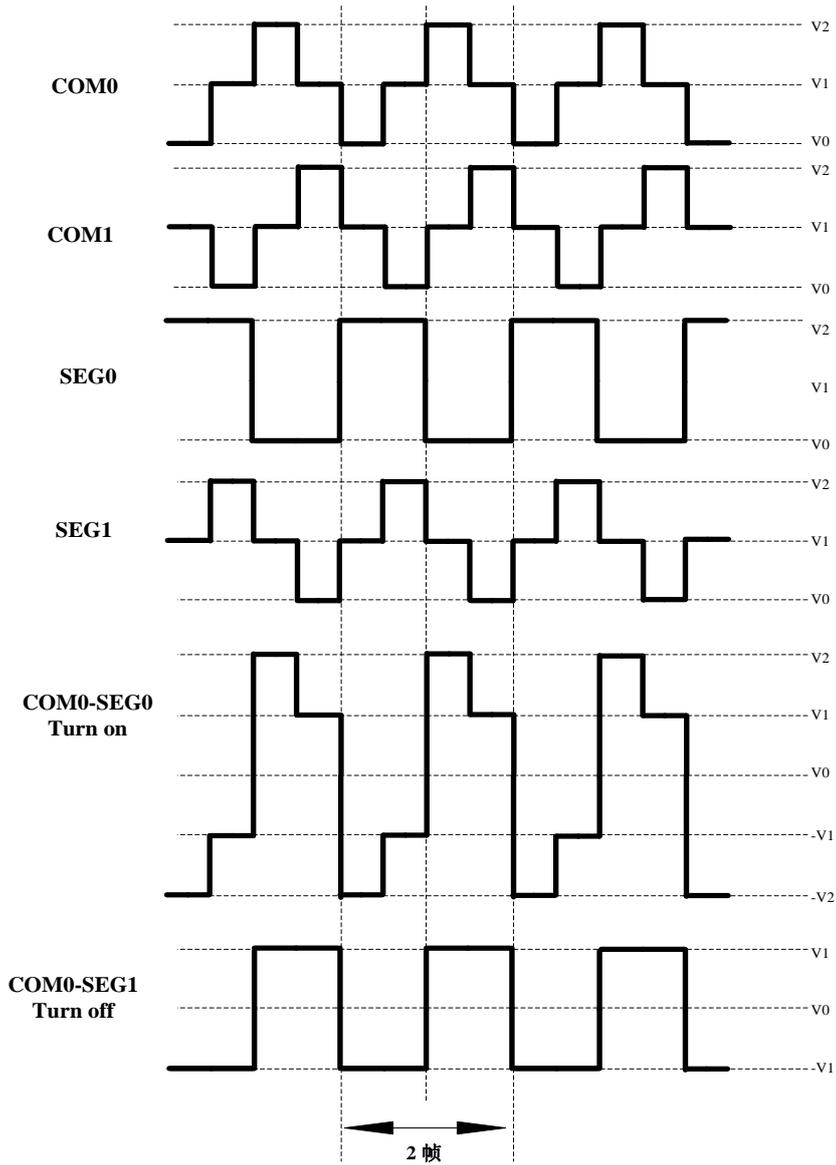


图 8.6 在 1/2 复用、1/2 偏置驱动时的 B 型波形

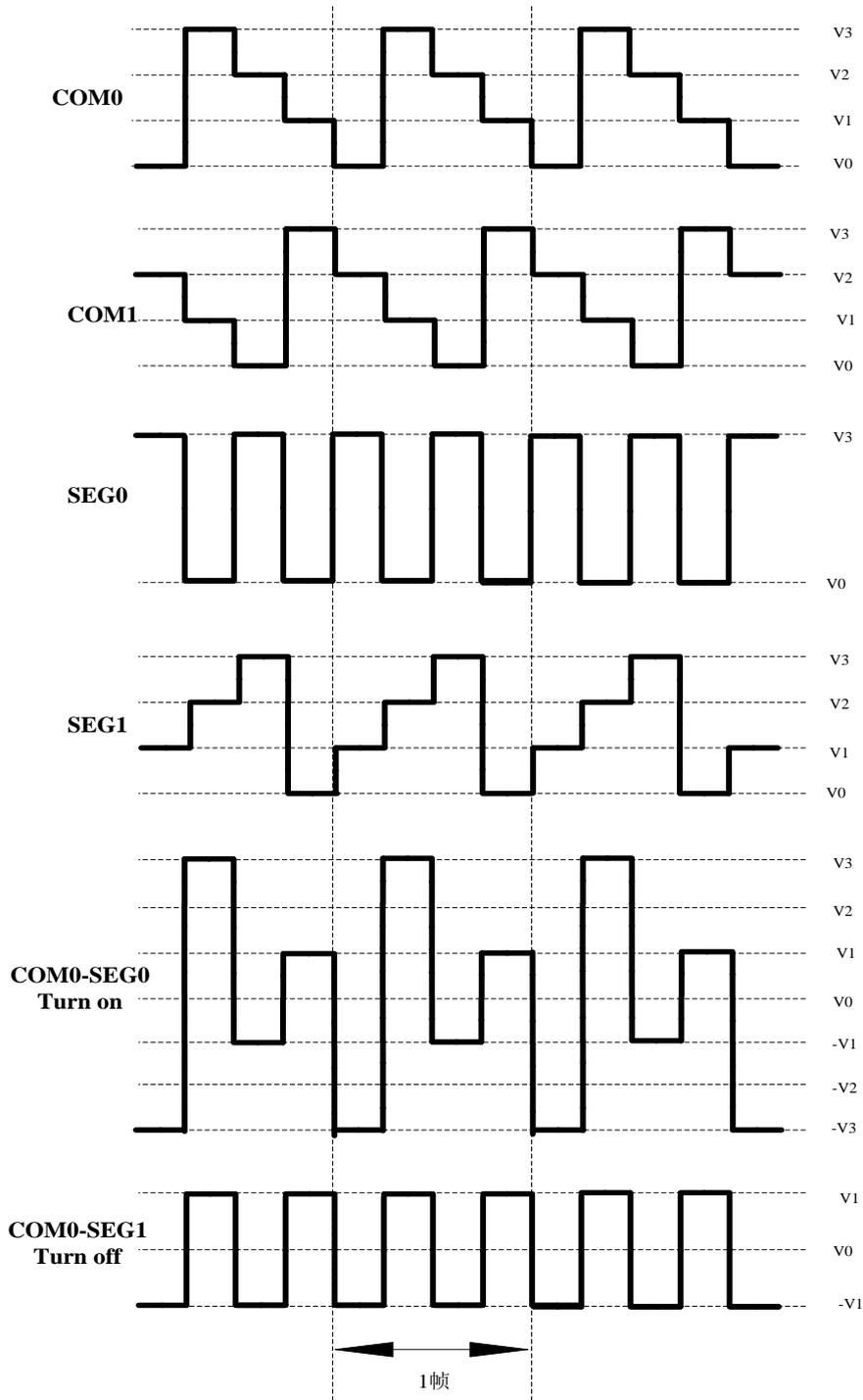


图 8.7 在 1/2 复用，1/3 偏置驱动时的 A 型波形

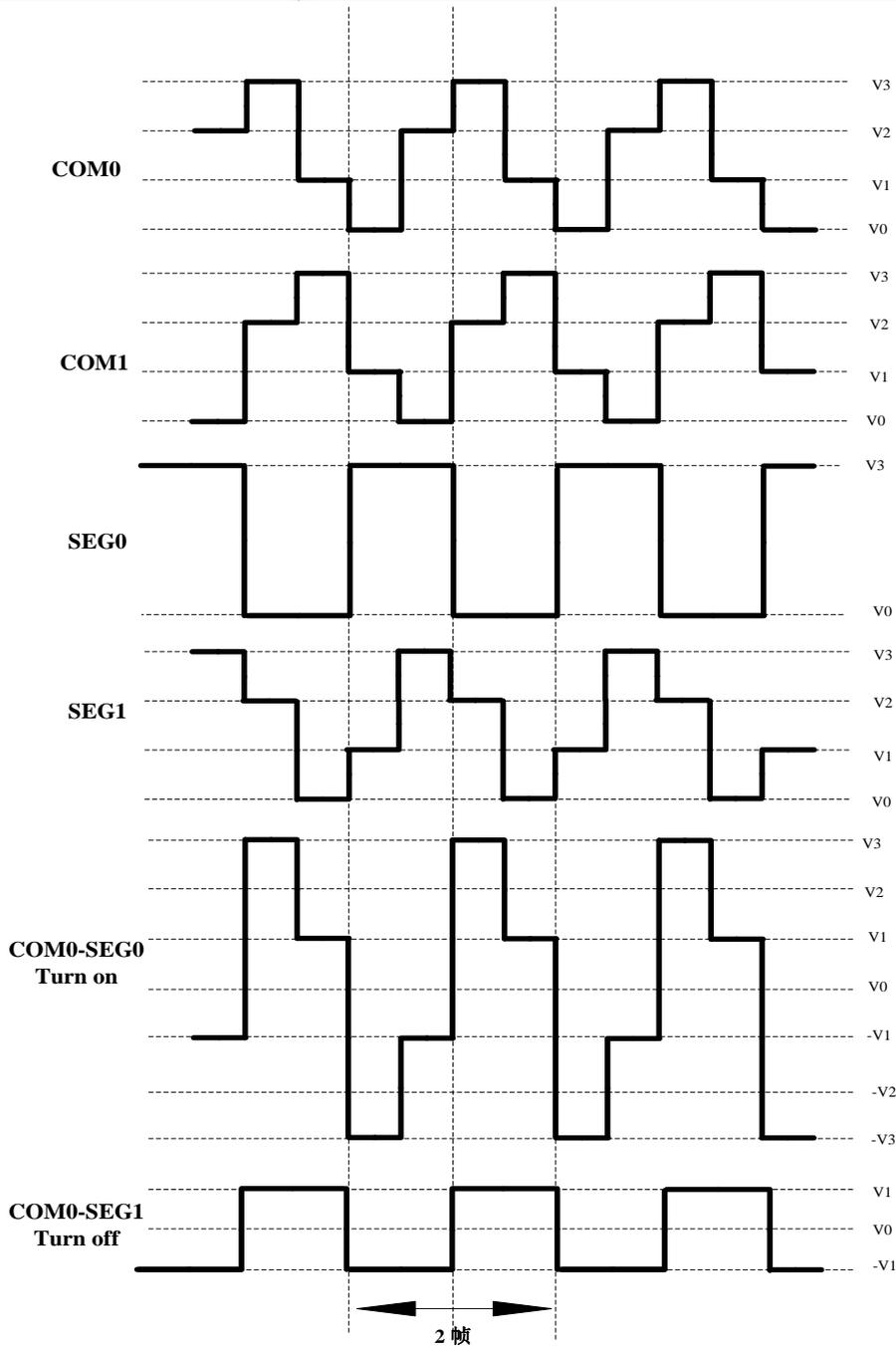


图 8.8 在 1/2 复用、1/3 偏置驱动时的 B 型波形

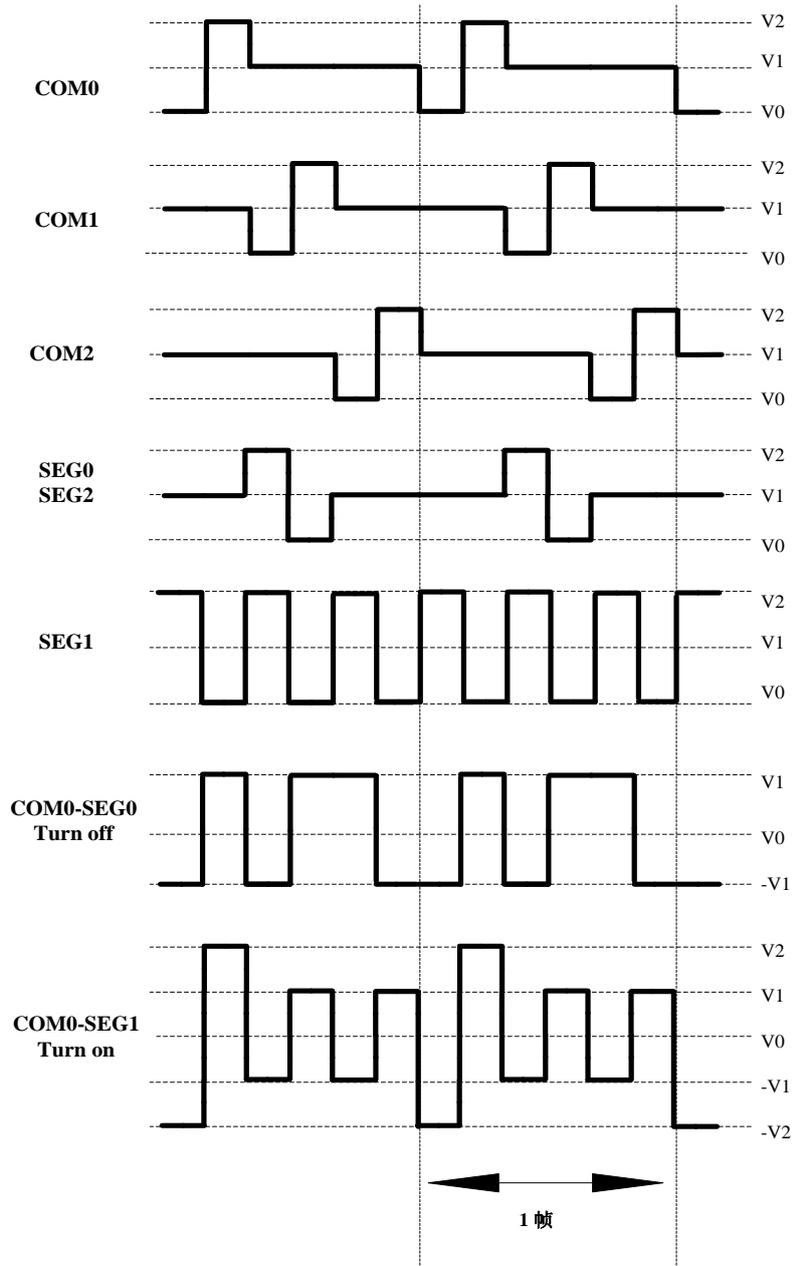


图 8.9 在 1/3 复用, 1/2 偏置驱动时的 A 型波形

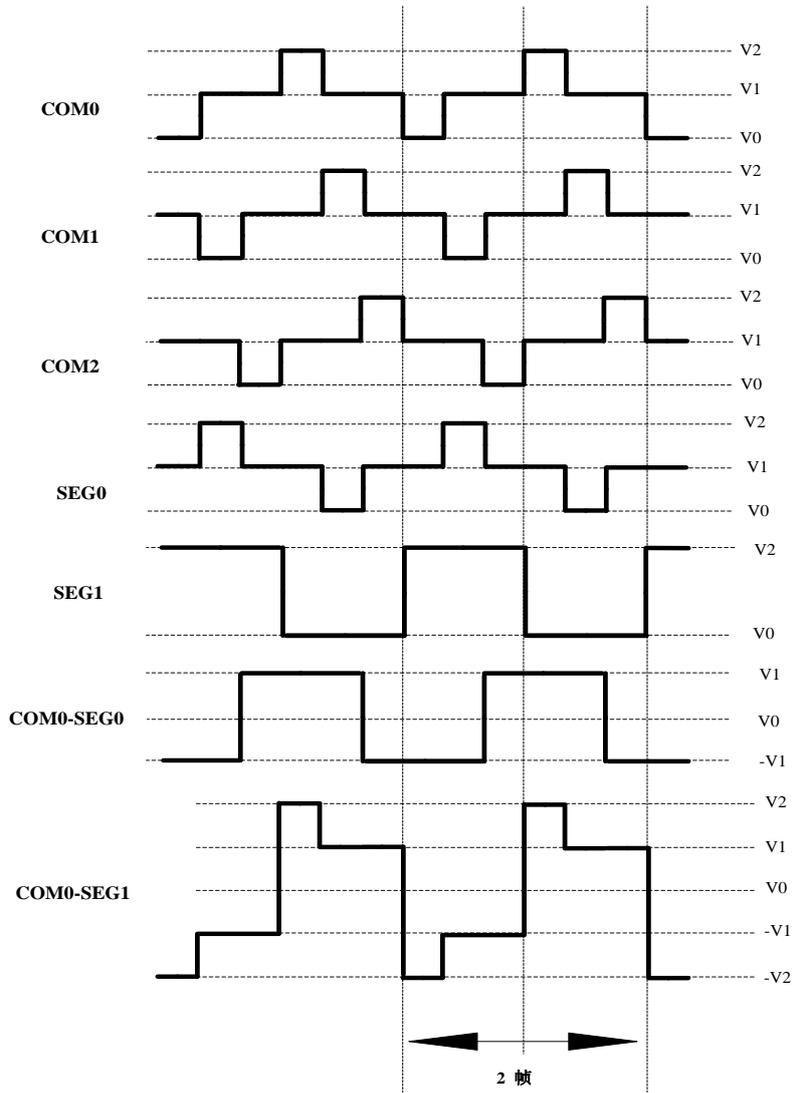


图 8.10 在 1/3 复用、1/2 偏置驱动时的 B 型波形

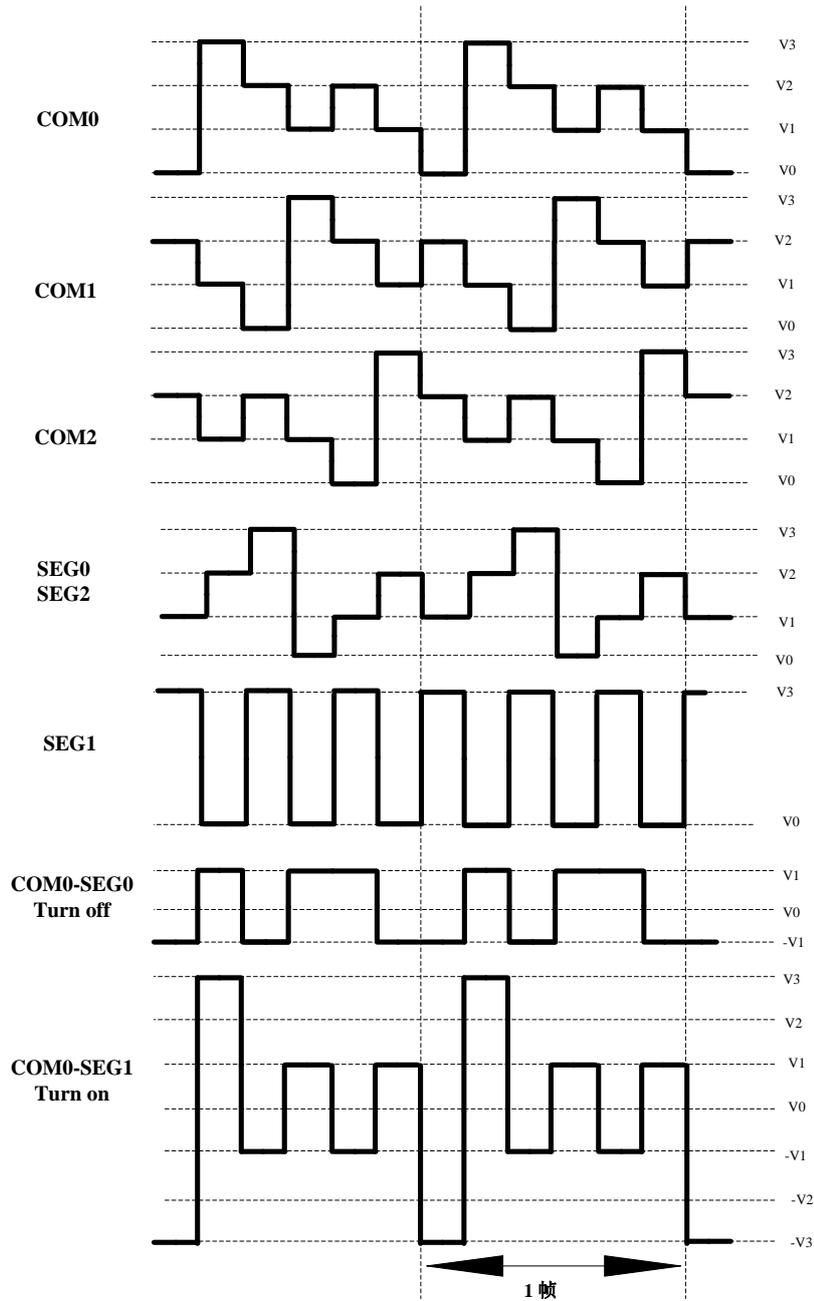


图 8.11 在 1/3 复用、1/3 偏置驱动时的 A 型波形

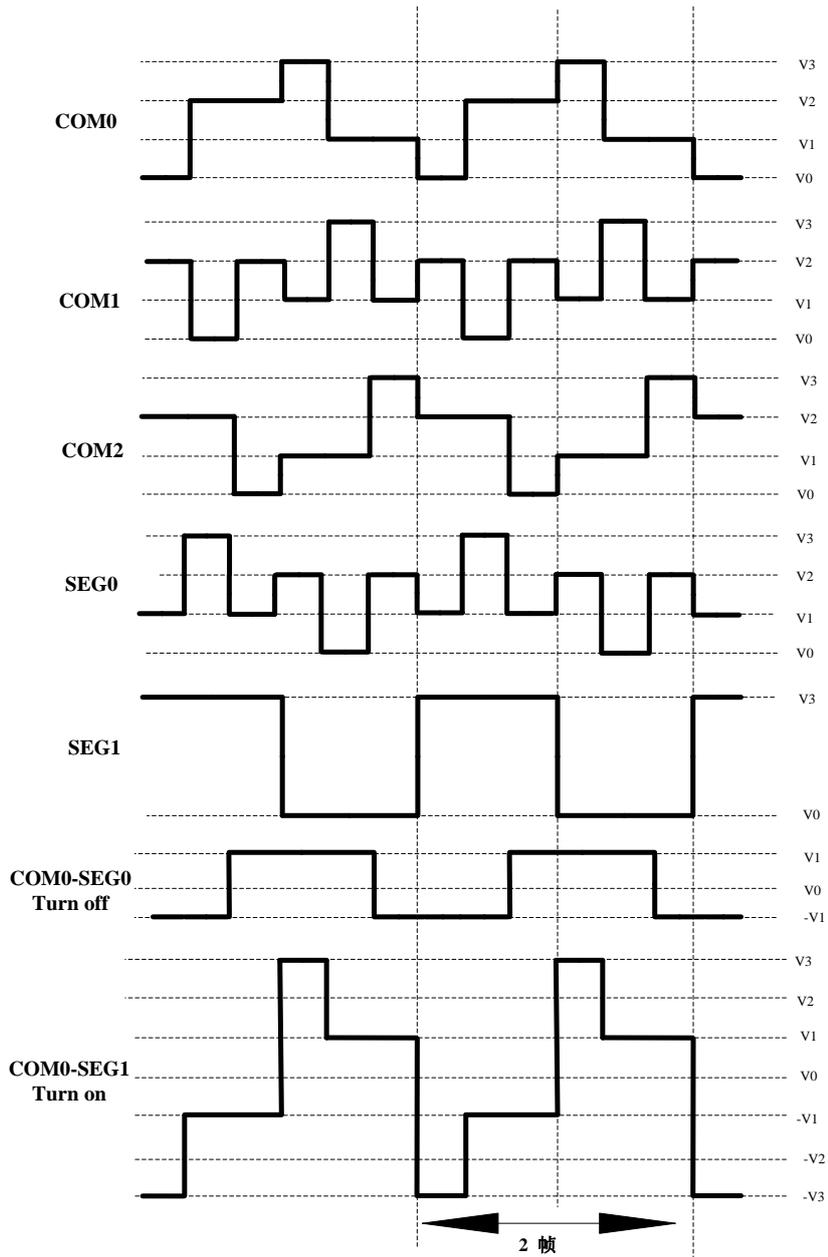


图 8.12 在 1/3 复用、1/3 偏置驱动时的 B 型波形

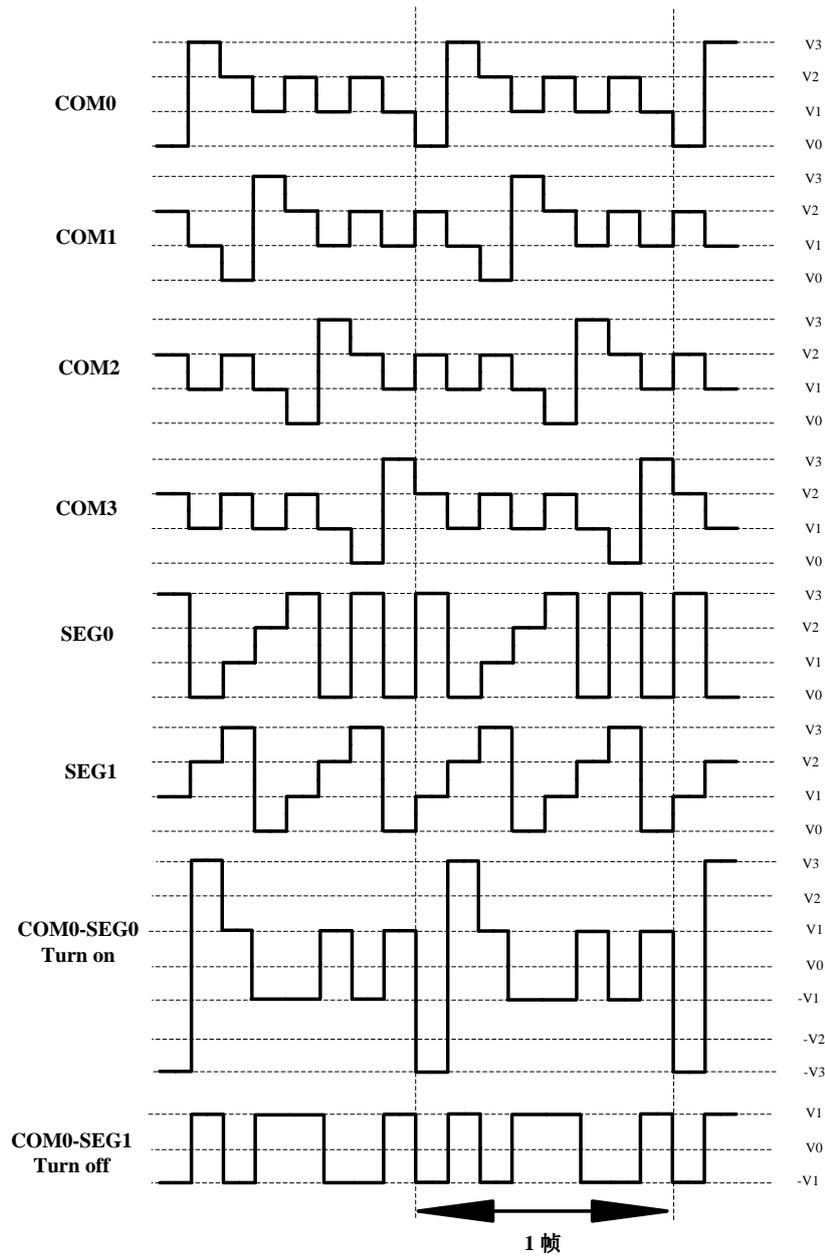


图 8.13 在 1/4 复用、1/3 偏置驱动时的 A 型波形

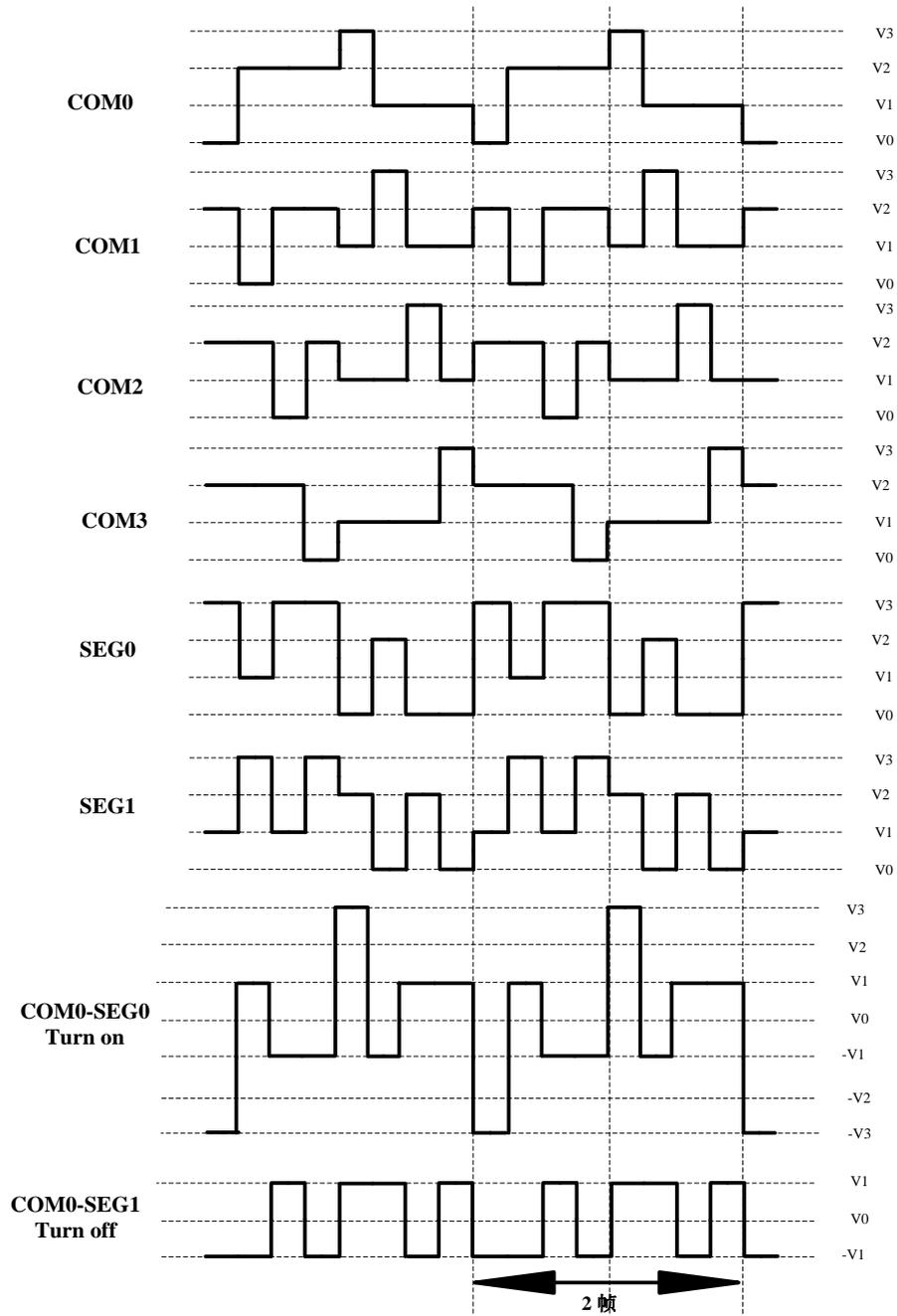


图 8.14 在 1/4 复用、1/3 偏置驱动时的 B 型波形

## 8.13 LCD 中断

### 8.13.1 闪烁中断

LCD 闪烁显示由环形计数器控制。在闪烁配置情况下，LCD 段随着环形计数器到达 0X01 值时交替打开和关闭。

### 8.13.2 帧时序中断

1/4 占空比驱动时的波形和中断时序(示例-B 类型，非静态)如下图所示：

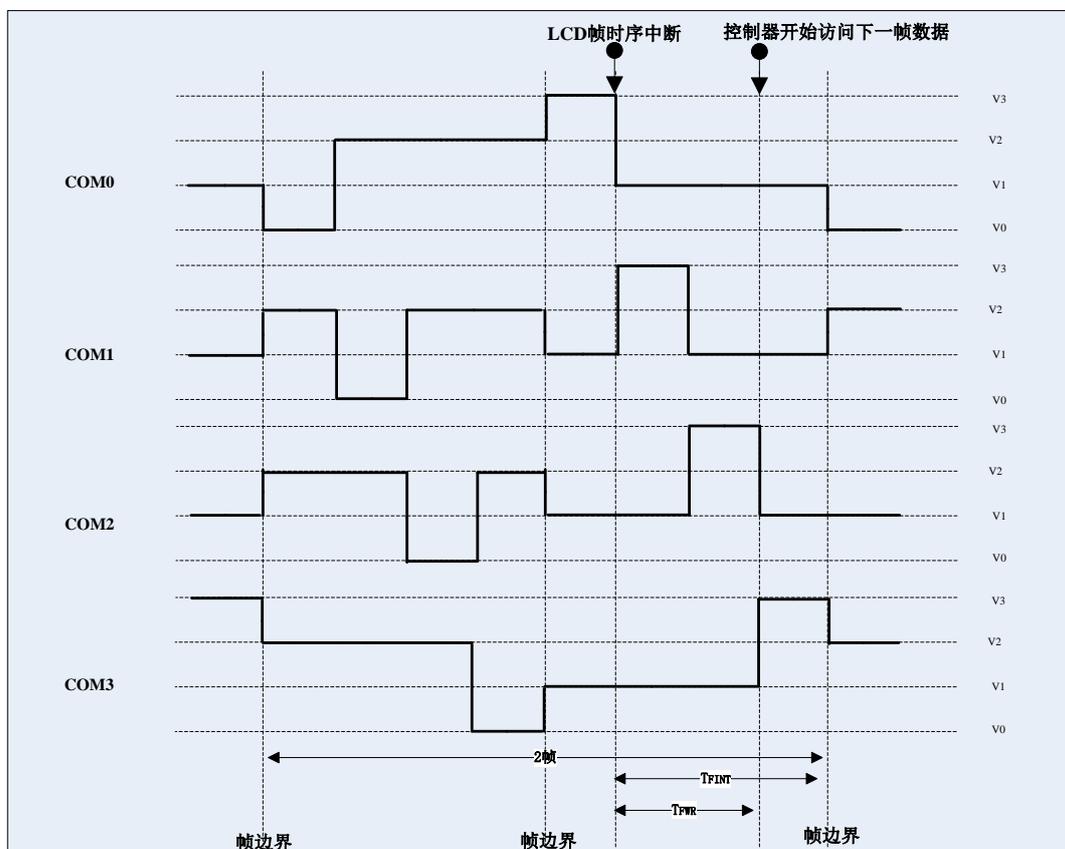


图 8.15 帧时序中断例图

LCD 时序发生提供了一个中断，该中断定义 LCD 的帧时序。它可用于协调新帧开始和写入像素数据。在帧边界处写像素数据可使图像过渡更清晰。该中断还可用于同步 LCD 和外部事件。一个新帧开始于 COM0 公共端信号的前沿。在 LCD 控制器完成对帧所需的像素数据的访问后将立即产生中断。中断发生在帧边界前的某一固定时间 ( $T_{FINT}$ )。在中断发生的  $T_{FWR}$  时间后，LCD 控制器将开始访问下一帧数据。新数据必须在  $T_{FWR}$  内写入，因为在此间隔后 LCD 控制器将开始访问下一帧数据。

当 LCD 驱动器由 B 型波形驱动且  $LMUX<1:0>$  位不等于 00 时，必须处理一些额外的问题。由于需要两帧来维持像素上的 DC 电压为零，因此在此期间像素数据要保持不变。

一旦像素数据发生改变, 奇数帧波形和偶数帧波形不再互补, 在面板中会引入一个直流分量。因此, 当使用 B 型波形时, 用户必须同步帧中断后的下一帧中发生的 LCD 像素更新。在 B 型波形时要使写入时序正确, 中断将只能发生在完整的相位间隔内。当禁止写入时, 一旦用户试图进行写操作, 标志位 WERR 位将被置 1。

## 8.14 在休眠模式下工作

LCD 模块可以工作在休眠模式下。模式选择由 LCDCTL 寄存器的 SLPEN 位控制。将 SLPEN 位置 1 将允许 LCD 模块进入休眠模式。清零 SLPEN 位将使模块在休眠模式下继续工作。

如果执行了 IDLE 命令并且 SLPEN = 1, LCD 模块将中止所有的功能, 进入极低的电流消耗模式。模块将立即停止工作, 并在段和公共端上输出最小 LCD 驱动电压。图 17.18 所示为此操作工程。

要确保没有直流分量引入面板, 应在 LCD 帧边界后立即执行 IDLE 指令。对于 B 型(非静态)复用, 可用 LCD 中断判定帧边界。参见第 17.13 节“LCD 中断”中的公式来计算延时。在所有其他模式下, LCDA 位均可用于确定显示的时间。要使用该方法, 在进入休眠模式时, 应执行一下序列:

清零 LCDEN

等待 LCDA 清零

使用 I/O 口寄存器 (P0 等) 和 TR 寄存器将所有 LCD 引脚驱动为停止状态

执行 IDLE 指令

注: 如果 LCDEN 位被清零, LCD 模块将在帧完成时被禁止。此时, 端口引脚将恢复数字功能。要最小化由于悬空数字输入而产生的功耗, 应该使用 I/O 寄存器和 TR 寄存器将 LCD 引脚驱动为低电平。

如果执行 IDLE 指令并且 SLPEN = 0, 模块将继续显示 LCDDATA 寄存器的当前内容。在休眠模式下, LCD 数据不能改变。在此模式下, LCD 模块电流消耗并未降低; 然而, 器件的整体功耗将因内核和其他外设功能的关闭而降低。下表给出了 LCD 模块在休眠模式下的状态:

表 8-7 休眠模式下 LCD 模块的状态

时钟源	SLPEN	在休眠模式下是否工作
INTLF	0	是
	1	否

如果产生 LCD 中断(非静态复用模式的 B 型波形)且相应的 LCD 中断使能位置 1, 则器件将会在下一个帧边界从休眠模式中唤醒。

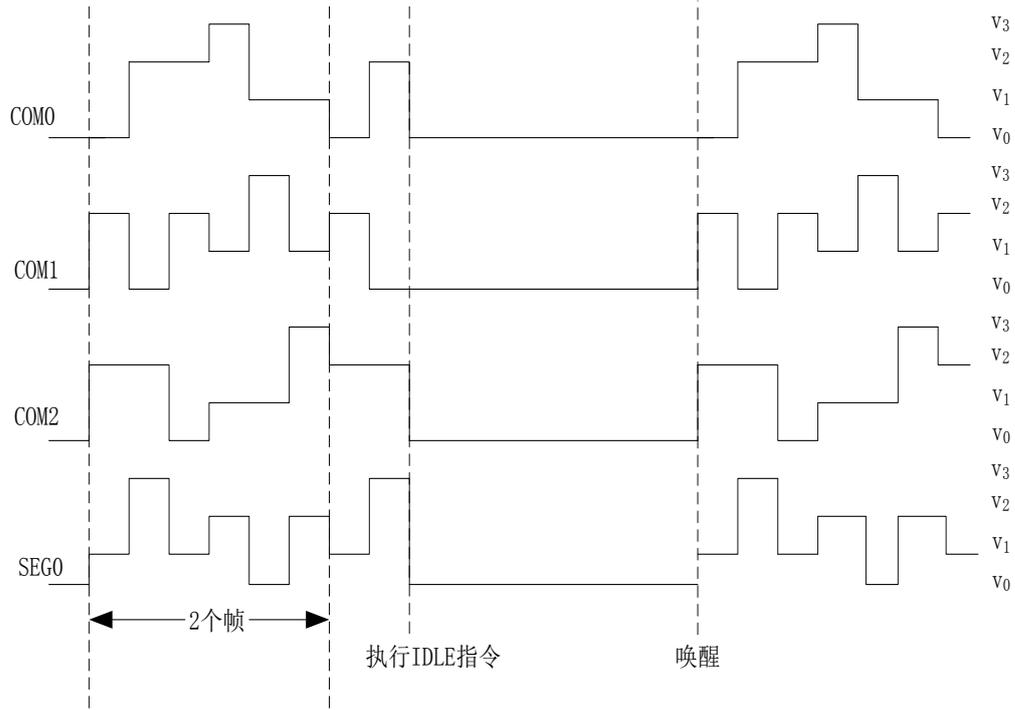


图 8.16 当  $\overline{\text{SLPEN}} = 1$  是进入/退出休眠模式

## 9 参考电压模块 FVR

KF8L20 内部有一个参考电压模块，使能该功能后，通过引脚 P5.2/VREFOUT 可输出稳定的 2V/3V/4V 参考电压（VREFOE=1），精度为 5%。如果内部使用参考电压 VREFOUT 时（用作 AD 参考电压和比较器参考电压），不需要将寄存器 VREFCTL 的 VREFOE 位置 1。

参考电压模块通过参考电压控制寄存器的高两位进行控制(VREFCTL<1,3>)，将 VREFEN(VREFCTL.1)位置 1 将打开参考电压模块，此时的 2V/3V/4V 参考电压可供芯片内部使用，再将 VREFOE(VREFCTL.3)位置 1 可使能内部 2V/3V/4V 参考电压输出，相应的引脚输出 2V/3V/4V 参考电压。

用户如果要用到内部 2V/3V/4V 参考电压，需先读出 27FAH 和 27F9H 地址的参考电压校准值(例 7.1)，分别送到 VREFCAL0 和 VREFCAL1 寄存器，然后根据需要设置 VREFCTL 中的 VREFEN 和 VREFOE 位。

### 例7.1: 读内部参考电压校准值

```

MOVP #0X20                                ;切换到PAGE1区
MOVB #0X01                                ;切换到存储区1区
CALL 0X7FA
MOV VREFCAL0, R0
CALL 0X7F9
MOV VREFCAL1, R0
MOVB #0X00                                ;切换回存储器0区
MOVP #0X00                                ;切换回PAGE0区
    
```

### 9.1 参考电压相关寄存器

表 9-1 参考电压相关寄存器表

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
2BH	VREFCTL	VREFSEL1	VREFSEL0	VREFCALEN	VREFCLKEN	VREFOE	P18OE	VREFEN	-
159H	VREFCAL0	内部参考电压校准寄存器 0							
15AH	VREFCAL1	内部参考电压校准寄存器 1							

### 9.1.1 参考电压寄存器 (VREFCTL)

寄存器7.7: VREFCTL: 参考电压寄存器(地址:2BH)

复位值 0000 0000	bit7						bit0	
	VREFSEL1	VREFSEL0	VREF CALEN	VREF CLKEN	VREFOE	P18OE	VREFEN	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

VREFSEL<1:0>:内部参考电压 VREFOUT 选择位

00=保留

01=2V

10=3V

11=4V

VREFCALEN: 参考电压校验使能位

1 = 使能校验

0 = 关闭校验

VREFCLKEN: 参考电压校准时钟使能位

1 = 使能参考电压校准时钟

0 = 关闭参考电压校准时钟

VREFOE: 参考电压输出使能位

1 = 允许参考电压输出

0 = 禁止参考电压输出

P18OE: 保留位

VREFEN: 参考电压使能位

1 = 使能参考电压

0 = 关闭参考电压

注: 正常使用 FVR 模块时, 请将 VREFCALEN 位和 VREFCLKEN 位置 1 以使能 FVR 的动态校准功能, 以消除环境变化对输出电压偏移的影响。

## 10 高/低压监测 HLVD

KF8L20 系列单片机包含一个高/低压监测（HLVD）模块。

HLVD 模块可以设置电压跳变点和变化方向，当电压按照指定的方向与跳变点发生偏离，将会使高低压监测中断标志位置 1，如果使能了该中断，程序将进入中断行。

### 10.1 相关寄存器

表 10-1 HLVD 相关寄存器表

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
15BH	HLVDCTL	HLVDEN	VDIR	-	-	-	VDT2	VDT1	VDT0

#### 10.1.1 高低压监测控制寄存器 HLVDCTL

寄存器18.1: HLVDCTL: 高低压检测控制寄存器(地址: 15BH)

复位值	bit7						bit0	
0000 0000	HLVDEN	VDIR	-	-	-	VDT2	VDT1	VDT0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

HLVDEN: 高低压监测使能位

0 = 高低压监测关闭

1 = 高低压监测打开

VDIR: 电压监测方向选择位

0 = 当电压等于或者高于跳变点时，事件发生

1 = 当电压等于或者低于跳变点时，事件发生

VDT<2:0>: 电压监测跳变点选择位

111 = 保留

110 = 4.5V

101 = 4.1V

100 = 3.7V

011 = 3.3V

010 = 2.9V

001 = 2.5V

000 = 2.1V

## 10.2 工作原理

HLVD 模块由内部参考电压 FVR 提供标准点，HLVD 模块不会影响 FVR 模块的工作。用户根据需求通过设置 VDIR 位来选择电压检测的方向，设置 VDT<3:0>位来选择跳变点，跳变点由电阻分压产生。

跳变点跟 FVR 提供的标准点经过比较器比较以判断电压是否在检测范围之内，如果超出则 HLVDIF 置 1。

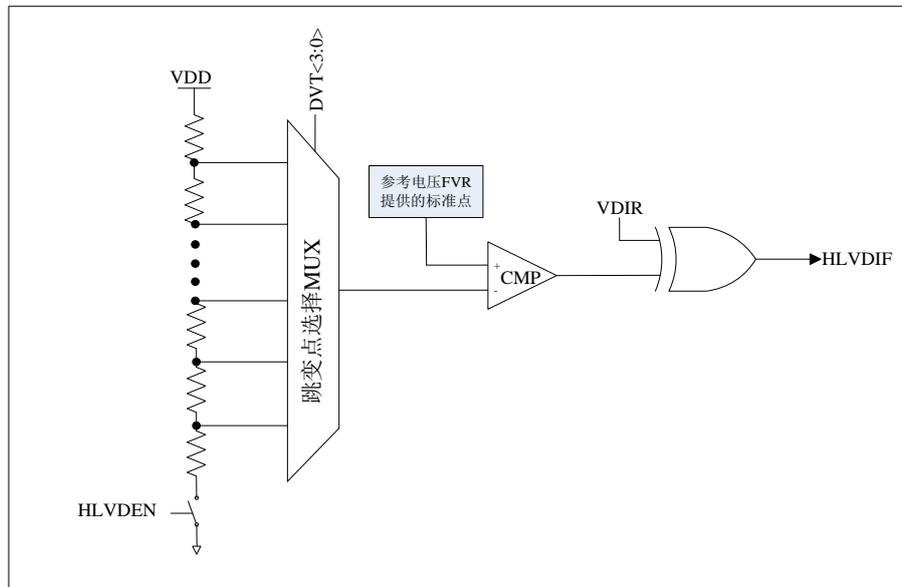


图 10.1 高低压检测原理图

## 10.3 HLVD 的使用

HLVD 模块通过如下步骤使用：

1. 设置 HLVDCTL 寄存器的 VDT<2:0>位选择 HLVD 跳变点；
2. 设置 VDIR 选择检测的方向；
3. 将 HLVDEN 置 1 以使能 HLVD 模块；
4. 延时 10us，清零 HLVDIF 中断标志位；
5. 如需中断，将 HLVDIE 置 1。

注：

1. 使能 HLVDEN 后，请延时 10us 后对 HLVDIF 进行清零操作；
2. 如果需要更改检测条件，则需要将 HLVD 模块关闭后再进行修改，否则可能由于修改设置位引起 HLVDIF 置 1；
3. 当 VDD 超出检测范围时，HLVDIF 将保持 1 无法清零；直到 VDD 回到检测范围或者禁止 HLVD 模块，HLVDIF 才可被清零操作；
4. HLVD 模块的标准点由 FVR 模块提供，无论 FVR 模块是否被使能；FVR 模块的使用不受 HLVD 模块的任何影响。

## 10.4 HLVD 工作在休眠模式

使能 HLVD 模块后，MCU 进入休眠模式后 HLVD 模块继续工作。当电压越过跳变点时，标志位 HLVDIF 置 1，MCU 从休眠中唤醒；如果 HLVDIE 为 1，则程序进入中断行。

## 11 硬件乘法器模块

### 11.1 概述

KF8L20 包含一个单独的  $16 \times 16$  的硬件乘法器模块，它是单片机的一个外设。CPU 通过相关的指令操作来对硬件乘法器的寄存器进行读写与运算操作。

乘法器的特性包含：

- ◆ 无符号 16 位二进制乘法；
- ◆ 乘法通过异步运算过程实现，运算时间=8 个指令周期

工作原理框图如下图所示：

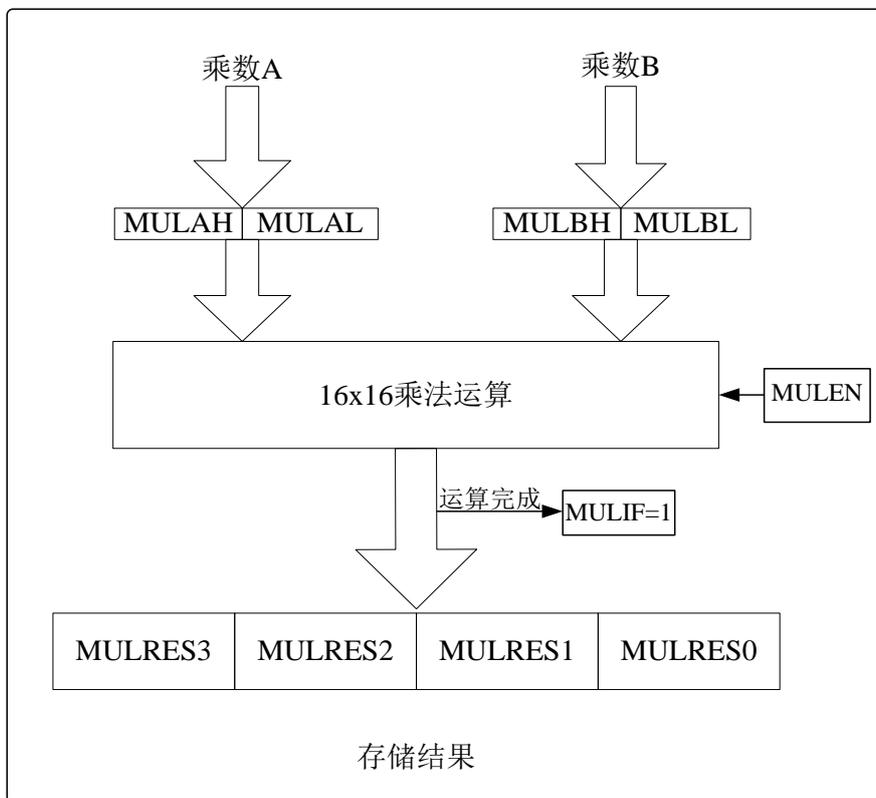


图 11.1  $16 \times 16$  硬件乘法器原理框图

注：结果存入32位结果寄存器MULRES中，即运算结果为：[MULRES3:MULRES2:MULRES1:MULRES0]，MULRES3是最高8位，MULRES0是最低8位。

## 11.2 硬件乘法器相关寄存器

表 11-1 硬件乘法器相关寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
130H	MULAH	16 位乘法器乘数 A 高 8 位							
131H	MULAL	16 位乘法器乘数 A 低 8 位							
132H	MULBH	16 位乘法器乘数 B 高 8 位							
133H	MULBL	16 位乘法器乘数 B 低 8 位							
134H	MULCTL	-	-	-	-	-	-	MULEN	MULIF
135H	MULRES <sub>3</sub>	乘法运算结果寄存器 3							
136H	MULRES <sub>2</sub>	乘法运算结果寄存器 2							
137H	MULRES <sub>1</sub>	乘法运算结果寄存器 1							
138H	MULRES <sub>0</sub>	乘法运算结果寄存器 0							

### 11.2.1 乘法运算控制寄存器 (MULCTL)

寄存器 20.1: MULCTL: 乘法运算控制寄存器 (地址: 134H)

复位值 ----00	bit7						bit0	
	-	-	-	-	-	-	MULEN	MULIF
	U	U	U	U	U	U	R/W	R

MULEN: 运算使能位

1 = 使能乘法运算

0 = 禁止乘法运算

MULIF: 运算状态标志位

1 = 运算操作已经完成

0 = 没有完成运算

注: MULIF 不能直接由软件清零。需要清零 MULIF 时, 对乘数寄存器 (MULAH/L 或 MULBH/L) 进行操作即可清零。如: CLR MULAH。

## 11.3 硬件乘法器的使用

运算操作的使用设置如下:

- 1) 向乘数 A 寄存器和乘数 B 寄存器分别写入一个无符号的 16 位乘数
- 2) 乘法运算使能位 MULEN 置 1, 控制开始乘法运算

示例程序如下例所示：

例：

```
MOVB #0X01
MOV R0, #0XxxH
MOV MULAH, R0
MOV R0, #0XxxH
MOV MULAL, R0           ;装载乘数A
MOV R0, #0XxxH
MOV MULBH, R0
MOV R0, #0XxxH
MOV MULBL, R0         ;装载乘数B
SET MULCTL, MULEN     ;使能乘法运算
```

运算结束后，MUCTL 寄存器的 MULIF 置位，控制结果存入寄存器 MULRES<sub>x</sub> (x=0~3) 中，结果为:[MULRES3:MULRES2:MULRES1:MULRES0]。

## 12 硬件除法器模块

### 12.1 概述

KF8L20 包含一个硬件除法器，它是单片机的一个外设。CPU 通过相关的指令操作来对硬件除法器的寄存器进行读写与运算操作。

硬件除法器的特性包含：

- ◆ 无符号除法
- ◆ 16÷16 位
- ◆ 运算时间=9 个系统时钟周期

具体的原理框图如下图所示：

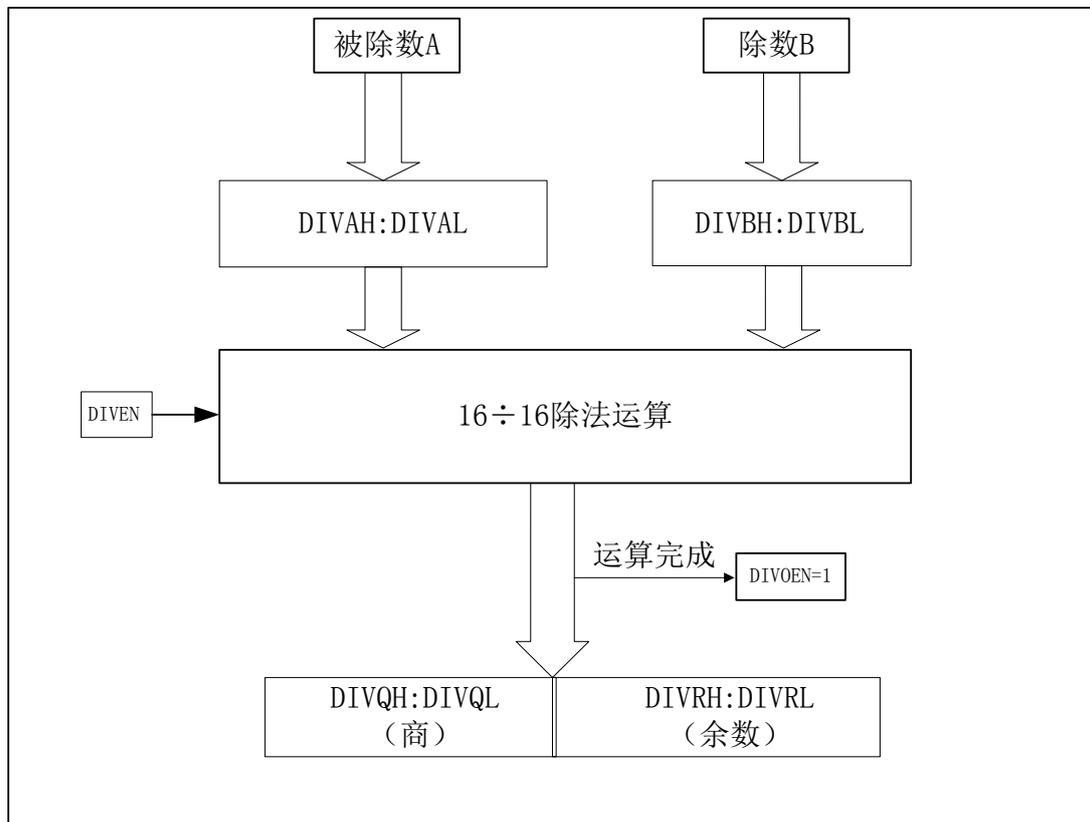


图 12.1 硬件除法器原理框图

## 12.2 硬件除法器相关寄存器

表 12-1 硬件除法器相关寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
139H	DIVCTL	-	-	-	-	-	-	DIVOEN	DIVEN
13AH	DIVAH	被除数高 8 位寄存器							
13BH	DIVAL	被除数低 8 位寄存器							
115H	DIVBH	除数高 8 位寄存器							
13CH	DIVBL	除数低 8 位寄存器							
13DH	DIVQH	商高 8 位寄存器							
13EH	DIVQL	商低 8 位寄存器							
13FH	DIVRL	余数低 8 位寄存器							
108H	DIVRH	余数高 8 位寄存器							

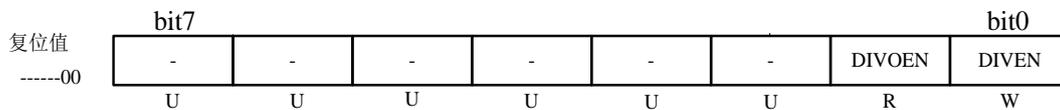
### 12.2.1 除法控制寄存器 (DIVCTL)

在除法的过程中，需要对除法模块的使能进行控制，同时需要有一个可以通知 CPU 或者其他模块，除法已经完成的信号。

除法控制寄存器 DIVCTL 包含：

- ◆ 除法运算使能位 DIVEN
- ◆ 除法运算完成标志位 DIVOEN

寄存器 20.1: DIVCTL: 除法控制寄存器(地址:139H)



- DIVOEN: 除法运算完成标志位  
 1 = 除法完成，商和余数可读  
 0 = 除法未完成或者未开始，商和余数不可读
- DIVEN: 除法运算使能位  
 1 = 使能除法运算  
 0 = 禁止除法运算

### 12.2.2 数据寄存器

对于除法，需要有操作数进行操作，在开始除法的时候，需要被除数和除数，当除法结束后，需要商和余数。

这四种分别使用{DIVAH:DIVAL}，{DIVBH:DIVBL}，{DIVQH:DIVQL}，{DIVRH:DIVRL}进行表示。

**12.2.2.1 被除数寄存器 {DIVAH:DIVAL}**

**寄存器20.2:** DIVAH: 被除数高8位寄存器(地址:13AH)

	bit7							bit0
复位值 00000000	DIVAH7	DIVAH6	DIVAH5	DIVAH4	DIVAH3	DIVAH2	DIVAH1	DIVAH0
	R/W							

**寄存器20.3:** DIVAL: 被除数低8位寄存器(地址:13BH)

	bit7							bit0
复位值 00000000	DIVAL7	DIVAL6	DIVAL5	DIVAL4	DIVAL3	DIVAL2	DIVAL1	DIVAL0
	R/W							

**DIVAH:** 被除数高8位寄存器，用于存放被除数高8位。

**DIVAL:** 被除数低8位寄存器，用于存放被除数低8位。

**12.2.2.2 除数寄存器 DIVB**

**寄存器20.4:** DIVBH: 除数高8位寄存器(地址:115H)

	bit7							bit0
复位值 00000000	DIVBH7	DIVBH6	DIVBH5	DIVBH4	DIVBH3	DIVBH2	DIVBH1	DIVBH0
	R/W							

**寄存器20.5:** DIVBL: 除数低8位寄存器(地址:13CH)

	bit7							bit0
复位值 00000000	DIVBL7	DIVBL6	DIVBL5	DIVBL4	DIVBL3	DIVBL2	DIVBL1	DIVBL0
	R/W							

**DIVBH:** 用于存放运算过程中的除数高8位

**DIVBL:** 用于存放运算过程中的除数低8位

**12.2.2.3 结果商寄存器 {DIVQH:DIVQL}**

**寄存器20.6:** DIVQH: 结果商高8位寄存器(地址:13DH)

	bit7							bit0
00000000	DIVQH7	DIVQH6	DIVQH5	DIVQH4	DIVQH3	DIVQH2	DIVQH1	DIVQH0
	R	R	R	R	R	R	R	R

**寄存器20.7:** DIVQL: 结果商低8位寄存器(地址:13EH)

	bit7							bit0
00000000	DIVQL7	DIVQL6	DIVQL5	DIVQL4	DIVQL3	DIVQL2	DIVQL1	DIVQL0
	R	R	R	R	R	R	R	R

**DIVQH:** 存放运算结果商的高8位；（只读）

**DIVQL:** 存放运算结果商的低8位；（只读）

### 12.2.2.4 运算余数寄存器 DIVR

**寄存器20.8:** DIVRH: 余数高8位寄存器(地址:108H)

	bit7						bit0	
复位值 00000000	DIVRH7	DIVRH6	DIVRH5	DIVRH4	DIVRH3	DIVRH2	DIVRH1	DIVRH0
	R	R	R	R	R	R	R	R

**寄存器20.9:** DIVRL: 余数低8位寄存器(地址:13FH)

	bit7						bit0	
复位值 00000000	DIVRL7	DIVRL6	DIVRL5	DIVRL4	DIVRL3	DIVRL2	DIVRL1	DIVRL0
	R	R	R	R	R	R	R	R

DIVRH: 除法完成后存储余数高 8 位 (只读)

DIVRL: 除法完成后存储余数低 8 位 (只读)

## 12.3 硬件除法器操作

除法通过使能信号 DIVEN 进行使能, 当 DIVEN=1 的时候, 除法器开始工作, 直到除法完成。

当除法完成之后, 除法器模块会自动清除 DIVEN 信号, 并将完成标志位 DIVOEN 设为 1。

注意, 在除法器使能之前需要将数据输入到 DIVA 和 DIVB 寄存器中, 否则的话, 除法过程就会出现数据错误。

#### 除法运算器的设置:

- (1) 分别向被除数寄存器{DIVAH:DIVAL}写入被除数
- (2) 分别向除数寄存器{DIVBH:DIVBL}写入除数
- (3) 设置 DIVCTL 的 DIVEN (<DIVCTL.0>) 使能除法运算器

示例程序如下例所示:

```

例:
MOV R0, #0xXX
MOV DIVAH, R0
MOV R0, #0xYY
MOV DIVAL, R0
MOV R0, #0xMM
MOV DIVBH, R0
MOV R0, #0xNN
MOV DIVBL, R0
MOV R0, #0x01
MOV DIVCTL, R0
    
```

这样就可以开始计算  $xyy \div mmnn$ , 当 DIVOEN=1 的时候, 可以从{DIVQH:DIVQL}和{DIVRH:DIVRL}中分别读出商和余数。

### 13 复位

KF8L20 具有:上电复位(POR)、WDT 复位、RST 复位和欠压检测复位(LVR)四种复位方式。

有些寄存器的状态在任何复位条件下都不会受到影响,上电复位时它们的状态不定,而在其它复位发生时其状态将保持不变。其它大多数寄存器在复位事件发生时将被复位成“复位状态”。图 21.1 给出了片内复位电路的简化结构方框图。

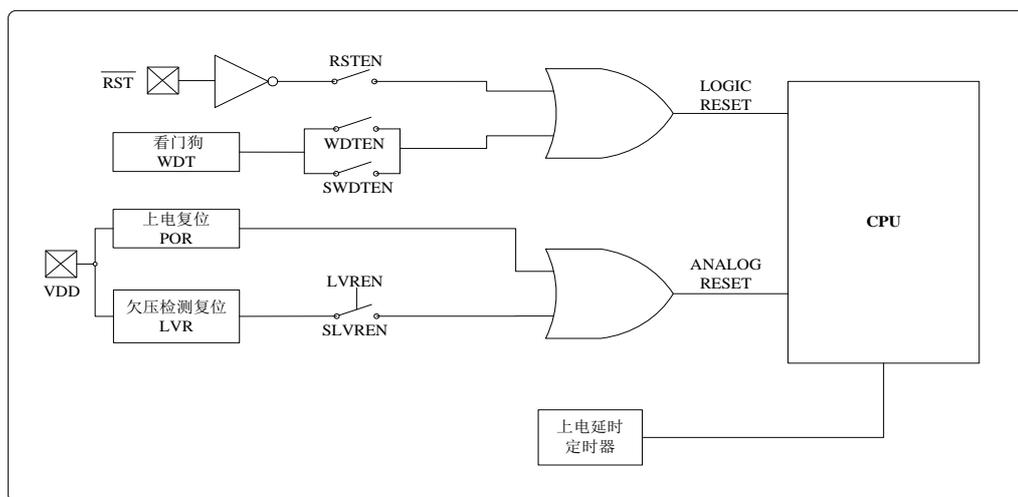


图 13.1 片内复位电路简化框图

注:上电延时定时器只对上电复位(POR)和欠压复位(LVR)有效。

### 13.1 电源控制状态寄存器(PCTL)

如寄存器 PCTL 所示， $\overline{\text{LVR}}$  位的状态在单片机上电复位时是不确定的。如果用户在使用中要用到该位，在程序初始化部分需将其置 1，随后如果有复位发生且  $\overline{\text{LVR}}=0$ ，则表示发生过欠压检测复位。 $\overline{\text{LVR}}$  状态位是“无关”位，如果欠压检测电路被关闭(通过设定配置字中的 LVREN 位和 PCTL 中的 SLVREN 位)， $\overline{\text{LVR}}$  状态位是不可预知的。 $\overline{\text{POR}}$  是上电复位状态位，该位在上电复位时被清 0，在其它情况下不受影响。

**寄存器： PCTL： 电源控制寄存器(地址:2EH)**

	bit7							bit0
复位值 --01 00xx	-	-	-	SLVREN	IPEN	SWDTEN	$\overline{\text{POR}}$	$\overline{\text{LVR}}$
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

- SLVREN:** 软件欠压检测使能位  
 1 = 软件使能欠压检测  
 0 = 软件禁止欠压检测
- IPEN:** 中断优先级控制位  
 1 = 使能中断优先级功能  
 0 = 禁止中断优先级，即为普通模式
- SWDTEN:** 软件看门狗定时器使能位  
 当配置字的 WDTEN=0 时  
 1 = 软件使能看门狗定时器  
 0 = 软件禁止看门狗定时器
- $\overline{\text{POR}}$ :** 上电复位状态位  
 1 = 未发生上电复位  
 0 = 发生了上电复位
- $\overline{\text{LVR}}$ :** 欠压复位状态位  
 1 = 未发生欠压复位  
 0 = 已发生欠压复位

注：SLVREN 位的配置方法详见欠压检测复位（LVR）。

## 13.2 上电复位(POR)

在 VDD 达到适合单片机正常工作的电平之前，片内上电复位电路使单片机保持在复位状态，直到 VDD 达到正常工作电平之后单片机才开始正常工作。KF8L20 的上电复位时间为 70ms 左右。

## 13.3 WDT 复位

看门狗定时器有一个独立的时钟源，因此单片机在正常工作和休眠模式下都可以正常工作。在单片机正常工作且打开看门狗后，当看门狗计数器计满后产生溢出，将使单片机复位。

在休眠模式下，WDT 也可以正常工作，当 WDT 定时器计满溢出后，将会使单片机从休眠模式唤醒转入正常工作模式，在休眠模式不会对各寄存器复位。

## 13.4 RST 复位

使能外部 RST 复位（配置位 RSTEN=1）后，当引脚 P0.3/ $\overline{\text{RST}}$  输入复位信号，不管单片机工作在正常模式还是休眠模式，均会使单片机复位。通过在编程时将 P0.3 引脚配置为  $\overline{\text{RST}}$  复位引脚，即可打开  $\overline{\text{RST}}$  复位。

在  $\overline{\text{RST}}$  复位时，KF8L20 器件有一个噪声滤波器用于检测和滤除小脉冲，下图是建议  $\overline{\text{RST}}$  复位电路。

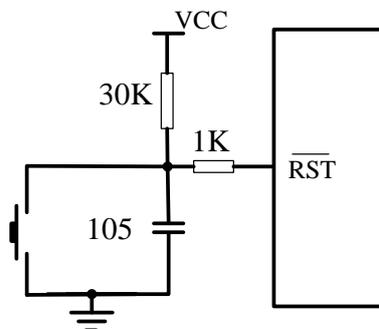


图 13.2 建议  $\overline{\text{RST}}$  复位电路

### 13.5 欠压检测复位(LVR)

KF8L20 系列中的单片机片内配备一个欠压检测复位电路 (LVR)。通过编程时设定配置位中的 LVREN 位可以禁止/使能(清 0/置 1)欠压检测复位电路, 单片机会按照配置位中的 LVREN 位的配置, 选择 LVR 是否使能。LVR 还提供一个软件位 PCTL\_SLVREN, 当 FUSE\_LVREN=0 时, PCTL\_SLVREN 位失效; 当 FUSE\_LVREN=1 时, PCTL\_SLVREN 位有效, 可以通过软件清零 SLVREN 位关闭 LVR, 同样可以通过置位该位以重新使能 LVR。上电时, 如果 FUSE\_LVREN=1, LVR 将默认工作。

表 13-1 欠压检测复位 LVR 的配置

配置位 LVREN	PCTL_SLVREN	LVR 是否被使能
0	0/1	禁止
1	清零	禁止
1	置 1	使能

如果 VDD 跌落至 VLVR(VLVR=2.1V)以下且持续时间大于 TLVR (TLVR 大于 10us), 欠压检测电路将使单片机复位, 单片机保持复位状态直到 VDD 上升到 VLVR 以上, 再经过 2ms 内置延时后单片机开始正常工作; 如果使能上电延时定时器, 则在随后 70ms 左右的延时时间处于延时复位状态, 过了 70ms 以后单片机开始正常工作。

如果 VDD 跌落至 VLVR 以下的时间小于规定参数(TLVR), 将不保证可产生复位。

如果在上电延时定时器运行过程中发生 VDD 跌落至 VLVR 以下的情况, 器件将返回欠压检测复位状态且上电延时定时器被重新初始化。直到 VDD 上升至 VLVR 以上时, 上电延时定时器启动一个 32ms 的复位延时, 如在延时器件没有欠压发生, 单片机会退出复位状态开始正常工作。

### 13.6 上电延时定时器

上电延时定时器仅在器件上电复位或欠压检测复位发生后提供一个长度为 32ms(标称值)的固定延时时间。上电延时定时器的定时时钟为系统内部振荡器。只要单片机产生上电复位或欠压检测复位, 单片机就会在上电复位或欠压检测复位发生后保持复位状态 32ms。上电延时定时器使单片机在 VDD 上升到适当电平后才投入正常运行。

由于 VDD、温度、制造工艺、内部振荡器频率等的变化, 不同单片机的上电延时时间有所差异。

## 13.7 不同复位条件下对寄存器的影响

表 13-2 寄存器在各种复位发生后的状态

地址	名称	上电复位	RST 复位 欠压检测	中断唤醒 WDT 超时唤醒
01H	T0	xxxx xxxx	uuuu uuuu	uuuu uuuu
02H	PCL	0000 0000	0000 0000	PC+1
03H	PSW	---1 1xxx	--0q quuu	--uq quuu
05H	P0	xxxx xxxx	xxxx xxxx	uuuu uuuu
06H	P2	xxxx xxxx	xxxx xxxx	uuuu uuuu
07H	P1	xxxx xxxx	xxxx xxxx	uuuu uuuu
08H	P3	xxxx xxxx	xxxx xxxx	uuuu uuuu
0AH	PCH	---0 0000	---0 0000	---u uuuu
0BH	INTCTL	0000 0000	0000 0000	uuuu uuuu
0CH	EIF1	0000 0000	0000 0000	uuuu uuuu
0DH	EIF2	0-00 -000	0-00 -000	u-uu -uuu
0EH	T1L	xxxx xxxx	xxxx xxxx	uuuu uuuu
0FH	T1H	xxxx xxxx	xxxx xxxx	uuuu uuuu
10H	T1CTL	0000 0000	0000 0000	uuuu uuuu
11H	T2L	0000 0000	0000 0000	uuuu uuuu
12H	T2CTL0	-000 0000	-000 0000	-uuu uuuu
17H	BANK	0	0	---- uuuu
18H	ADSCANCTL	0000 0000	0000 0000	uuuu uuuu
1DH	ANS1	1111 1111	1111 1111	uuuu uuuu
1EH	ADCDATA0H	xxxx xxxx	xxxx xxxx	uuuu uuuu
1FH	ADCCTL0	00-- --00	00-- --00	uu-- --uu
21H	OPTR	1111 1111	1111 1111	uuuu uuuu
22H	IP0	0	0	---- -uuu
23H	IP1	0000 0000	0000 0000	uuuu uuuu
24H	IP2	0-00 -000	0-00 -000	u-uu -uuu
25H	TR0	1111 1111	1111 1111	uuuu uuuu
26H	TR2	1111 1111	1111 1111	uuuu uuuu
27H	TR1	1111 1111	1111 1111	uuuu uuuu
28H	OSCSTA	-110	-110	-uuu --uu
29H	IP3	0000 0000	0000 0000	uuuu uuuu
2AH	OSCCAL2	1000 0000	1000 0000	uuuu uuuu
2BH	VREFCTL	0000 0000	0000 0000	uuuu uuuu
2CH	EIE1	0000 0000	0000 0000	uuuu uuuu
2DH	EIE2	0000 0000	0000 0000	uuuu uuuu
2EH	PCTL	--01 00xx	--01 00xx	--00 00uu
2FH	OSCCTL	0010 0000	0010 0000	uuuu uuuu
31H	ANS0	1111 1111	1111 1111	uuuu uuuu
32H	ANS2	1111 1111	1111 1111	uuuu uuuu
33H	ANS3	1111 1111	1111 1111	uuuu uuuu
34H	OSC0CAL2	0000 0101	0000 0101	uuuu uuuu
35H	PUR0	1111 1111	1111 1111	uuuu uuuu

地址	名称	上电复位	RST 复位 欠压检测	中断唤醒 WDT 超时唤醒
36H	IOCL0	0000 0000	0000 0000	uuuu uuuu
37H	OSCCAL1	0	0	---- -uuu
38H	NVMDATAH	0000 0000	0000 0000	uuuu uuuu
39H	NVMDATAL	0000 0000	0000 0000	uuuu uuuu
3AH	NVMADDRH	0000 0000	0000 0000	uuuu uuuu
3BH	NVMADDRL	0000 0000	0000 0000	uuuu uuuu
3CH	NVMCTL0	---- ----	---- ----	---- ----
3DH	NVMCTL1	---- ----	---- ----	---- ----
3EH	ADCDATA0L	xxxx xxxx	xxxx xxxx	uuuu uuuu
3FH	ADCCTL1	0000 00-0	0000 00-0	uuuu uu-u
40H	T2CCR0H	0000 0000	0000 0000	uuuu uuuu
41H	T2H	xxxx xxxx	xxxx xxxx	uuuu uuuu
42H	PP5H	xxxx xxxx	xxxx xxxx	uuuu uuuu
45H	P0LR	xxxx xxxx	xxxx xxxx	uuuu uuuu
46H	P2LR	xxxx xxxx	xxxx xxxx	uuuu uuuu
47H	P1LR	xxxx xxxx	xxxx xxxx	uuuu uuuu
48H	P3LR	xxxx xxxx	xxxx xxxx	uuuu uuuu
49H	TR3	1111 1111	1111 1111	uuuu uuuu
4AH	EIE3	0000 0000	0000 0000	uuuu uuuu
4BH	EIF3	0000 0000	0000 0000	uuuu uuuu
4CH	OSCCAL3	1000 1000	1000 1000	uuuu uuuu
4DH	OSCCAL0	0001 0000	0001 0000	uuuu uuuu
4EH	T3CTL	0000 0000	0000 0000	uuuu uuuu
4FH	T3L	0000 0000	0000 0000	uuuu uuuu
50H	ADCDATA1H	0000 0000	0000 0000	uuuu uuuu
51H	ADCDATA1L	0000 0000	0000 0000	uuuu uuuu
52H	PP5L	1111 1111	1111 1111	uuuu uuuu
53H	PINSET	0000 0000	0000 0000	uuuu uuuu
54H	T2CCR0L	0000 0000	0000 0000	uuuu uuuu
58H	ADCINTCTL	0--- --00	0--- --00	u--- --uu
59H	ADCDATA2H	0000 0000	0000 0000	uuuu uuuu
5AH	ADCDATA2L	0000 0000	0000 0000	uuuu uuuu
5EH	ADCDATA3H	0000 0000	0000 0000	uuuu uuuu
5FH	T3H	0000 0000	0000 0000	uuuu uuuu
60H	PUR1	0000 0000	0000 0000	uuuu uuuu
61H	PUR2	0000 0000	0000 0000	uuuu uuuu
62H	TMRBUZ	0	0	---- --uu
63H	ADCCTL2	0	0	---- uuuu
67H	INTEDGCTL	00-- ---1	00-- ---1	uu-- ---u
6AH	ADCDATA3L	0000 0000	0000 0000	uuuu uuuu
6BH	IOCL3	0000 0000	0000 0000	uuuu uuuu
6CH	PUR3	0000 0000	0000 0000	uuuu uuuu
108H	DIVRH	0000 0000	0000 0000	uuuu uuuu
10FH	T2CTL1	0000 0--0	0000 0--0	uuuu u--u
115H	DIVBH	0000 0000	0000 0000	uuuu uuuu

地址	名称	上电复位	RST 复位 欠压检测	中断唤醒 WDT 超时唤醒
116H	T2CCR1L	0000 0000	0000 0000	uuuu uuuu
118H	T2CCR1H	0000 0000	0000 0000	uuuu uuuu
12FH	WDTPS	100	100	---- uuuu
130H	MULAH	0000 0000	0000 0000	uuuu uuuu
131H	MULAL	0000 0000	0000 0000	uuuu uuuu
132H	MULBH	0000 0000	0000 0000	uuuu uuuu
133H	MULBL	0000 0000	0000 0000	uuuu uuuu
134H	MULCTL	0	0	---- --uu
135H	MULRES3	0000 0000	0000 0000	uuuu uuuu
136H	MULRES2	0000 0000	0000 0000	uuuu uuuu
137H	MULRES1	0000 0000	0000 0000	uuuu uuuu
138H	MULRES0	0000 0000	0000 0000	uuuu uuuu
139H	DIVCTL	0000 0000	0000 0000	uuuu uuuu
13AH	DIVAH	0000 0000	0000 0000	uuuu uuuu
13BH	DIVAL	0000 0000	0000 0000	uuuu uuuu
13CH	DIVBL	0000 0000	0000 0000	uuuu uuuu
13DH	DIVQH	0000 0000	0000 0000	uuuu uuuu
13EH	DIVQL	0000 0000	0000 0000	uuuu uuuu
13FH	DIVRL	0000 0000	0000 0000	uuuu uuuu
159H	VREFCAL0	0000 0000	0000 0000	uuuu uuuu
15AH	VREFCAL1	1010 0000	1010 0000	uuuu uuuu
15BH	HLVDCTL	0000 0000	0000 0000	uuuu uuuu
15DH	T3REL	0000 0000	0000 0000	uuuu uuuu
15EH	T3REH	0000 0000	0000 0000	uuuu uuuu
160H	T4L	0000 0000	0000 0000	uuuu uuuu
161H	T4H	0000 0000	0000 0000	uuuu uuuu
162H	T4REL	0000 0000	0000 0000	uuuu uuuu
163H	T4REH	0000 0000	0000 0000	uuuu uuuu
164H	T4CTL	0000 0000	0000 0000	uuuu uuuu
165H	RC32KCAL	0000 0000	0000 0000	uuuu uuuu
206H	ANS4	1111 1111	1111 1111	uuuu uuuu
207H	ANS5	1111 1111	1111 1111	uuuu uuuu
208H	ANS6	1111 1111	1111 1111	uuuu uuuu
209H	ANS7	1111 ----	1111 ----	uuuu ----
20CH	P4	xxxx xxxx	xxxx xxxx	uuuu uuuu
20DH	P4LR	xxxx xxxx	xxxx xxxx	uuuu uuuu
20EH	TR4	1111 1111	1111 1111	uuuu uuuu
20FH	PUR4	1111 1111	1111 1111	uuuu uuuu
210H	P5	-xxx xxxx	-xxx xxxx	-uuu uuuu
211H	P5LR	-xxx xxxx	-xxx xxxx	-uuu uuuu
212H	TR5	-111 1111	-111 1111	-uuu uuuu
213H	PUR5	1111 1111	1111 1111	uuuu uuuu
214H	P6	-xxx xxxx	-xxx xxxx	-uuu uuuu
215H	P6LR	-xxx xxxx	-xxx xxxx	-uuu uuuu
216H	TR6	-111 1111	-111 1111	-uuu uuuu
218H	PUR6	1111 1111	1111 1111	uuuu uuuu
219H	P7	xxxx ----	xxxx ----	uuuu ----

地址	名称	上电复位	RST 复位 欠压检测	中断唤醒 WDT 超时唤醒
21AH	P7LR	xxxx ----	xxxx ----	uuuu ----
21BH	TR7	1111 ----	1111 ----	uuuu ----
21CH	PUR7	1111 ----	1111 ----	uuuu ----
21FH	PP1	1111 1111	1111 1111	uuuu uuuu
220H	PP2	1111 1111	1111 1111	uuuu uuuu
236H	TEMPSNR	---- --00	---- --00	---- --uu
250H	BKPCTL	0000 0000	0000 0000	uuuu uuuu
333H	LCDCCTL2	---- --00	---- --00	---- --uu
334H	LCDPTL	0000 0000	0000 0000	uuuu uuuu
335H	LCDSP	0000 0000	0000 0000	uuuu uuuu
336H	LCDCCTL0	0001 0011	0001 0011	uuuu uuuu
337H	LCDCCTL1	0011 0000	0011 0000	uuuu uuuu
338H	LCDPDR	1110 0110	1110 0110	uuuu uuuu
339H	LCDFLKCTL	0--- ---0	0--- ---0	u--- ---u
33AH	LCDFLKON	0000 0000	0000 0000	uuuu uuuu
33BH	LCDFLKOFF	0000 0000	0000 0000	uuuu uuuu
33CH	LCDSE0	0000 0000	0000 0000	uuuu uuuu
33DH	LCDSE1	0000 0000	0000 0000	uuuu uuuu
33EH	LCDSE2	0000 0000	0000 0000	uuuu uuuu
33FH	LCDSE3	0000 0000	0000 0000	uuuu uuuu
340H	LCDDATA0	xxxx xxxx	xxxx xxxx	uuuu uuuu
341H	LCDDATA1	xxxx xxxx	xxxx xxxx	uuuu uuuu
342H	LCDDATA2	xxxx xxxx	xxxx xxxx	uuuu uuuu
343H	LCDDATA3	xxxx xxxx	xxxx xxxx	uuuu uuuu
344H	LCDDATA4	xxxx xxxx	xxxx xxxx	uuuu uuuu
345H	LCDDATA5	xxxx xxxx	xxxx xxxx	uuuu uuuu
346H	LCDDATA6	xxxx xxxx	xxxx xxxx	uuuu uuuu
347H	LCDDATA7	xxxx xxxx	xxxx xxxx	uuuu uuuu
348H	LCDDATA8	xxxx xxxx	xxxx xxxx	uuuu uuuu
349H	LCDDATA9	xxxx xxxx	xxxx xxxx	uuuu uuuu
34AH	LCDDATA10	xxxx xxxx	xxxx xxxx	uuuu uuuu
34BH	LCDDATA11	xxxx xxxx	xxxx xxxx	uuuu uuuu
34CH	LCDDATA12	xxxx xxxx	xxxx xxxx	uuuu uuuu
34DH	LCDDATA13	xxxx xxxx	xxxx xxxx	uuuu uuuu
34EH	LCDDATA14	xxxx xxxx	xxxx xxxx	uuuu uuuu
34FH	LCDDATA15	xxxx xxxx	xxxx xxxx	uuuu uuuu
350H	LCDDATA16	xxxx xxxx	xxxx xxxx	uuuu uuuu
351H	LCDDATA17	xxxx xxxx	xxxx xxxx	uuuu uuuu
352H	LCDDATA18	xxxx xxxx	xxxx xxxx	uuuu uuuu
353H	LCDDATA19	xxxx xxxx	xxxx xxxx	uuuu uuuu
354H	LCDDATA20	xxxx xxxx	xxxx xxxx	uuuu uuuu
355H	LCDDATA21	xxxx xxxx	xxxx xxxx	uuuu uuuu
356H	LCDDATA22	xxxx xxxx	xxxx xxxx	uuuu uuuu
357H	LCDDATA23	xxxx xxxx	xxxx xxxx	uuuu uuuu
358H	LCDDATA24	xxxx xxxx	xxxx xxxx	uuuu uuuu
359H	LCDDATA25	xxxx xxxx	xxxx xxxx	uuuu uuuu
35AH	LCDDATA26	xxxx xxxx	xxxx xxxx	uuuu uuuu

地址	名称	上电复位	RST 复位 欠压检测	中断唤醒 WDT 超时唤醒
35BH	LCDDATA27	xxxx xxxx	xxxx xxxx	uuuu uuuu
35CH	LCDDATA28	xxxx xxxx	xxxx xxxx	uuuu uuuu
35DH	LCDDATA29	xxxx xxxx	xxxx xxxx	uuuu uuuu
35EH	LCDDATA30	xxxx xxxx	xxxx xxxx	uuuu uuuu
35FH	LCDDATA31	xxxx xxxx	xxxx xxxx	uuuu uuuu
360H	POWCTL	0000 0000	0000 0000	uuuu uuuu
361H	PCAL	0001 1111	0001 1111	uuuu uuuu
362H	XTALCAL	0101 0000	0101 0000	uuuu uuuu
363H	BWDTCTL	0000 0000	0000 0000	uuuu uuuu
364H	PHCLR	0000 0000	0000 0000	uuuu uuuu
365H	LPRCCAL	0000 0000	0000 0000	uuuu uuuu
366H	LPRCCTL	0000 0100	0000 0100	uuuu uuuu
367H	ULPKEY	0000 0000	0000 0000	uuuu uuuu
368H	BBODCTL	0000 0000	0000 0000	uuuu uuuu
369H	BKPREG0	0000 0000	0000 0000	uuuu uuuu
36AH	BKPREG1	0000 0000	0000 0000	uuuu uuuu
36BH	BKPREG2	0000 0000	0000 0000	uuuu uuuu
36CH	BKPREG3	0000 0000	0000 0000	uuuu uuuu

表 13-3 不同复位条件下对标志位的影响

$\overline{\text{POR}}$	$\overline{\text{LVR}}$	$\overline{\text{TO}}$	$\overline{\text{PD}}$	复位方式
0	u	1	1	上电复位
1	0	1	1	欠压检测复位
u	u	0	u	WDT 复位
u	u	0	0	WDT 唤醒
u	u	u	u	正常操作中的 $\overline{\text{RST}}$ 复位
u	u	1	0	休眠模式中的 $\overline{\text{RST}}$ 复位

图注: u=未发生变化

## 14 电源管理和功耗模式

KF8L20 系列单片机提供备份区，当主电源 VDD 掉电后，通过 VBAT 脚为备份区提供电源，允许液晶显示（LCD）和备份寄存器（BKP-REGISTER）继续工作。

### 14.1 电源

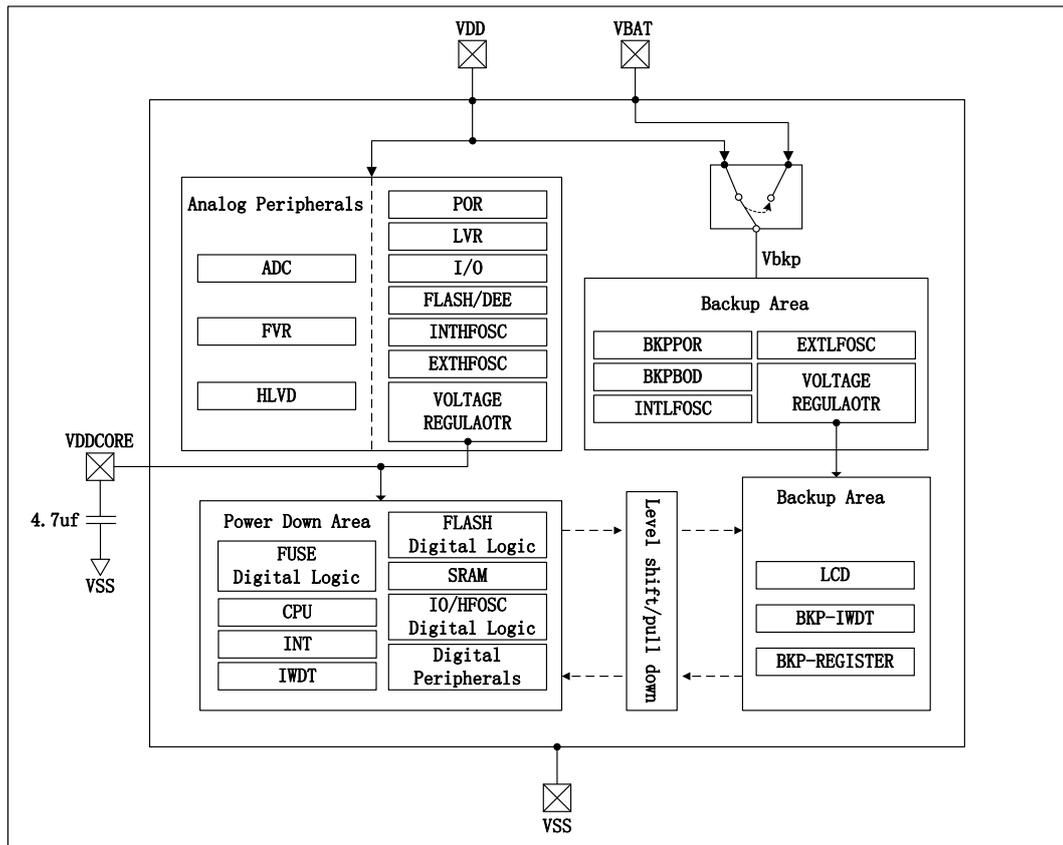


图 14.1 电源管理系统框图

KF8L20 系列单片机有四个和电源地相关的管脚：

- VDD：主供电源
- VBAT：电池脚，在主电源掉电时用于备份区供电
- VDDCORE：内置电压调节器电压，须外接 4.7uf 电容
- VSS：接地

KF8L20 的工作电压为 1.8V~5.5V；VDDCORE 为内置电压调节器提供的 1.8V 电源（不同工作模式下，VDDCORE 的电压不同），VDDCORE 脚必须外接 4.7uf 电容，以确保单片机可正常工作；当主电源 VDD 掉电后，VDDCORE 掉电，VBAT 脚为备份区提供电源，液晶显示（LCD）继续运行，备份寄存器的数据不会丢失。

如果 VBAT 脚悬空，主供电源可以为备份区供电，当主供电源掉电后，备份区掉电。

### 14.1.1 备份区电源 Vb<sub>kp</sub>

备份区内置电源开关，主 LVR 用于控制备份区电源开关。

当配置字的 LVREN 位为 0 时，LVR 被禁止，备份区电源开关固定选择 VDD 作为备份区的供电电源，即当主电源 VDD 掉电时，即使 VBAT 外接电源，备份区也会掉电。

当配置字的 LVREN 位为 1 时，LVR 被使能，备份区电源开关状态切换：

- 备份区电源开关从 VDD 切换到 VBAT：LVR 检测到低电压并发生复位事件；
- 备份区电源开关从 VBAT 切换到 VDD：LVR 检测到电压上升并发生退出复位事件。

### 14.1.2 内置电压调节器

KF8L20 有两个内置电压调节器：主电压调节器和备份区电压调节器。在不同工作模式下，两个电压调节器的工作状态如下表所示：

表 14-1 内置电压调节器工作状态表

工作模式	主电压调节器	备份区电压调节器
运行模式	正常功耗模式运行	正常功耗模式运行
普通休眠模式	正常功耗模式运行	正常功耗模式运行
深度休眠模式	低功耗模式运行	低功耗模式运行
超低功耗模式	关闭	低功耗模式运行
VDD(供电电源)掉电	关闭	低功耗模式运行

## 14.2 电源管理

KF8L20 系列单片机有一套 POR 和 LVR 电路，用于主供电电源 VDD；详细描述见复位章节相关内容。备份区有一套单独的 BKPPOR 和 BKPBOD 对备份区进行电源检测。

当 Vb<sub>kp</sub> 低于 VBKPPOR 时，备份区保持复位状态；当 Vb<sub>kp</sub> 高于 VBKPPOR 时，备份区退出复位；BKPBOD 通过软件使能，在使能 BKPBOD 条件下，当 Vb<sub>kp</sub> 低于 VBKPBOD 时，BKPBOD 标志位置 1。

关于 POR、LVR、BKPPOR、BKPBOD 的细节请参考数据手册的电气特性相关章节。

### 14.3 备份区

KF8L20 系列单片机备份区内资源如下：

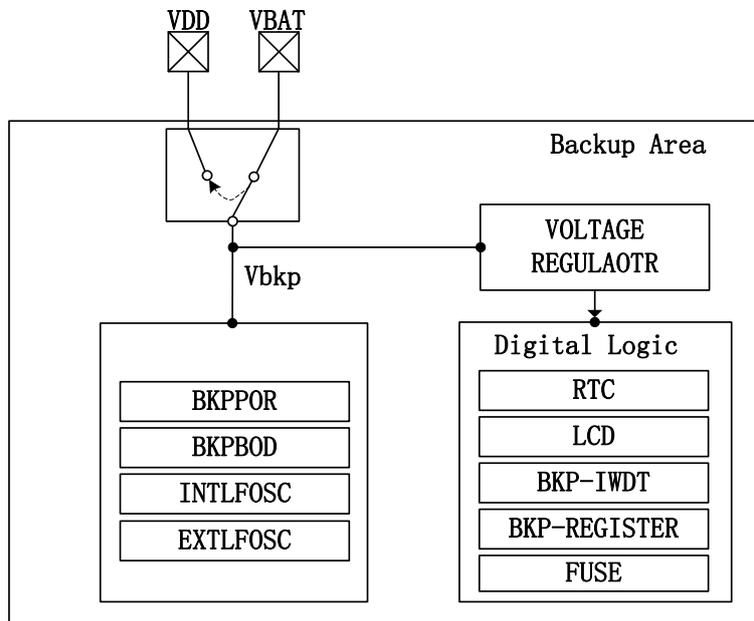


图 14.2 备份区资源图

备份区内有独立的 BKPPOR、BKPBOD 和电压调节器；当 LVR 使能且 VBAT 外接电源的条件下，允许备份区在主电源掉电的情况下继续工作。BKPBOD 通过 BBODCTL 寄存器控制，将 BBODEN 位置 1 可使能 BKPBOD。

备份区内置一个专用看门狗模块，用于超低功耗模式的唤醒。

内部低频振荡器和外部低频振荡器也在备份区内，以保证液晶显示（LCD）和备份区专用看门狗（BKP-IWDT）可以正常工作。

#### 14.3.1 备份区数据寄存器

备份区内配有 4 组数据寄存器，可用于超低功耗模式下的数据保存。

表 14-2 备份区数据寄存器表

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
369H	BKPREG0	备份区数据寄存器 0							
36AH	BKPREG1	备份区数据寄存器 1							
36BH	BKPREG2	备份区数据寄存器 2							
36CH	BKPREG3	备份区数据寄存器 3							

### 14.3.2 备份区复位

如下两种情况会将备份区复位，否则备份区内所有寄存器数据将被保持，被使能的外设将继续工作。

1. 供电源和电池电压均在备份区复位电压以下；
2. 发生外部 RST 复位。

### 14.3.3 备份区配置寄存器(BKPCTL)

用户在对备份区相关寄存器进行操作前，需要先对备份区配置寄存器进行配置，否则无法对备份区进行操作。备份区配置寄存器位于掉电区域（power down area），即超低功耗模式启动后，该寄存器将被复位。

**寄存器： BKPCTL： 备份区控制寄存器(地址:250H)**

复位值 0000 0000	bit7							bit0
	BKP7	BKP6	BKP5	BKP4	BKP3	BKP2	BKP1	BKP0
	R/W							

- BKP7:** 备份区接口配置位  
 0 = 备份区接口处于默认状态  
 1 = 备份区接口开放，可对备份区内寄存器进行读写操作
- BKP6:** LCD 模块寄存器写时钟使能位  
 0 = 写时钟未使能  
 1 = 写时钟使能
- BKP5:** 备份区接口软件解锁位  
 0 = 关闭软件解锁备份区接口  
 1 = 软件解锁备份区接口
- BKP<4:0>:** 保留位

注：请在初始化程序中，将 BKP0 位置 1。

### 14.3.4 备份区寄存器的读写

333H 到 36CH 地址 SFR 位于备份区内，在对备份区内 SFR 进行读写操作前，需要将 BKPCTL 寄存器的 BKP7 位置 1，否则将无法进行读写操作。

```
MOVB #0X02      ; 切换至 2 区
SET BKPCTL,BKP7 ; 开放备份区接口
MOVB #0X00      ; 切换回 0 区
```

对 LCD 模块进行寄存器读写操作时，需要将 BKPCTL 寄存器的 BKP7 位和 BKP6 位置 1，否则将无法进行读写操作。

```
MOVB #0X02      ; 切换至 2 区
SET BKPCTL,BKP7 ; 开放备份区接口
SET BKPCTL,BKP6 ; 使能 LCD 模块寄存器写时钟
MOVB #0X00      ; 切换回 0 区
```

对备份区数据寄存器（BKPREG0-3）读写操作时，需要将 BKPCTL 寄存器的 BKP7 位和 PHCLR 寄存器的 REGCLR 位置 1，否则将无法进行读写操作。

```

MOVB #0X02      ; 切换至 2 区
SET BKPCTL,BKP7 ; 开放备份区接口
MOVB #0X03      ; 切换至 3 区
SET PHCLR, REGCLR ; 备份区数据寄存器组退出复位
...

```

## 14.4 功耗模式

KF8L20 系列单片机提供丰富的功耗模式供用户选择，以满足用户对功耗的不同需求。KF8L20 提供如下功耗模式：

- 正常运行模式 (Normal run mode, NR)
- 普通休眠模式 (Sleep mode, SLP)
- 深度休眠模式 (Deep sleep mode, DSLP)
- 超低功耗模式 (Ultra-Low power mode, ULP)
- 掉电模式 (Power Down mode, PD)

### 14.4.1 功耗模式相关寄存器

表 14-3 功耗模式相关寄存器表

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
360H	POWCTL	IOLATCH	VCORM	FULATCH	PHPDM	WKPEN	WKPF	DSL PEN	ULPEN
364H	PHCLR	VRTCS	VLCDS	BWDTCLR	REGCLR	PDRTC	PDLCD	EXTLFEN	INTLFEN
367H	ULPKEY	UKEY7	UKEY6	UKEY5	UKEY4	UKEY3	UKEY2	UKEY1	UKEY0
368H	BBODCTL	BBODEN	BSCAN	-	-	-	-	-	BBODF

#### 14.4.1.1 功耗模式控制寄存器

寄存器： **POWCTL**：功耗模式控制寄存器(地址:360H)

复位值 0000 0000	bit7						bit0	
	IOLATCH	VCORM	FULATCH	PHPDM	WKPEN	WKPF	DSL PEN	ULPEN
	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

**IOLATCH**: IO 口状态锁存控制位

0 = IO 口状态未锁存

1 = IO 口状态被锁存

**VCORM**: 保留位

**FULATCH**: FUSE 状态锁存控制位

0 = 未软件锁存 FUSE 状态

1 = 软件锁存 FUSE 状态

**PHPDM**: 保留位

**WKPEN**: 外部引脚唤醒使能位

0 = 禁止外部引脚唤醒

1 = 使能外部引脚唤醒，外部唤醒引脚 P0.6 的上升沿将唤醒单片机

- WKPF:** 外部唤醒引脚标志位  
0 = 未发生外部唤醒事件  
1 = 发生外部唤醒事件
- DSL PEN:** 深度休眠模式使能位  
0 = 禁止深度休眠模式  
1 = 使能深度休眠模式
- ULPEN:** 超低功耗模式使能位  
0 = 禁止超低功耗模式  
1 = 使能超低功耗模式

注：编程时 FULATCH 位将被硬件清零。

VCORM 位为系统保留位，该位默认为 0，请勿将该位置 1。

#### 14.4.1.2 超低功耗模式解锁寄存器

**寄存器: ULPKEY: 超低功耗模式解锁寄存器(地址:367H)**

	bit7							bit0
复位值 0000 0000	UKEY7	UKEY6	UKEY5	UKEY4	UKEY3	UKEY2	UKEY1	UKEY0
	R/W							

**UKEY<7:0>:** 超低功耗模式解锁位

当 ULPEN=0 时，ULPKEY 寄存器保持复位状态，UKEY=00H

当 ULPEN=1 时，ULPKEY 寄存器退出复位状态，对 ULPKEY 寄存器写入 00H，单片机将进入超低功耗模式

#### 14.4.1.3 备份区外设复位寄存器

**寄存器: PHCLR: 备份区外设复位寄存器(地址:364H)**

	bit7						bit0	
复位值 1100 0000	-	-	BWDTCLR	REGCLR	-	-	EXTLFEN	INTLFEN
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**BWDTCLR:** 备份区专用看门狗模块复位控制位

0 = 备份区专用看门狗模块处于复位状态

1 = 备份区专用看门狗模块退出复位状态

**REGCLR:** 备份区数据寄存器复位控制位

0 = 备份区数据寄存器处于复位状态

1 = 备份区数据寄存器退出复位状态

**EXTLFEN:** 外部低频振荡器软件使能位

0 = 软件未使能外部低频振荡器

1 = 软件使能外部低频振荡器

**INTLFEN:** 内部低频振荡器软件使能位

0 = 软件未使能内部低频振荡器

1 = 软件使能内部低频振荡器

注：

1. 请勿将 Bit7 和 Bit6 位清零，请勿将 Bit3 和 Bit2 位置 1，否则可能导致工作不正常；
2. 如需使用备份区专用看门狗，须将复位控制位置 1 以退出复位状态，否则无法使能；
3. 当外设时钟选择内部低频时钟或者外部低频时钟时，硬件将自动使能对应振荡器，即使振荡器软件使能位未置 1。

#### 14.4.1.4 备份区 BOD 控制寄存器

**寄存器： BBODCTL： 备份区BOD控制寄存器(地址:368H)**

		bit7					bit0	
复位值 0000 0000		BBODEN	BSCAN	-	-	-	-	BBODF
		R/W	R/W	R/W	R/W	R/W	R/W	R/W

**BBODEN：** 备份区 BOD 使能位

0 = 禁止备份区 BOD

1 = 使能备份区 BOD

**BSCAN：** 备份区 BOD 检测模式选择位

0 = 常规模式，BOD 持续检测

1 = 间隔检测模式，BOD 每 1 秒内检测一次，检测时间为 32us

**BBODF：** 备份区 BOD 标志位

0 = 未检测到 Vb<sub>kp</sub> 低电压

1 = 检测到 Vb<sub>kp</sub> 低电压

#### 14.4.1.5 备份区专用看门狗控制寄存器

**寄存器： BWDCTL： 备份区专用看门狗控制寄存器(地址:363H)**

		bit7					bit0		
复位值 0000 0000		BWDTEN	BPS3	BPS2	BPS1	BPS0	BAPS2	BAPS1	BAPS0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

**BWDTEN：** 备份区专用看门狗使能位

0 = 禁止备份区专用看门狗

1 = 使能备份区专用看门狗

**BPS<3:0>：** 看门狗定时器预分频比选择位

0000 = 1: 32

0001 = 1: 64

0010 = 1: 128

0011 = 1: 256

0100 = 1: 512

0101 = 1: 1024

0110 = 1: 2048

0111 = 1: 4096

1000 = 1: 8192

1001 = 1: 16384

1010 = 1: 32768

1011 = 1: 65536

11xx = 保留

BAPS<2:0>: 看门狗定时器后分频比选择位

- 000 = 1: 1
- 001 = 1: 2
- 010 = 1: 4
- 011 = 1: 8
- 100 = 1: 16
- 101 = 1: 32
- 110 = 1: 64
- 111 = 1: 128

#### 14.4.2 正常运行模式

单片机退出上电复位后,处于正常运行模式(Normal run mode)下;MCU正常工作(系统时钟运行),所有外设均可使用,内部高频振荡器、内部低频振荡器、外部高频振荡器和外部低频振荡器均被允许使用。用户可以按照功能需求对MCU进行设置以达到最佳性能。

#### 14.4.3 普通休眠模式

在如下配置条件下执行IDLE指令,单片机将进入普通休眠模式。

- BKPCTL\_bit0=1
- POWCTL\_DSLPEN=0
- POWCTL\_ULPEN=0

普通休眠模式下,系统时钟被禁止,CPU停止工作,程序停止运行;RAM保持;部分外设被禁止使用,部分外设允许使用内部低频时钟或者外部低频时钟继续工作。

表 14-4 普通休眠模式信息表

功耗模式	配置	状态	允许的外设
正常运行模式	BKPCTL_bit0=1 POWCTL_DSLPEN=0 POWCTL_ULPEN=0	系统时钟被禁止 CPU 停止工作 程序停止运行 RAM 保持	T1/T3/T4 LED LCD IWDT

#### 14.4.4 深度休眠模式

在如下配置条件下执行IDLE指令,单片机将进入深度休眠模式。

- BKPCTL\_bit0=1
- POWCTL\_DSLPEN=1
- POWCTL\_ULPEN=0

深度休眠模式与普通休眠模式在禁止和开放资源上相同,区别在于深度休眠模式有更低的功耗和更长的唤醒时间,详细数据请参考电气特性。

#### 14.4.5 普通/深度休眠模式下 I/O 口注意事项

为使休眠状态下(普通休眠模式和深度休眠模式)的电流消耗降至最低,应使所有I/O口状态确定,如果有的端口没有使用,最好设置为输入,接到VDD或VSS上,或者打开弱上拉。如果没用的端口悬空,应设置为输出,以确保I/O引脚没有耗散电流产生,其他在休

眠时不用的外设都要关闭。

#### 14.4.6 普通/深度休眠模式唤醒方式

单片机进入普通/深度休眠模式后由于工作的需要，要将单片机从休眠状态唤醒，在 KF8L20 中可通过以下方式将单片机从休眠状态唤醒：

1. RST 引脚上输入的外部复位
2. 看门狗定时器唤醒(如果 WDT 已被使能)
3. INT0 内部中断
4. P0 口电平变化中断
5. 外设中断

RST 引脚输入的复位信号在唤醒单片机的同时也将导致单片机复位。其它唤醒时将单片机从休眠状态唤醒，并不会导致复位。可通过状态寄存器中的  $\overline{TO}$  和  $\overline{PD}$  位来确定单片机唤醒的原因。上电时  $\overline{PD}$  位将被置 1，而当器件从休眠状态唤醒时，该位将被清 0。 $\overline{TO}$  位则在 WDT 唤醒发生时被清 0。

在使用中断方式唤醒时，必须使能相应的中断使能位，唤醒与 AIE 位的状态无关。如果 AIE 位被清 0，单片机被唤醒后将继续执行 IDLE 指令后面的指令。如果 AIE 位被置 1，单片机执行 IDLE 指令后面一条指令后进入中断子程序。如果不希望执行 IDLE 指令后面的那条指令直接进入中断子程序，在 IDLE 指令加一条 NOP 指令即可。

#### 14.4.7 超低功耗模式

为使芯片有更低的功耗，KF8L20 系列单片机提供超低功耗模式。该模式下，内置电压调节器关闭，除备份区以外的数字逻辑部分（系统时钟/CPU/RAM/数字外设等）掉电，最大程度节省功耗。超低功耗模式下，备份区的内置电压调节器以极低的功耗维持备份区正常工作。

超低功耗模式被外部唤醒引脚、闹钟中断或者备份区专用看门狗唤醒后，单片机被复位，系统时钟工作并重新开始执行程序；备份区内仍然继续工作、数据保持不受唤醒操作的影响。如果使能外部复位引脚 P0.0/RST 的外部复位功能，当发生外部复位事件时，备份区将被一起复位。

##### 14.4.7.1 进入超低功耗模式的方法

通过如下操作步骤使芯片进入超低功耗模式：

1. 将 P0.1 口配置为输出口，并输出低电平；将 P0.2 口配置为数字输入口；
2. 将 POWCTL 寄存器的 IOLATCH 位置 1，锁存当前 IO 口状态；
3. 将 POWCTL 寄存器的 ULPEN 位置 1，使能超低功耗模式；
4. 对 ULPKEY 寄存器进行写 C0H 操作，单片机进入超低功耗模式。

MOVB #0X00	;切换到BANK0
*CLR TR0, 1	;P0.1口配置为输出
*CLR P0LR, 1	;P0.1口输出低电平
SET TR0, 2	;P0.2口配置
MOVB #0X03	;切换到BANK3
SET POWCTL, IOLATCH	;锁存IO口当前状态
SET POWCTL, VCORM	;内置电压调节器工作在低功耗模式
SET POWCTL, ULPEN	;使能超低功耗模式
MOV R0, #0XC0	
MOV ULPKEY, R0	;写寄存器解锁, 单片机进入超低功耗模式
NOP	

**图 14.3超低功耗模式使能操作样例程序**

注：进入超低功耗模式后，P0.1 和 P0.2 口将被强制为数字口，且 P0.2 口的弱上拉功能被强制使能，以用于超低功耗模式下可能进行的编程操作；超低功耗模式下，禁止使用 P0.1 口和 P0.2 口对应的 LCDS19 和 LCDS18；因此在锁存 IO 口状态之前，将 P0.2 口配置为输入口（请勿配置为输出口以防额外电流产生）；如果 P0.1 口悬空，可将 P0.1 口配置为输出口；或者 P0.1 口外接低电平或者高电平。

在执行完最后一步的 ULPKEY 寄存器赋值后，不需要执行 IDLE 指令，芯片将进入超低功耗模式。

#### 14.4.7.2超低功耗模式的唤醒方式

KF8L20 系列单片机在超低功耗模式下可以通过如下几种方式唤醒：

1. 外部复位引脚（P0.3/RST）复位
2. 外部引脚（P0.6/ULPINT）唤醒
3. 备份区专用看门狗唤醒

超低功耗模式被外部唤醒引脚或者备份区专用看门狗唤醒后，单片机被复位，系统时钟工作并重新开始执行程序；备份区内仍然继续工作、数据保持不受唤醒操作的影响。如果使能外部复位引脚 P0.0/RST 的外部复位功能，当发生外部复位事件时，备份区将被一起复位。

POWCTL 寄存器的 ULPEN 位和 ULPKEY 寄存器在唤醒后被硬件清零。

注：使用外部引脚唤醒超低功耗模式，软件在使能之前（POWCTL 寄存器的 WKPEN 位置 1 之前），需要对 POWCTL 寄存器的 WKPEN 位进行清零操作；因为单片机从超低功耗模式下被外部引脚唤醒时，备份区不会被复位，因此唤醒信息将被保存，WKPF 位置 1；WKPF 位为只读位，清零 WKPEN 位操作将清零 WKPF 位；如果不清零 WKPF 位，将无法再接收到外部引脚唤醒信号。样例如下：

MOVB #0X03	;切换到BANK3
CLR POWCTL, WKPEN	;禁止外部引脚唤醒功能并清除上次唤醒状态
SET POWCTL, WKPEN	;使能外部引脚唤醒功能

#### 14.4.7.3超低功耗模式下 I/O 口状态

在使能超低功耗模式之前，用户需要软件锁存 I/O 口的状态。将 POWCTL 寄存器的 IOLATCH 位置 1 后，单片机将 I/O 口的 TRx 寄存器和 PxLR 寄存器的状态进行锁存操作，

以防止超低功耗模式下 I/O 口数字逻辑部分掉电后，对 I/O 口状态造成影响。

POWCTL 寄存器的 IOLATCH 位置 1 后，任何对 TRx 寄存器和 PxLR 寄存器进行写操作都不会改变 I/O 口的状态。直到 IOLATCH 位清零，I/O 口状态才会被更新。POWCTL 寄存器在备份区内，因此即使从超低功耗模式唤醒后（非复位），IOLATCH 位仍为 1，用户需要将该位清零。

IOLATCH 位不会对 ANSx 寄存器进行锁存操作，因此从超低功耗模式唤醒后，ANSx 寄存器被复位为 FFH。

MOVB #0X03	;	切换到BANK3
CLR POWCTL, IOLATCH	;	IO口状态解锁

图 14.4 超低功耗模式唤醒后须执行的样例程序

#### 14.4.7.4 备份区专用看门狗

备份区内置一个专用看门狗定时器 BKP-WDT，计数时钟源由内部低频振荡器提供（ $F_{INTLF} \approx 31.25\text{KHZ}$ ）。使用 BKP-WDT 前，需要将 PHCLR 寄存器的 INTLFEN 位置 1 使能内部低频振荡器，否则 BKP-WDT 无法正常使用。

使用时，先将 PHCLR 寄存器的 BWDTCCLR 位置 1 使 BKP-WDT 退出复位状态，再对 BWDTCCTL 寄存器进行配置。备份区专用看门狗的周期：

$$T_{BKP-WDT} = \frac{2^{BPS \langle 3:0 \rangle + 5} \times 2^{BAPS \langle 2:0 \rangle}}{F_{INTLF}}$$

注： $F_{INTLF}$  为内部低频振荡器频率，约 31.25KHZ。

备份区专用看门狗溢出时不会对备份区进行复位，可用于超低功耗模式唤醒，详见超低功耗模式的唤醒方式章节。

## 15 看门狗定时器

为了防止单片机在正常工作时程序跑飞，KF8L20 提供一个看门狗定时器。看门狗定时器使用内部低频振荡器作为工作时钟源，因此它无需外接任何器件。单片机正常工作时，当看门狗定时器定时时间达到超时时间后，会使单片机产生复位。在休眠模式看门狗仍能正常运行，超时将唤醒单片机并使其继续执行 IDLE 后面的指令。

### 15.1 看门狗相关寄存器

表 15-1 看门狗相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
2EH	PCTL	-	-	-	SLVREN	IPEN	SWDTEN	$\overline{\text{POR}}$	$\overline{\text{LVR}}$
12FH	WDTPS	-	-	-	-	WDTPS3	WDTPS2	WDTPS1	WDTPS0

#### 15.1.1 看门狗预分频选择寄存器 WDTPS

寄存器14.1: WDTPS: WDT预分频选择寄存器(地址:12FH)

bit7				bit0				
复位值 ---0100	-	-	-	-	WDTPS3	WDTPS2	WDTPS1	WDTPS0
	R/W	U	U	U	R/W	R/W	R/W	R/W

WDTPS<3:0>:看门狗定时器预分频比选择位

- 0000 = 1: 32
- 0001 = 1: 64
- 0010 = 1: 128
- 0011 = 1: 256
- 0100 = 1: 512 (默认) 16ms
- 0101 = 1: 1024
- 0110 = 1: 2048
- 0111 = 1: 4096
- 1000 = 1: 8192
- 1001 = 1: 16384
- 1010 = 1: 32768
- 1011 = 1: 65536
- 其他 = 保留

## 15.2 看门狗的开启方式

看门狗的开启/关闭方式：

- 通过配置位 **WDTEN**，打开/关闭看门狗；
- 通过寄存器 **PCTL** 的 **SWDTEN** 位，打开/关闭看门狗。

上述两种方式任意一种都可启动看门狗；配置位 **WDTEN** 一旦使能，看门狗将一直开启，软件配置位 **SWDTEN** 无效；配置位 **WDTEN** 未使能时，软件配置位 **SWDTEN** 允许用户在软件上根据实际需求打开/关闭看门狗。

## 15.3 看门狗的清狗方式

为了防止在正常工作时看门狗超时复位，要在固定的时间内对看门狗定时器进行清狗操作。执行 **CWDT** 指令进行清狗操作或者执行 **IDLE** 指令进入休眠模式后，将清零整个看门狗定时器（包括看门狗预分频器和后分频器）。当看门狗定时器出现超时，状态字寄存器 **PSW** 中的 **T0** 位将被清 0。

看门狗定时器使用内部低频振荡器作为工作时钟源，因此它无需外接任何器件，在休眠模式仍能正常运行。**WDT** 超时事件对单片机的动作：

- 在正常运行时，**WDT** 超时事件将使单片机产生一次复位；
- 在休眠模式下，**WDT** 超时事件将唤醒单片机并使其继续执行 **IDLE** 后面的指令。

## 15.4 看门狗的周期

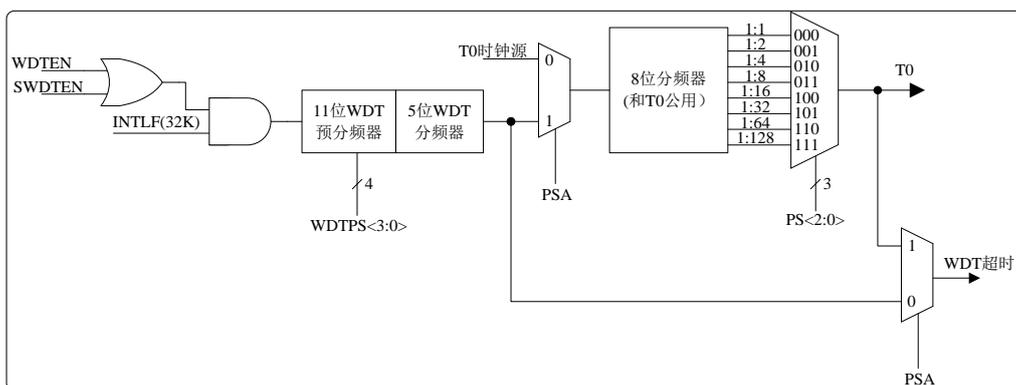


图 15.1 看门狗定时器框图

看门狗周期计算公式如下：

$$T_{WDT} = \frac{2^{WDTPS\langle 3:0 \rangle + 5} \times 2^{PS\langle 2:0 \rangle}}{F_{INTLF}}$$

注： $F_{INTLF}$  为内部低频振荡器频率，约 31.25KHZ。

如上框图所示：看门狗定时器的时钟源为内部低频时钟（带校正功能的 31.25KHZ），相关内容详见内部低频振荡器章节。

看门狗定时器的周期由两个分频器的配置决定，最短约 1ms，最长约 268s，默认配置时为 16ms。由于温度、电源电压和工艺等的差异，不同器件之间的超时周期稍有不同。

看门狗定时器带有两个分频器：

- 一个 16 位（11 位可编程）预分频器；
- 一个 8 位可编程后分频器（与 T0 共用）。

16 位预分频器中有 11 位可编程，由 WDTCTL 寄存器的 WDTPS<3:0>位选择预分频比（1:32 到 1:65536），共 12 档。

后分频器为看门狗定时器和定时/计数器 T0 共用，通过 OPTR 寄存器的 PSA 位将后分频器分配给 WDT 或者 T0；，OPTR 寄存器的 PS<2:0>位选择后分频器的分频比（1/1 到 1/128）。

注：任何对 OPTR 寄存器的 PSA 位或者 PS<2:0>位操作前，须对看门狗定时器进行清狗操作（执行 CWDTC 指令）。否则，可能引起芯片的异常复位。

## 16 电气规范

### 16.1 极限参数值

表 16-1 芯片极限参数值

极限参数值		
序号	参数说明	参数范围
1	偏置电压下的环境温度	-40°C~125°C
2	储存温度	-40°C~150°C
3	VDD 相对于VSS 的电压	5.5V
4	VPP 相对于Vss 的电压	12.5V
5	其它引脚相对于VSS 的电压	5.5V
6	VSS 引脚的最大输出电流	80mA
7	VDD 引脚的最大输入电流	80mA
8	任一I/O 引脚的最大输出灌电流	15mA
9	任一I/O 引脚的最大输出拉电流	15mA
10	I/O口 的最大灌电流	80mA
11	I/O口 的最大拉电流	80mA

备注:如果器件的工作条件超过“最大值”,可能会对器件造成永久性损坏。上述值仅为运行条件极大值,建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下,其稳定性会受到影响。

## 16.2 HFINTOSC 的频率精度与 VDD 和温度之间的关系

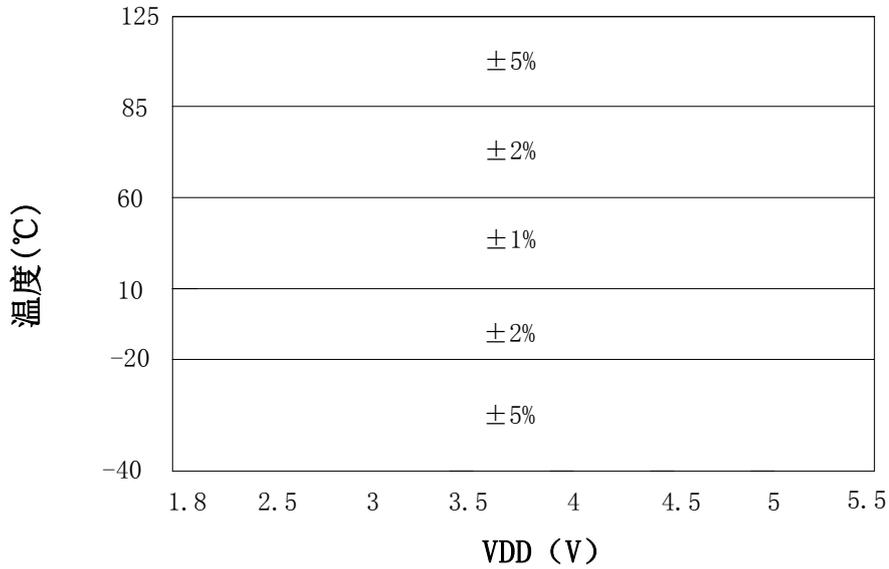


图 16.1 INTHF 频率精度与 VDD 和温度关系图

### 16.3 静态电流特性

表 16-2 芯片静态电流 (IDD) 特性

测试条件:25 °C						
序号	测试条件		最小值	典型值	最大值	单位
	振荡频率	VDD(V)				
1	16MHz	5.0	-	1310	-	μ A
		3.3	-	1310	-	
		2.5	-	1310	-	
2	8MHz	5.0	-	780	-	
		3.3	-	780	-	
		2.5	-	780	-	
3	4MHz	5.0	-	520	-	
		3.3	-	520	-	
		2.5	-	520	-	
4	2MHz	5.0	-	380	-	
		3.3	-	380	-	
		2.5	-	380	-	
5	1MHz	5.0	-	320	-	
		3.3	-	320	-	
		2.5	-	320	-	
6	500KHz	5.0	-	285	-	
		3.3	-	285	-	
		2.5	-	285	-	
7	250KHz	5.0	-	265	-	
		3.3	-	265	-	
		2.5	-	265	-	
8	62.5KHz	5.0	-	255	-	
		3.3	-	250	-	
		2.5	-	250	-	

注 1: 在正常的工作模式下, IDD 测量的条件为:所有I/O 引脚均设置为输出低, RST = Vss, 禁止WDT, 关闭时钟输出。

2: 供电电流主要随工作电压和频率而变化。其它因素, 如I/O 引脚负载和开关速率、内部代码执行模式和温度也会影响电流消耗。

## 16.4 休眠电流特性

表 16-3 芯片休眠电流 (IDD) 特性

测试条件:25 °C							
序号	休眠模式	测试条件		最小值	典型值	最大值	单位
			VDD(V)				
1	普通休眠模式	WDT、BOR、比较器 等外设被禁止	5.0	-	20	30	μ A
			3.3	-	20	30	
			2.5	-	20	30	
2	深度休眠模式	WDT、BOR、比较器 等外设被禁止	5.0	-	2.8	5	
			3.3	-	2.3	5	
			2.5	-	2.1	5	
3	超低功耗模式	WDT、BOR、比较器 等外设被禁止	5.0	-	0.8	2	
			3.3	-	0.6	2	
			2.5	-	0.5	2	

## 16.5 外设电流特性

表 16-4 芯片外设电流特性

测试条件:25℃							
序号	测试参数	测试条件		最小值	典型值	最大值	单位
			VDD(V)				
1	欠电压复位电流 ( $I_{LVR}$ )	WDT 等外设被禁止	5.0	-	9.5	14.0	uA
			3.3	-	6.0	8.5	
			2.5	-	4.0	6.0	
2	WDT	在超低功耗模式下	5.0	-	0.9	1.3	
			3.3	-	0.8	1.1	
			2.5	-	0.7	1.0	
4	LCD	在超低功耗模式下	5.0	-	1.8	2.4	
			3.3	-	1.1	1.5	
			2.5	-	0.7	0.9	
7	ADC	使能 ADC, 未转换	5.0	-	895	1350	
			3.3	-	765	1155	
			2.5	-	515	760	
9	HLVD	使能 ADC, 未转换	5.0	-	30	42	
			3.3	-	27	30	
			2.5	-	26	38	
10	FVR	使能 FVR, 无负载	5.0	-	70	80	
			3.3	-	70	78	
			2.5	-	68	78	

- 注 1: 外设电流是基本 $I_{DD}$  或 $I_{PD}$  电流以及相应外设使能时消耗的额外电流的总和。外设电流可以从此电流中减去基本 $I_{DD}$  或 $I_{PD}$  电流得出。
- 2: 休眠电流与振荡器类型无关。掉电电流是在器件休眠时, 所有 I/O 引脚设置为输出低,  $RST = V_{SS}$ ; 禁止 WDT, 关闭时钟输出时测得的。
- 3: 外设电流还可能受到温度的影响。

## 16.6 I/O 端口电平和芯片供电电压特性

表 16-5 芯片 IO 端口电平特性

测试条件 (特别说明除外): 工作温度 -40°C~85°C(工业级) -40°C~125°C(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
VIL	输入低电平 I/O引脚 采用TTL缓冲器		V <sub>SS</sub>	-	0.15VDD	V
	采用施密特缓冲触发器		V <sub>SS</sub>	-	0.2VDD	V
VIH	输入高电平 I/O端口 采用TTL缓冲器		VDD-0.6	-	V <sub>DD</sub>	V
	采用施密特缓冲触发器		0.8VDD	-	V <sub>DD</sub>	V
VoL	输出低电压		-	-	0.6	V
VoH	输出高电压		VDD-0.6	-	-	V
IIL	输入漏电流	VSS<VI<VDD	-1	-	1	μA

表 16-6 芯片供电电压特性

测试条件 (特别说明除外): 工作温度 -40°C~85°C(工业级) -40°C~125°C(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
VDD	电源电压		1.8	-	5.5	V

## 16.7 POR

表 16-7 芯片 POR 特性

测试条件（特别说明除外）： 工作温度 -40℃~85℃(工业级) -40℃~125℃(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
VPOR	上电复位电压	校准	1.6	1.7	1.8	V
Tempo	复位延时		-	2.5	-	ms
Idd	静态电流	VDD=3.3V	-	147	-	nA

## 16.8 LVR

表 16-8 芯片 LVR 特性

测试条件（特别说明除外）： 工作温度 -40℃~85℃(工业级) -40℃~125℃(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
VLVR	掉电复位电压		1.8	-	2.1	V
Hysteresis	迟滞		-	40	-	mV
Idd	静态电流	VDD=3.3V	-	5	-	uA

## 16.9 POWER18

表 16-9 芯片 POWER18 特性

测试条件（特别说明除外）： 工作温度 -40℃~85℃(工业级) -40℃~125℃(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
Vout	内部低压供电电源， 须外接4.7uF	2.8V≤VDD≤5.5V 1.8V≤VDD<2.8V	1.782	1.8	1.818 1.836	V
Idd	静态电流			28		μA

## 16.10 BACKUP BOD

表 16-10 芯片 BACKUP BOD 特性

测试条件（特别说明除外）： 工作温度 -40℃~85℃(工业级) -40℃~125℃(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
VBOD	电池电压检测			1.8		V
I <sub>dd</sub>	静态电流	VDD=3.3V, 间隔检测		21*0.000032/T		μ A

## 16.11 INTHF

表 16-11 芯片 INTHF 特性

测试条件（特别说明除外）： 工作温度 -40℃~85℃(工业级) -40℃~125℃(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
f <sub>CLKOUT</sub>	HOSC frequency	temp=25℃	15.84	16	16.16	MHz
TRIM	User trimming step	temp=25℃	0.1	0.2	0.35	%
DuCy	Duty Cycle	—	45	—	55	%
t <sub>su</sub>	Oscillator start-up time	—	—	5	—	μ s
t <sub>stab</sub>	Oscillator stabilization time	—	—	17	—	μ s
I <sub>POWER_ISS</sub>	Oscillator power consumption	temp=25℃	—	133	—	μ A

## 16.12 ADC12

表 16-12 A/D 转换器（ADC12）特性

测试条件（特别说明除外）： 工作温度 -40℃~85℃(工业级) -40℃~125℃(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
N <sub>R</sub> *	分辨率		-	-	12	位
E <sub>INL</sub> *	积分误差		-	±2	-	LSB
E <sub>DNL</sub> *	微分误差		-	±1	-	LSB
E <sub>OFF</sub> *	失调误差 <sup>(1)</sup>		-	±2	-	LSB
E <sub>GN</sub> *	增益误差		-	±2	-	LSB
V <sub>AIN</sub> *	满量程范围		V <sub>SS</sub>	-	V <sub>REF</sub>	V
T <sub>CNV</sub> *	AD转换时间		-	11	-	T <sub>AD</sub>

TsOP Ale*	AD转换速率		-	-	400	KSPS
Iq*	AD工作电流			550		uA

注：(1)\*表示该数据为设计值。

(2) 失调误差固定为 5mV 正失调，针对不同的参考电压对应为不同值，使用时可以直接减去绝对值。

## 16.13 FVR

表 16-13 内部参考模块特性

工作温度：25℃							
参数编号	符号	特性	最小值	典型值	最大值	单位	备注
1	Vout	输出电压	1.9 2.85 3.8	2 3 4	2.1 3.15 4.2	V	2.6V ≤ VDD ≤ 5.5 V
2	LR*	线性调整率	-1	-	1	%/V	Δ Vref/Δ Vin
3	TC	温度漂移	-5		+5	%	-40℃ ~ 125℃

\*该数据为设计值

## 16.14 INTLF

表 16-14 INTLF 特性

测试条件（特别声明除外）： 工作温度 -40℃~85℃(工业级) -40℃~125℃(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
Freq*	振荡频率	校准后		32		KHz
Iq*	静态电流			330		nA

\*该数据为设计值

## 16.15 EXTHF

表 16-15 EXTHF 特性

测试条件（特别声明除外）： 工作温度 -40℃~85℃(工业级) -40℃~125℃(扩展级)						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
Freq	振荡频率			20		Mhz
Iq*	静态电流			4		mA

\*该数据为设计值

## 16.16 直流特性图表

备注:某些图表中的数据超出了规定的工作范围(即超出了规定的VDD 范围), 这些图表仅供参考, 器件只有在规定的范围下工作才可以确保正常运行。

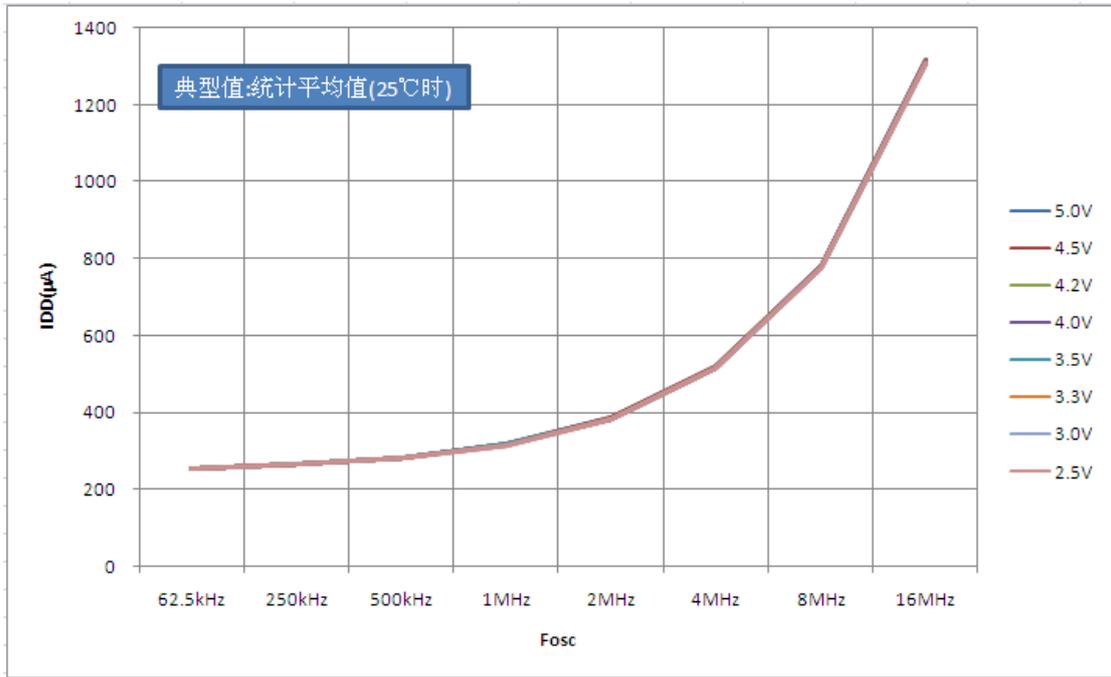


图 16.2不同 VDD 时典型 IDD — Fosc 关系曲线图(HFINTOSC 模式)

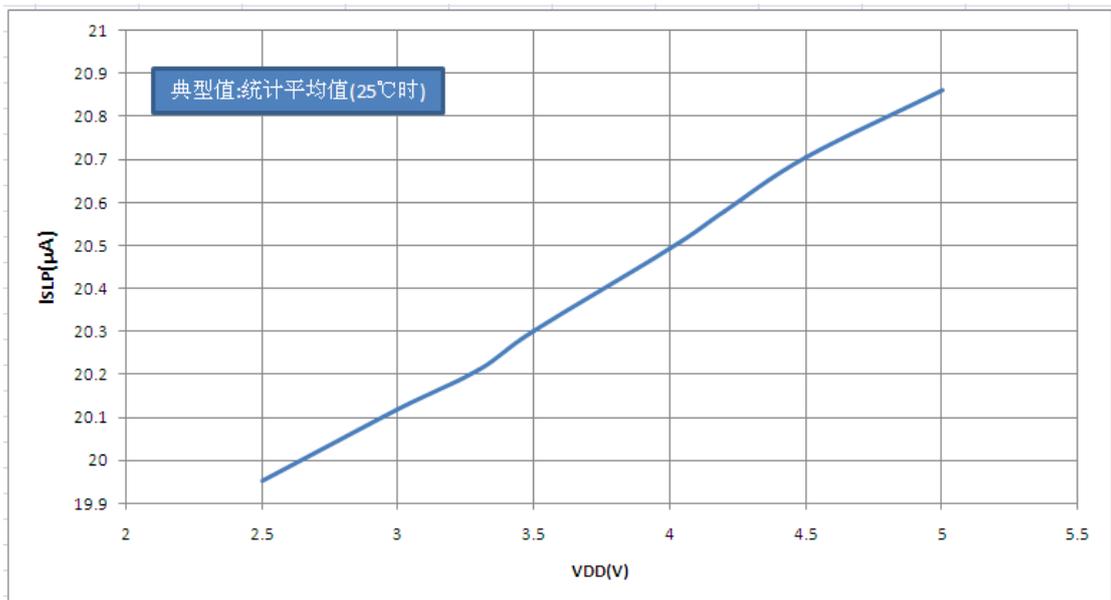


图 16.3不同 VDD 时典型 ISLP — VDD 关系曲线图(普通休眠模式, 禁止所有外设)

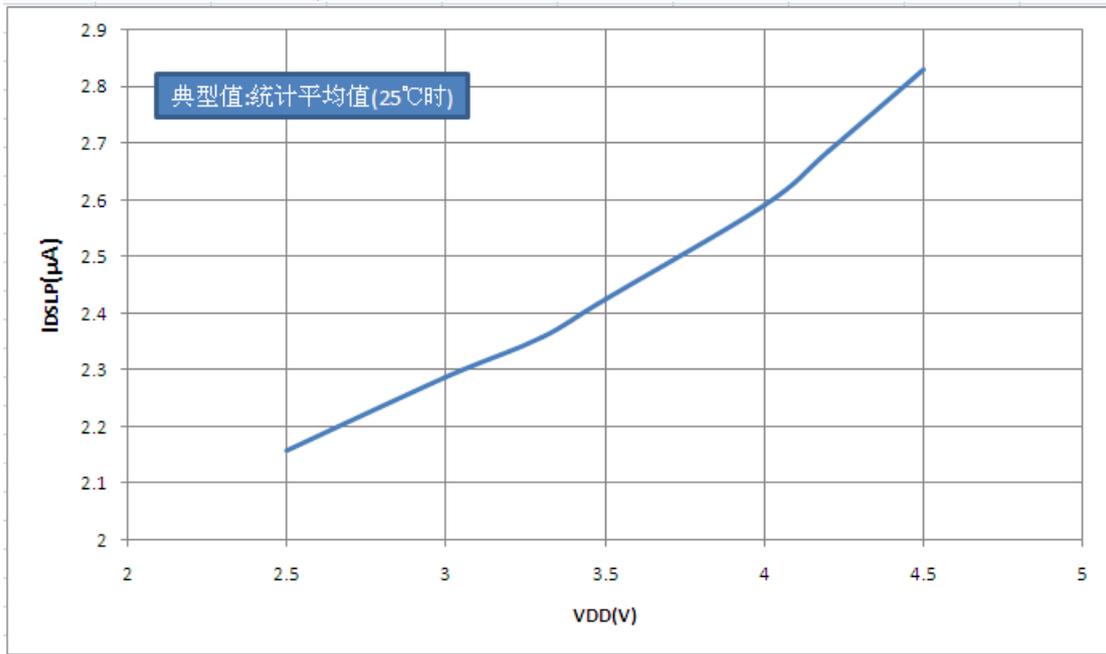


图 16.4 不同 VDD 时典型 IDSLP - VDD 关系曲线图(深度休眠模式, 禁止所有外设)

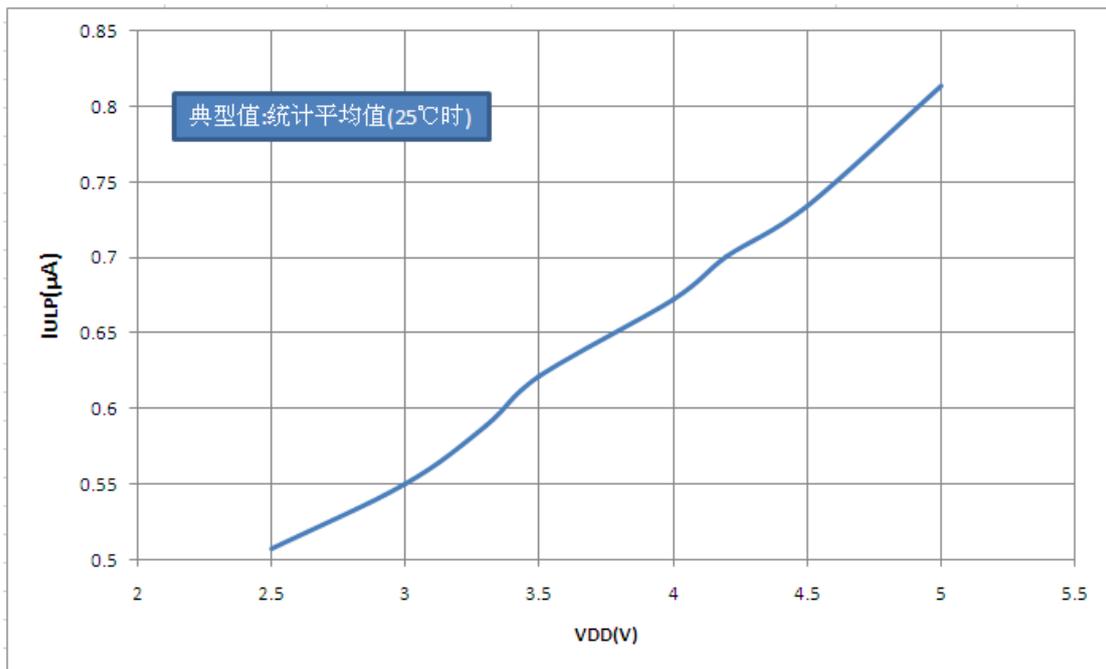


图 16.5 不同 VDD 时典型 IULP - VDD 关系曲线图(超低功耗模式, 禁止所有外设)

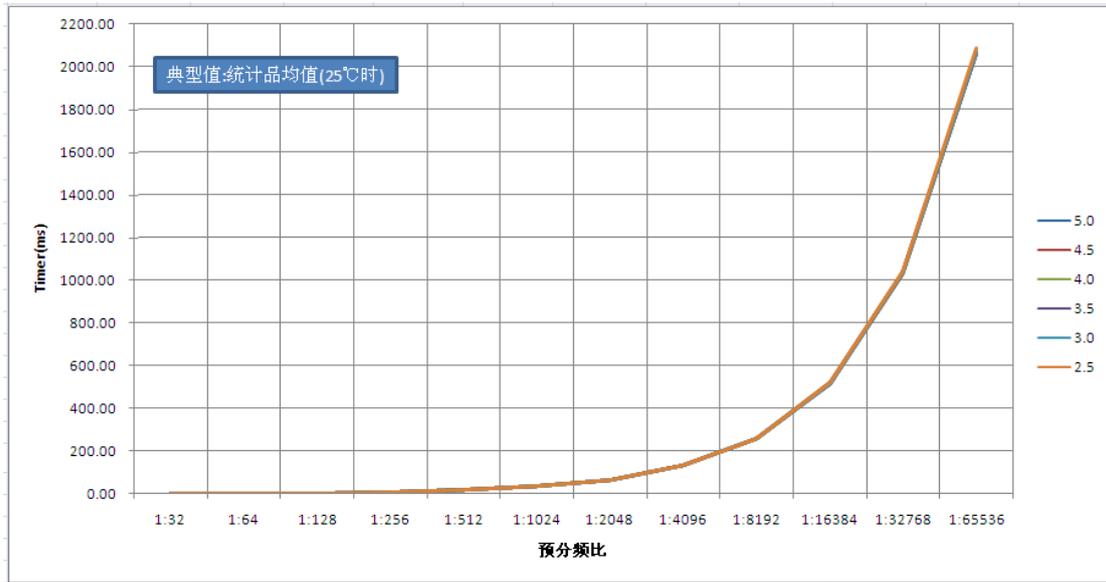


图 16.6不同 VDD 时看门狗预分频比 WDTPS&lt;3:0&gt; 一周期关系曲线图

备注:1/32 分频时看门狗周期为 1ms。

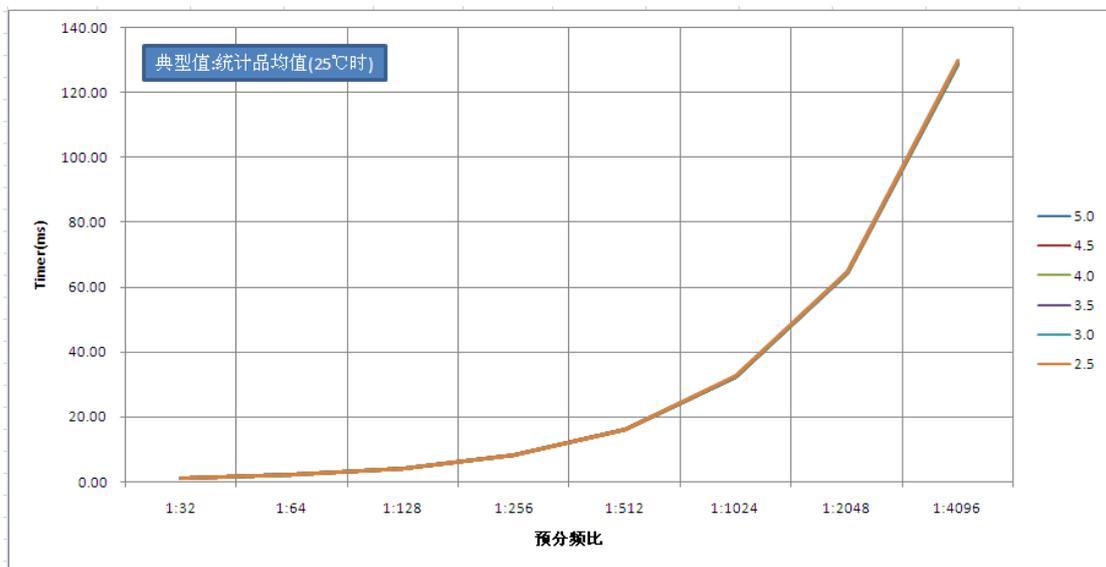
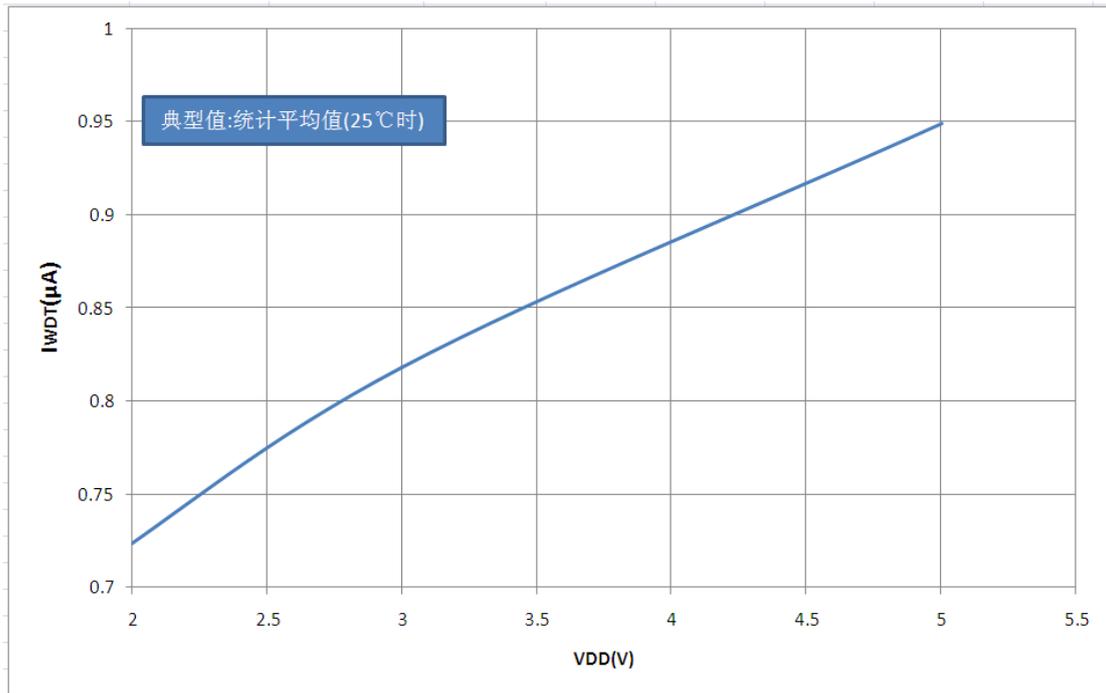
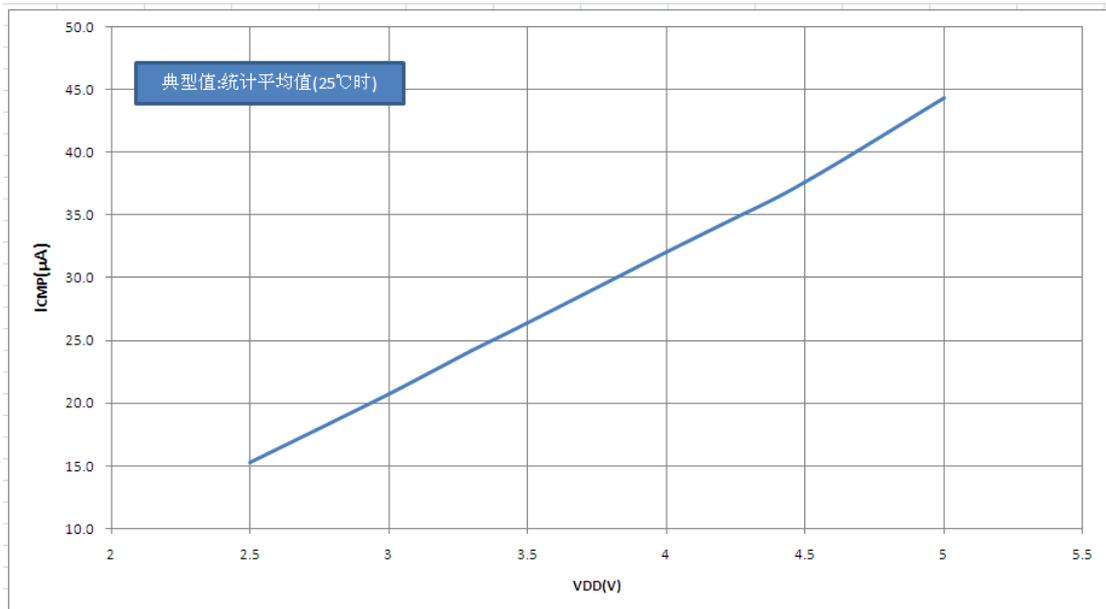


图 16.7不同VDD时看门狗预分频比PS&lt;2:0&gt; 一周期关系曲线图

备注:1/32 分频时看门狗周期为 1ms。


 图 16.8看门狗电流  $I_{WDT}$  — VDD 关系曲线图

 图 16.9比较器电流  $I_{CMP}$  — VDD 关系曲线图（使能一路比较器）

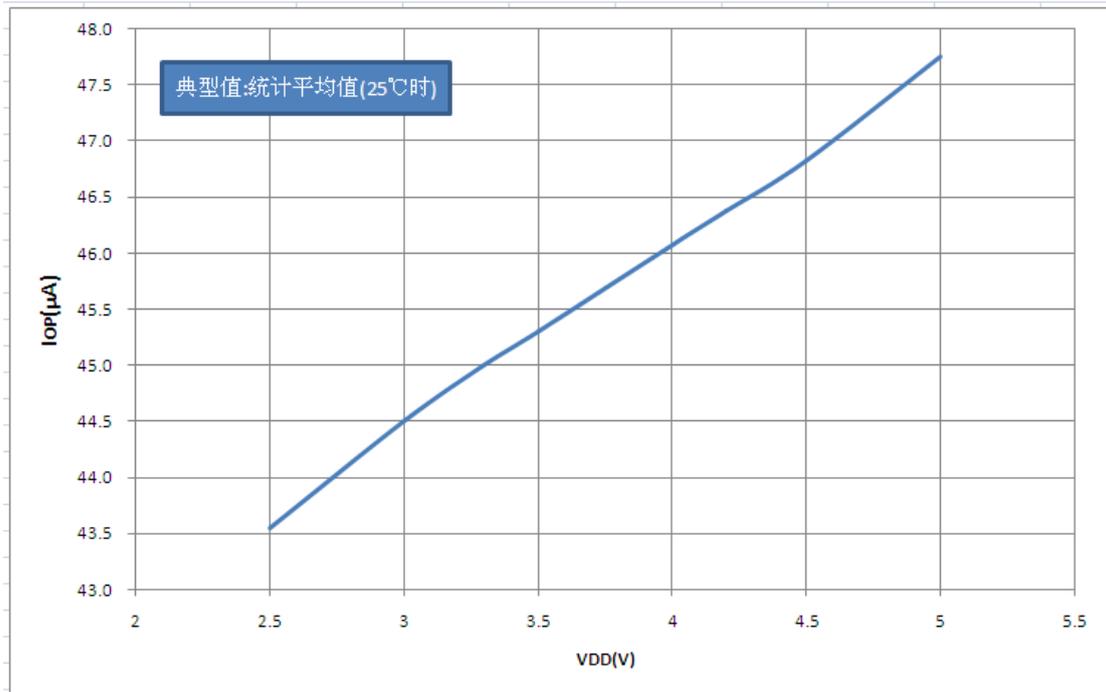


图 16.10 运算放大器电流  $I_{op}$  —  $V_{DD}$  关系曲线图（使能一路比较器）

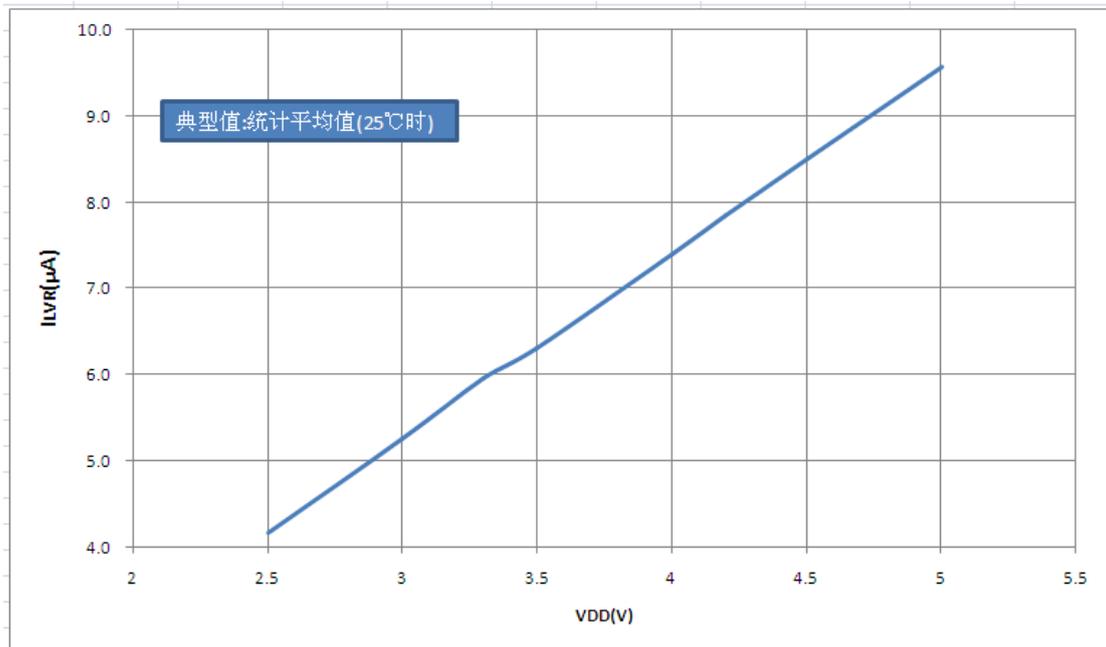


图 16.11 欠压复位电流  $I_{LVR}$  —  $V_{DD}$  关系曲线图

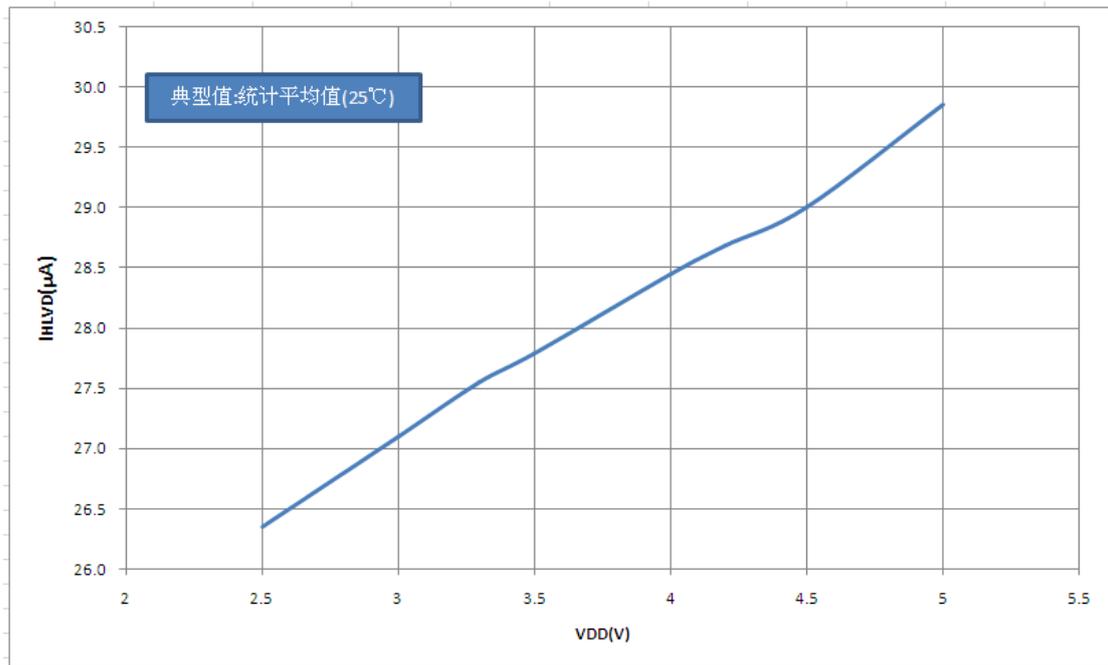


图 16.12 欠压复位电流 IHLVD - VDD 关系曲线图

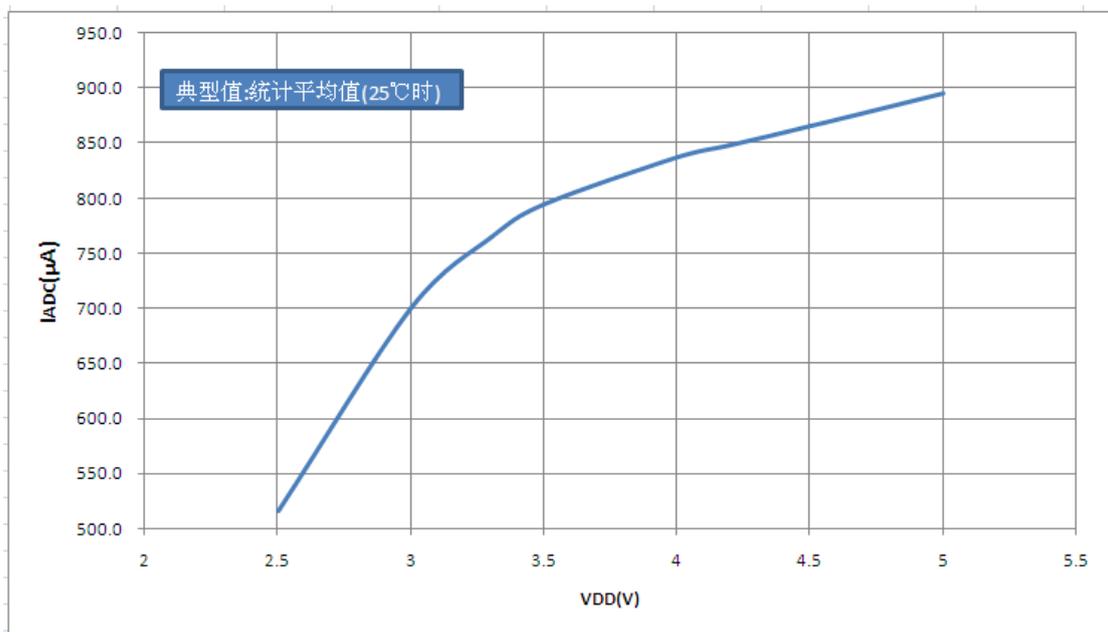


图 16.13 欠压复位电流 IADC - VDD 关系曲线图

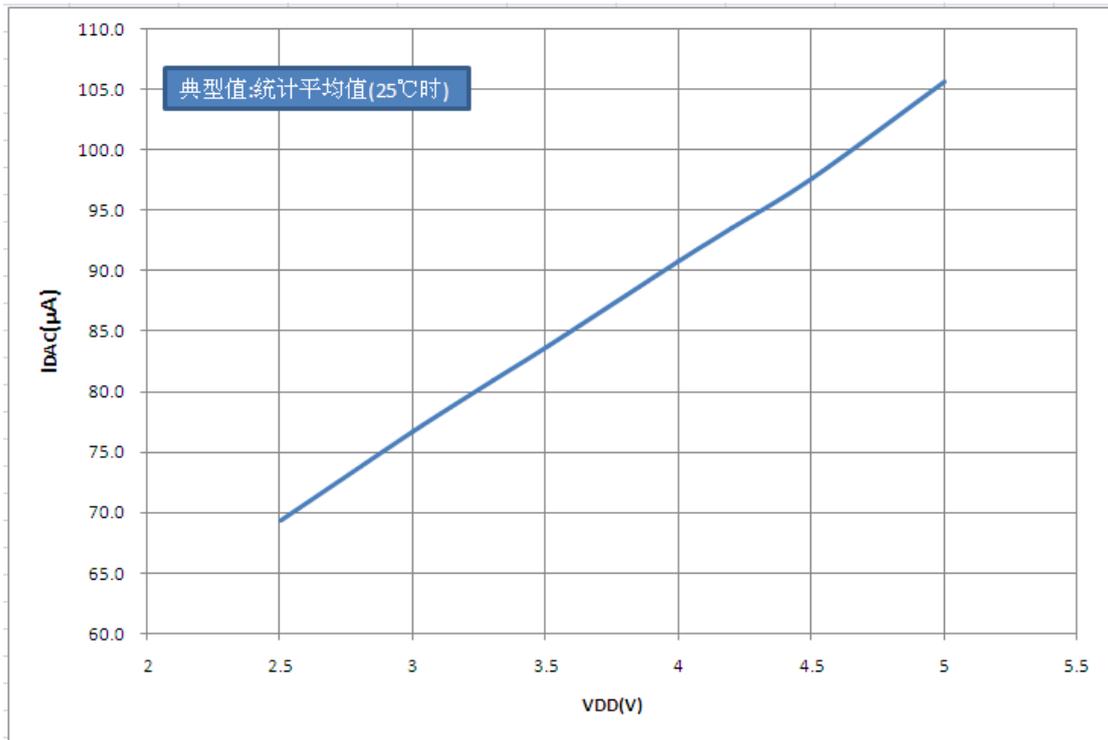


图 16.14 欠压复位电流  $I_{DAC}$  — VDD 关系曲线图

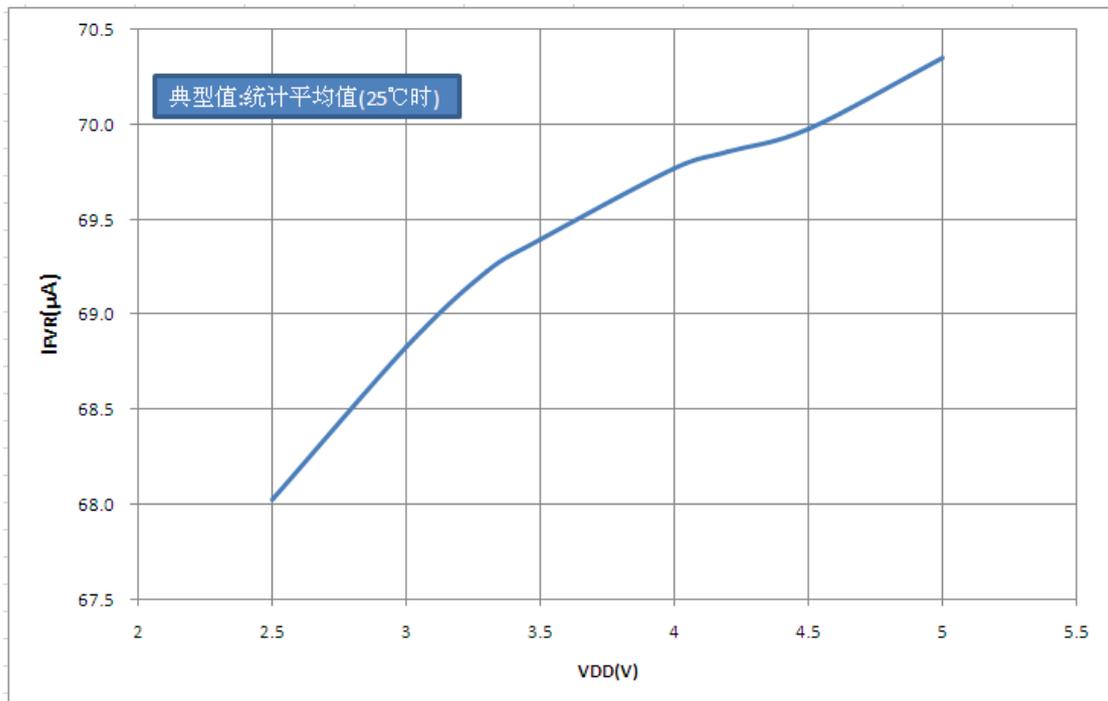


图 16.15 欠压复位电流  $I_{FVR}$  — VDD 关系曲线图

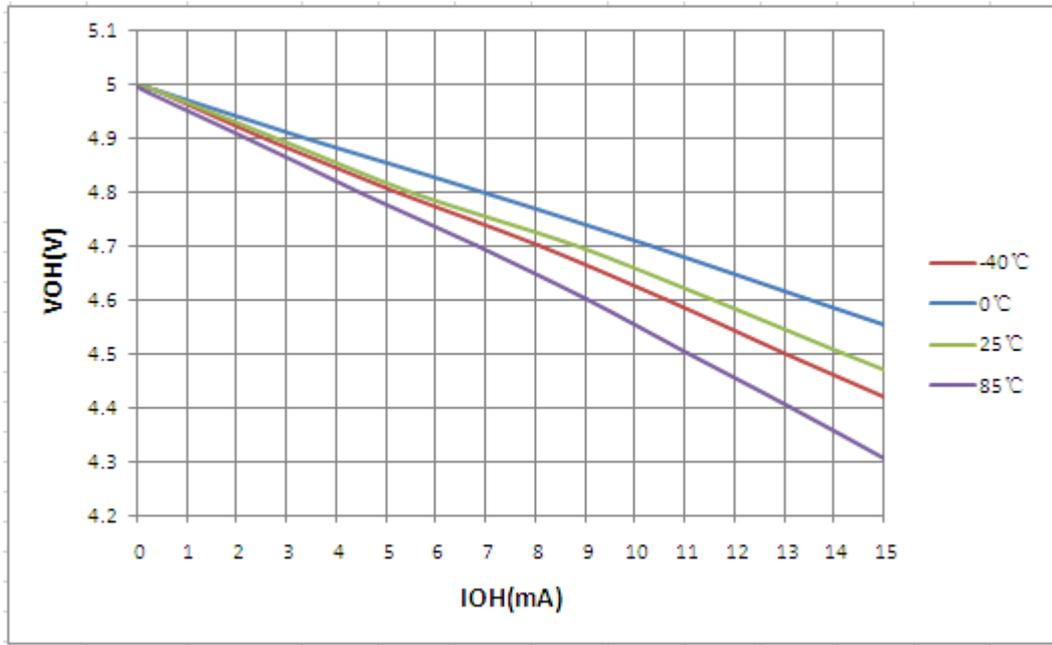


图 16.16 不同温度时 VOH - IOH 关系曲线图 (VDD = 5.0V)

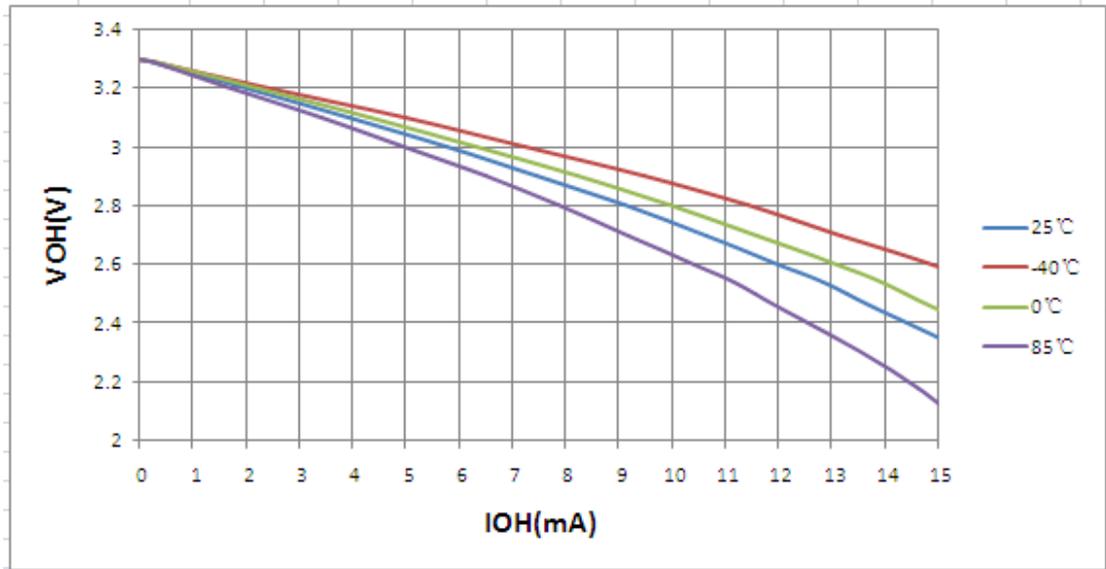
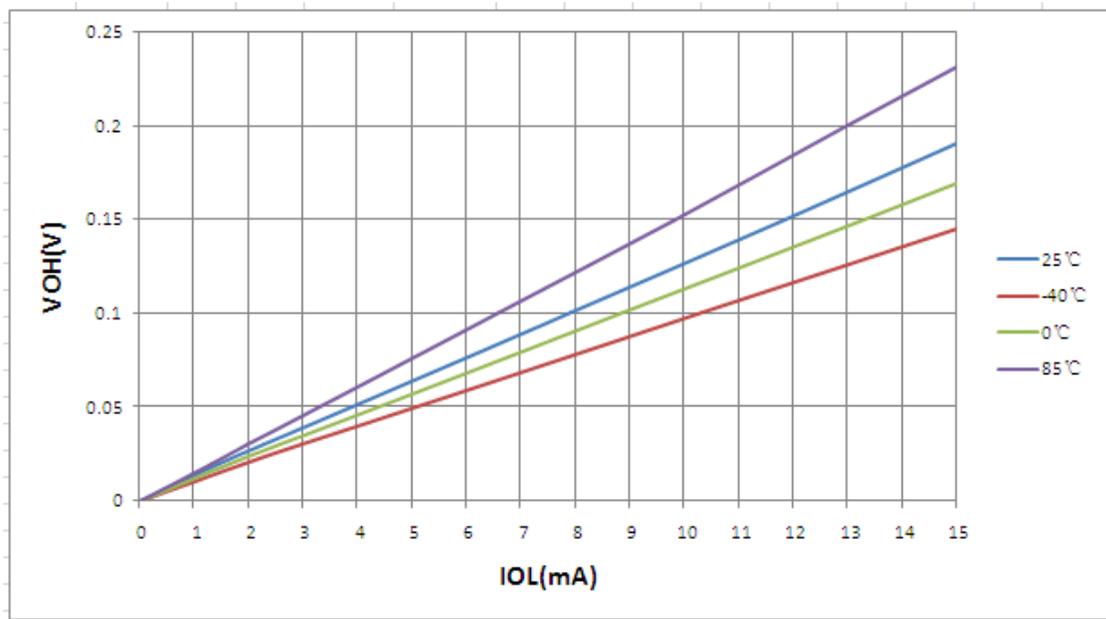
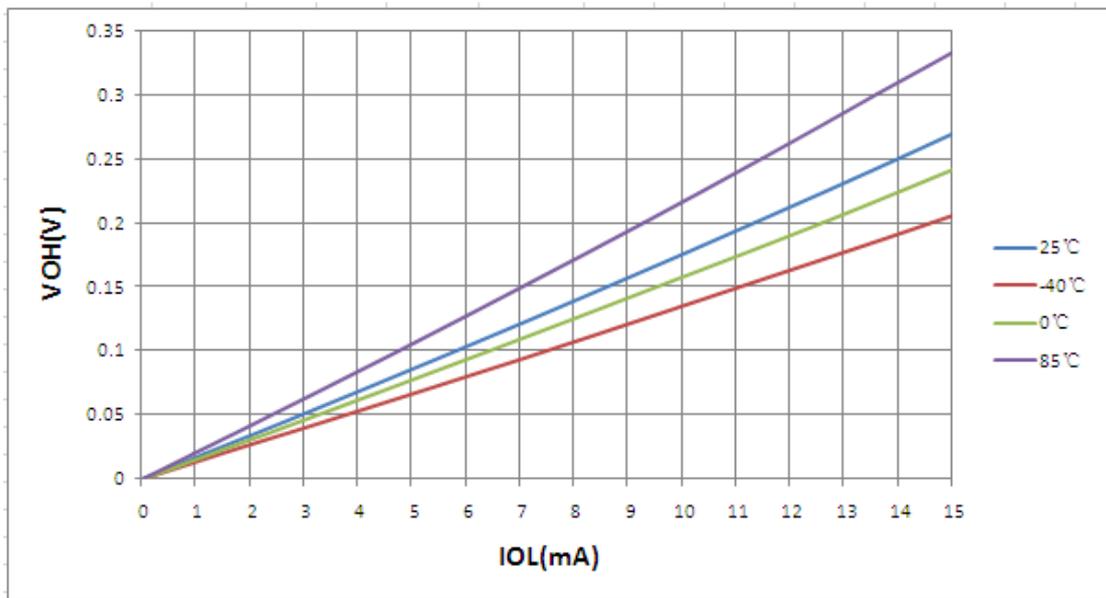
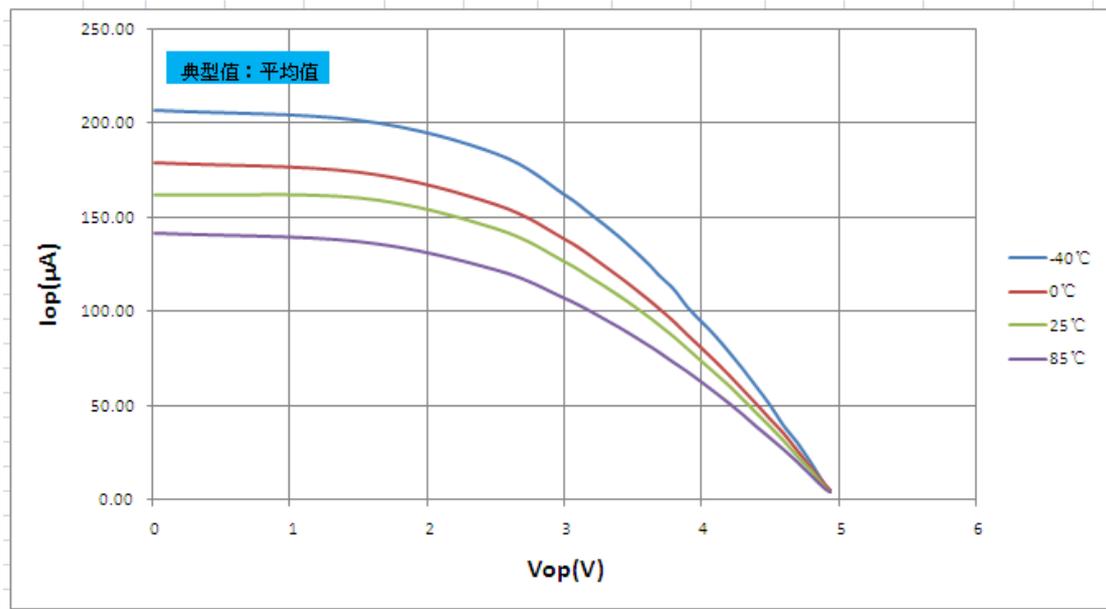
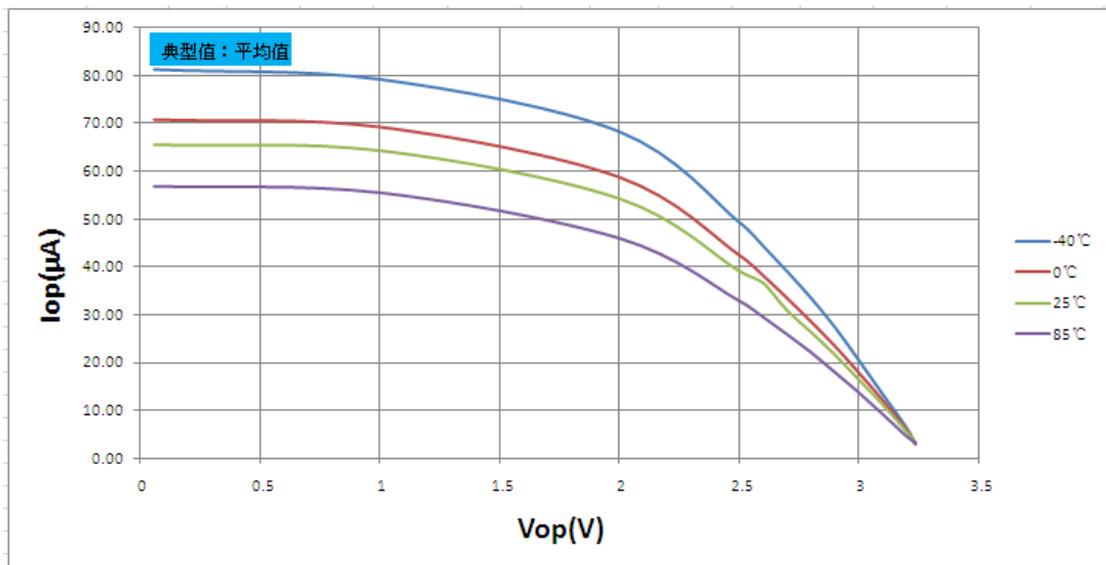


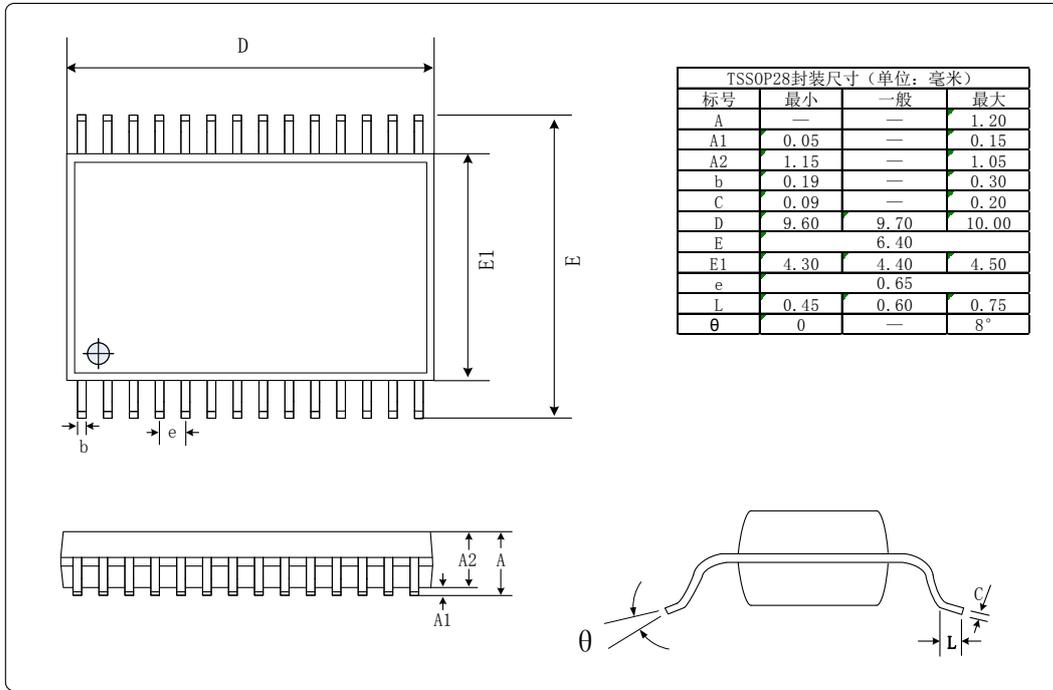
图 16.17 不同温度时 VOH - IOH 关系曲线图 (VDD = 3.0V)


 图 16.18 不同温度时  $V_{OH}$  -  $I_{OL}$  关系曲线图 ( $V_{DD} = 5.0V$ )

 图 16.19 不同温度时  $V_{OH}$  -  $I_{OL}$  关系曲线图 ( $V_{DD} = 3.0V$ )


 图 16.20 上拉功能打开时端口电压  $V_{OP}$  — 电流  $I_{OP}$  关系曲线图 ( $V_{DD} = 5.0V$ )

 图 16.21 上拉功能打开时端口电压  $V_{OP}$  — 电流  $I_{OP}$  关系曲线图 ( $V_{DD} = 3.3V$ )

## 17 封装信息

### 28 脚 TSSOP 封装



**附录 1 特殊功能寄存器 (SFR) 功能汇总**

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位初值
01H	T0	定时/计数器 0(T0)寄存器								xxxx xxxx
02H	PCL	程序计数器(PC)低字节								0000 0000
03H	PSW	-	-	-	TO	PD	Z	DC	CY	---1 1xxx
05H	P0	P07	P06	P05	P04	P03	P02	P01	P00	xxxx xxxx
06H	P2	P27	P26	P25	P24	P23	P22	P21	P20	xxxx xxxx
07H	P1	P17	P16	P15	P14	P13	P12	P11	P10	xxxx xxxx
08H	P3	P37	P36	P35	P34	P33	P32	P31	P30	xxxx xxxx
0AH	PCH	-	-	-	程序计数器(PC)高字节				---	0 0000
0BH	INTCTL	AIE/AIEH	PUIE/AIEL	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF	0000 0000
0CH	EIF1	EEIF	ADIF	INT2IF	INT1IF	-	-	T2IF	T1IF	0000 0000
0DH	EIF2	T3IF	-	-	-	-	-	-	-	0-00 -000
0EH	T1L	定时/计数器 T1 低字节寄存器								xxxx xxxx
0FH	T1H	定时/计数器 T1 高字节寄存器								xxxx xxxx
10H	T1CTL	T1RLD	T1GC	T1CKS1	T1CKS0	T1OSCEN	T1SY	T1CS	T1ON	0000 0000
11H	T2L	定时器 2(T2)低字节寄存器								0000 0000
12H	T2CTL0	-	T2CKBS3	T2CKBS2	T2CKBS1	T2CKBS0	T2ON	T2CKPS1	T2CKPS0	-000 0000
17H	BANK	-	-	-	-	PR3	PR2	PR1	PR0	---- 0000
18H	ADSCANCTL	ADSCANEN	SMOD1	SMOD0	STIM4	STIM3	STIM2	STIM1	STIM0	0000 0000
1DH	ANS1	ANS17	ANS16	ANS15	ANS14	ANS13	ANS12	ANS11	ANS10	1111 1111
1EH	ADCDATA0H	ADC 数据寄存器 0 高字节								xxxx xxxx
1FH	ADCCTL0	ADLR	T2CCR0ON	-	-	-	-	START	ADEN	00-- --00
21H	OPTR	PUPH	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111
22H	IP0	-	-	-	-	-	PT0	PINT0	PP0	---- -000
23H	IP1	PEE	PADC	PINT2	PINT1	-	-	PT2	PT1	0000 0000
24H	IP2	PT3	-	-	-	-	-	-	-	0-00 -000
25H	TR0	TR07	TR06	TR05	TR04	TR03	TR02	TR01	TR00	1111 1111
26H	TR2	TR27	TR26	TR25	TR24	TR23	TR22	TR21	TR20	1111 1111
27H	TR1	TR17	TR16	TR15	TR14	TR13	TR12	TR11	TR10	1111 1111
28H	OSCSTA	-	OSTS	HTS	LTS	-	-	SCF1	SCF0	-110 --00
29H	IP3	PT4	-	POSCFAIL	PFLKON	PFLKOFF	PFRA	PP3	PHLVD	0000 0000
2AH	OSCCAL2	内部高频晶振校准寄存器 2								1000 0000
2BH	VREFCTL	VREFSEL1	VREFSEL0	VREFCALEN	VREFCLKEN	VREFOE	P18OE	VREFEN	-	0000 0000
2CH	EIE1	EEIE	ADIE	INT2IE	INT1IE	-	-	T2IE	T1IE	0000 0000
2DH	EIE2	T3IE	-	-	-	-	-	-	-	0000 0000
2EH	PCTL	-	-	-	SLVREN	IPEN	SWDTEN	POR	LVR	--01 00xx
2FH	OSCCTL	CLKOE	IRCS2	IRCS1	IRCS0	SCS1	SCS0	IESO	FSCM	0010 0000
31H	ANS0	ANS07	ANS06	ANS05	ANS04	ANS03	ANS02	ANS01	ANS00	1111 1111
32H	ANS2	ANS27	ANS26	ANS25	ANS24	ANS23	ANS22	ANS21	ANS20	1111 1111
33H	ANS3	ANS37	ANS36	ANS35	ANS34	ANS33	ANS32	ANS31	ANS30	1111 1111
34H	OSCCAL2	-	-	-	-	-	TCAL<2:0>		-	0000 0101
35H	PUR0	PUR07	PUR06	PUR05	PUR04	PUR03	PUR02	PUR01	PUR00	1111 1111
36H	IOCL0	IOCL07	IOCL06	IOCL05	IOCL04	IOCL03	IOCL02	IOCL01	IOCL00	0000 0000
37H	OSCCAL1	内部高频晶振校准寄存器 1								---- -100
38H	NVMDATAH	NVM 数据高 8 位寄存器								0000 0000
39H	NVMDATAL	NVM 数据低 8 位寄存器								0000 0000
3AH	NVMADDRH	NVM 地址指针高 8 位寄存器								0000 0000
3BH	NVMADDRL	NVM 地址指针低 8 位寄存器								0000 0000
3CH	NVMCTL0	NVM 控制寄存器 0								---- ----
3DH	NVMCTL1	NVM 控制寄存器 1								---- ----
3EH	ADCDATA0L	ADC 数据寄存器 0 低字节								xxxx xxxx
3FH	ADCCTL1	ADCALEN	ADCS2	ADCS1	ADCS0	VCFG1	VCFG0	-	-	0000 00-0
40H	T2CCROH	T2 触发 ADC 启动设置寄存器 0 高 8 位								0000 0000
41H	T2H	定时器 2(T2)高字节寄存器								xxxx xxxx
42H	PP5H	T2 重载寄存器高 8 位								xxxx xxxx
45H	P0LR	P0LR7	P0LR6	P0LR5	P0LR4	P0LR3	P0LR2	P0LR1	P0LR0	xxxx xxxx
46H	P2LR	P2LR7	P2LR6	P2LR5	P2LR4	P2LR3	P2LR2	P2LR1	P2LR0	xxxx xxxx
47H	P1LR	P1LR7	P1LR6	P1LR5	P1LR4	P1LR3	P1LR2	P1LR1	P1LR0	xxxx xxxx
48H	P3LR	P3LR7	P3LR6	P3LR5	P3LR4	P3LR3	P3LR2	P3LR1	P3LR0	xxxx xxxx



# KF8L20ZXXX 数据手册 V0.4

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位初值
49H	TR3	TR37	TR36	TR35	TR34	TR33	TR32	TR31	TR30	1111 1111
4AH	EIE3	T4IE	-	OSCFILIE	FLKONIE	FLKOFFIE	FRAIE	P3IE	HLVDIE	0000 0000
4BH	EIF3	T4IF	-	OSCFILIF	FLKONIF	FLKOFFIF	FRAIF	P3IF	HLVDIF	0000 0000
4CH	OSCCAL3	内部高频晶振校准寄存器 3								1000 1000
4DH	OSCCAL0	内部高频晶振校准寄存器 0								0001 0000
4EH	T3CTL	T3REN	-	T3CKS1	T3CKS0	-	T3CS1	T3CS0	T3ON	0000 0000
4FH	T3L	T3 低位寄存器								0000 0000
50H	ADCDA1H	ADC 数据寄存器 1 高字节								0000 0000
51H	ADCDA1L	ADC 数据寄存器 1 低字节								0000 0000
52H	PP5L	T2 重载寄存器低 8 位								1111 1111
53H	PINSET	-	INT1PIN	-	-	-	-	-	-	0000 0000
54H	T2CCR0L	T2 触发 ADC 启动设置寄存器 0 低 8 位								0000 0000
58H	ADCINTCTL	T2CCR1ON	-	-	-	-	-	INTCTL1	INTCTL0	0--- --00
59H	ADCDA2H	ADC 数据寄存器 2 高字节								0000 0000
5AH	ADCDA2L	ADC 数据寄存器 2 低字节								0000 0000
5EH	ADCDA3H	ADC 数据寄存器 3 高字节								0000 0000
5FH	T3H	T3 高位寄存器								0000 0000
60H	PUR1	PUR17	PUR16	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10	0000 0000
61H	PUR2	PUR27	PUR26	PUR25	PUR24	PUR23	PUR22	PUR21	PUR20	0000 0000
62H	TMRBUZ	-	-	-	-	-	-	T1H_BUZEN	T1L_BUZEN	---- --00
63H	ADCCCTL2	-	ADCHS6	ADCHS5	ADCHS4	ADCHS3	ADCHS2	ADCHS1	ADCHS0	---- 0000
67H	INTEDGCTL	INT2SE	INT1SE	-	-	-	-	-	T1CLKSE	00-- --1
6AH	ADCDA3L	ADC 数据寄存器 3 低字节								0000 0000
6BH	IOCL3	IOCL37	IOCL36	IOCL35	IOCL34	IOCL33	IOCL32	IOCL31	IOCL30	0000 0000
6CH	PUR3	PUR37	PUR36	PUR35	PUR34	PUR33	PUR32	PUR31	PUR30	0000 0000
108H	DIVRH	余数高 8 位寄存器								0000 0000
10FH	T2CTL1	T2MOD1	T2MOD0	T2OFS1	T2OFS0	T2TRIGEN	-	-	T2DIR	0000 0--0
115H	DIVBH	除数高 8 位寄存器								0000 0000
116H	T2CCR1L	T2 触发 ADC 启动设置寄存器 1 低 8 位								0000 0000
118H	T2CCR1H	T2 触发 ADC 启动设置寄存器 1 高 8 位								0000 0000
12FH	WDTPS	-	-	-	-	WDTPS3	WDTPS2	WDTPS1	WDTPS0	---- 0100
130H	MULAH	16 位乘法器乘数 A 高 8 位								0000 0000
131H	MULAL	16 位乘法器乘数 A 低 8 位								0000 0000
132H	MULBH	16 位乘法器乘数 B 高 8 位								0000 0000
133H	MULBL	16 位乘法器乘数 B 低 8 位								0000 0000
134H	MULCTL	-	-	-	-	-	-	MULEN	MULIF	---- --00
135H	MULRES3	乘法运算结果寄存器 3								0000 0000
136H	MULRES2	乘法运算结果寄存器 2								0000 0000
137H	MULRES1	乘法运算结果寄存器 1								0000 0000
138H	MULRES0	乘法运算结果寄存器 0								0000 0000
139H	DIVCTL	-	-	-	-	-	-	DIVOEN	DIVEN	0000 0000
13AH	DIVAH	被除数高 8 位寄存器								0000 0000
13BH	DIVAL	被除数低 8 位寄存器								0000 0000
13CH	DIVBL	除数低 8 位寄存器								0000 0000
13DH	DIVQH	商高 8 位寄存器								0000 0000
13EH	DIVQL	商低 8 位寄存器								0000 0000
13FH	DIVRL	余数低 8 位寄存器								0000 0000
159H	VREFCAL0	内部参考电压校准寄存器 0								0000 0000
15AH	VREFCAL1	内部参考电压校准寄存器 1								1010 0000
15BH	HLVDCTL	HLVDEN	VDIR	-	-	-	VDT2	VDT1	VDT0	0000 0000
15DH	T3REL	T3 重载设置寄存器低 8 位								0000 0000
15EH	T3REH	T3 重载设置寄存器高 8 位								0000 0000
160H	T4L	T4 计数器低 8 位								0000 0000
161H	T4H	T4 计数器高 8 位								0000 0000
162H	T4REL	T4 重载设置寄存器低 8 位								0000 0000
163H	T4REH	T4 重载设置寄存器高 8 位								0000 0000
164H	T4CTL	T4REN	T4BUZOE	T4CKS1	T4CKS0	-	T4CS1	T4CS0	T4ON	0000 0000
165H	RC32KCAL	内部 32K 振荡器频率校准寄存器								0000 0000
206H	ANS4	ANS47	ANS46	ANS45	ANS44	ANS43	ANS42	ANS41	ANS40	1111 1111
207H	ANS5	-	ANS56	ANS55	ANS54	ANS53	ANS52	ANS51	ANS50	1111 1111
208H	ANS6	-	ANS66	ANS65	ANS64	ANS63	ANS62	ANS61	ANS60	1111 1111
209H	ANS7	ANS77	ANS76	ANS75	ANS74	-	-	-	-	1111 ----
20CH	P4	P47	P46	P45	P44	P43	P42	P41	P40	xxxx xxxx
20DH	P4LR	P4LR7	P4LR6	P4LR5	P4LR4	P4LR3	P4LR2	P4LR1	P4LR0	xxxx xxxx
20EH	TR4	TR47	TR46	TR45	TR44	TR43	TR42	TR41	TR40	1111 1111
20FH	PUR4	PUR47	PUR46	PUR45	PUR44	PUR43	PUR42	PUR41	PUR40	1111 1111
210H	P5	-	P56	P55	P54	P53	P52	P51	P50	-xxx xxxx

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位初值
211H	P5LR	-	P5LR6	P5LR5	P5LR4	P5LR3	P5LR2	P5LR1	P5LR0	-xxx xxxx
212H	TR5	-	TR56	TR55	TR54	TR53	TR52	TR51	TR50	-111 1111
213H	PUR5	-	PUR56	PUR55	PUR54	PUR53	PUR52	PUR51	PUR50	1111 1111
214H	P6	-	P66	P65	P64	P63	P62	P61	P60	-xxx xxxx
215H	P6LR	-	P6LR6	P6LR5	P6LR4	P6LR3	P6LR2	P6LR1	P6LR0	-xxx xxxx
216H	TR6	-	TR66	TR65	TR64	TR63	TR62	TR61	TR60	-111 1111
218H	PUR6	-	PUR66	PUR65	PUR64	PUR63	PUR62	PUR61	PUR60	1111 1111
219H	P7	P77	P76	P75	P74	-	-	-	-	xxxx ----
21AH	P7LR	P7LR7	P7LR6	P7LR5	P7LR4	-	-	-	-	xxxx ----
21BH	TR7	TR77	TR76	TR75	TR74	-	-	-	-	1111 ----
21CH	PUR7	PUR77	PUR76	PUR75	PUR74	-	-	-	-	1111 ----
21FH	PP1	PWM1x 周期设置低 8 位寄存器								1111 1111
220H	PP2	PWM1x 周期设置高 8 位寄存器								1111 1111
236H	TEMPSNR	-	-	-	-	-	-	-	TSEN	---- -00
250H	BKPCTL	BKP7	BKP6	BKP5	BKP4	BKP3	BKP2	BKP1	BKP0	0000 0000
333H	LCDCTL2	-	-	-	-	-	-	ADRSEL	-	---- -00
334H	LCDPTL	APC1	APC0	BPC1	BPC0	-	ATIC2	ATIC1	ATIC0	0000 0000
335H	LCDSP	SPEN	TS2	TS1	TS0	-	IF2	IF1	IF0	0000 0000
336H	LCDCTL0	WFT	BIASMD	LCDA	WA	LP3	LP2	LP1	LP0	0001 0011
337H	LCDCTL1	LCDEN	SLPEN	VLCD1	VLCD0	CS1	CS0	-	LCD COMSEL	0011 0000
338H	LCDPDR	LMUX2	LMUX1	LMUX0	FR3	FR2	FR1	FR0	WERR	1110 0110
339H	LCDFLKCTL	FLKEN	-	-	-	-	-	-	FLKSTU	0--- ---0
33AH	LCDFLKON	FON7	FON6	FON5	FON4	FON3	FON2	FON1	FON0	0000 0000
33BH	LCDFLKOFF	FOFF7	FOFF6	FOFF5	FOFF4	FOFF3	FOFF2	FOFF1	FOFF0	0000 0000
33CH	LCDSE0	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	0000 0000
33DH	LCDSE1	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8	0000 0000
33EH	LCDSE2	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16	0000 0000
33FH	LCDSE3	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24	0000 0000
	LCDSE4	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32	0000 0000
340H	LCDDATA0	SEG7 COM0	SEG6 COM0	SEG5 COM0	SEG4 COM0	SEG3 COM0	SEG2 COM0	SEG1 COM0	SEG0 COM0	xxxx xxxx
341H	LCDDATA1	SEG15 COM0	SEG14 COM0	SEG13 COM0	SEG12 COM0	SEG11 COM0	SEG10 COM0	SEG9 COM0	SEG8 COM0	xxxx xxxx
342H	LCDDATA2	SEG23 COM0	SEG22 COM0	SEG21 COM0	SEG20 COM0	SEG19 COM0	SEG18 COM0	SEG17 COM0	SEG16 COM0	xxxx xxxx
343H	LCDDATA3	SEG31 COM0	SEG30 COM0	SEG29 COM0	SEG28 COM0	SEG27 COM0	SEG26 COM0	SEG25 COM0	SEG24 COM0	xxxx xxxx
344H	LCDDATA4	SEG7 COM1	SEG6 COM1	SEG5 COM1	SEG4 COM1	SEG3 COM1	SEG2 COM1	SEG1 COM1	SEG0 COM1	xxxx xxxx
345H	LCDDATA5	SEG15 COM1	SEG14 COM1	SEG13 COM1	SEG12 COM1	SEG11 COM1	SEG10 COM1	SEG9 COM1	SEG8 COM1	xxxx xxxx
346H	LCDDATA6	SEG23 COM1	SEG22 COM1	SEG21 COM1	SEG20 COM1	SEG19 COM1	SEG18 COM1	SEG17 COM1	SEG16 COM1	xxxx xxxx
347H	LCDDATA7	SEG31 COM1	SEG30 COM1	SEG29 COM1	SEG28 COM1	SEG27 COM1	SEG26 COM1	SEG25 COM1	SEG24 COM1	xxxx xxxx
348H	LCDDATA8	SEG7 COM2	SEG6 COM2	SEG5 COM2	SEG4 COM2	SEG3 COM2	SEG2 COM2	SEG1 COM2	SEG0 COM2	xxxx xxxx
349H	LCDDATA9	SEG15 COM2	SEG14 COM2	SEG13 COM2	SEG12 COM2	SEG11 COM2	SEG10 COM2	SEG9 COM2	SEG8 COM2	xxxx xxxx
34AH	LCDDATA10	SEG23 COM2	SEG22 COM2	SEG21 COM2	SEG20 COM2	SEG19 COM2	SEG18 COM2	SEG17 COM2	SEG16 COM2	xxxx xxxx
34BH	LCDDATA11	SEG31 COM2	SEG30 COM2	SEG29 COM2	SEG28 COM2	SEG27 COM2	SEG26 COM2	SEG25 COM2	SEG24 COM2	xxxx xxxx
34CH	LCDDATA12	SEG7 COM3	SEG6 COM3	SEG5 COM3	SEG4 COM3	SEG3 COM3	SEG2 COM3	SEG1 COM3	SEG0 COM3	xxxx xxxx
34DH	LCDDATA13	SEG15 COM3	SEG14 COM3	SEG13 COM3	SEG12 COM3	SEG11 COM3	SEG10 COM3	SEG9 COM3	SEG8 COM3	xxxx xxxx
34EH	LCDDATA14	SEG23 COM3	SEG22 COM3	SEG21 COM3	SEG20 COM3	SEG19 COM3	SEG18 COM3	SEG17 COM3	SEG16 COM3	xxxx xxxx
34FH	LCDDATA15	SEG31 COM3	SEG30 COM3	SEG29 COM3	SEG28 COM3	SEG27 COM3	SEG26 COM3	SEG25 COM3	SEG24 COM3	xxxx xxxx
358H	LCDDATA32	SEG39 COM0	SEG38 COM0	SEG37 COM0	SEG36 COM0	SEG35 COM0	SEG34 COM0	SEG33 COM0	SEG32 COM0	xxxx xxxx
359H	LCDDATA33	SEG39 COM1	SEG38 COM1	SEG37 COM1	SEG36 COM1	SEG35 COM1	SEG34 COM1	SEG33 COM1	SEG32 COM1	xxxx xxxx
35AH	LCDDATA34	SEG39 COM2	SEG38 COM2	SEG37 COM2	SEG36 COM2	SEG35 COM2	SEG34 COM2	SEG33 COM2	SEG32 COM2	xxxx xxxx
35BH	LCDDATA35	SEG39 COM3	SEG38 COM3	SEG37 COM3	SEG36 COM3	SEG35 COM3	SEG34 COM3	SEG33 COM3	SEG32 COM3	xxxx xxxx
360H	POWCTL	IOLATCH	VCORM	FULATCH	PHPDM	WKPEN	WKPF	DSL PEN	ULPEN	0000 0000
361H	PCAL	-	-	PCAL5	PCAL4	PCAL3	PCAL2	PCAL1	PCAL0	0000 0000
362H	XTALCAL	XTAL 校准寄存器								0101 0000
363H	BWDCTL	BWDTEN	BPS3	BPS2	BPS1	BPS0	BAPS2	BAPS1	BAPS0	0000 0000

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位初值
364H	PHCLR	-	-	BWDTCLR	REGCLR	-	-	EXTLFEN	INTLFEN	0000 0000
365H	LPRCCAL	内部低频晶振校准寄存器								0000 0000
366H	LPRCCTL	-	-	-	-	-	LPRC2	LPRC1	LPRC0	0000 0100
367H	ULPKEY	UKEY7	UKEY6	UKEY5	UKEY4	UKEY3	UKEY2	UKEY1	UKEY0	0000 0000
368H	BBODCTL	BBODEN	BSCAN	-	-	-	-	-	BBODF	0000 0000
369H	BKPREG0	备份区数据寄存器 0								0000 0000
36AH	BKPREG1	备份区数据寄存器 1								0000 0000
36BH	BKPREG2	备份区数据寄存器 2								0000 0000
36CH	BKPREG3	备份区数据寄存器 3								0000 0000

注：“-”表示未用的存储单元 “x”表示不定

## 附录 2 汇编指令集

助记符、操作数	指令格式	指令说明	周期	影响标志
NOP	0000_0000_0000_0000	空操作指令	1	
NOPZ	1111_1111_1111_1111	空操作指令	1	
CRET	0000_0000_0000_1000	子程序返回指令	2	
RRET Rn,#data	1011_0rrr_kkkk_kkkk	立即数送到 Rn 中返回	2	
IRET	0000_0000_0000_1001	中断返回指令	2	
CWDT	0000_0000_0110_0100	WDT 清 0	1	
IDLE	0000_0000_0110_0011	进入休眠模式	1	
<b>数据传送指令</b>				
MOV dir	0000_1111_ffff_ffff	dir←(dir)	1	Z
MOV Rn,dir	0101_rrr0_ffff_ffff	Rn←(dir)	1	
MOV dir,Rn	0101_rrr1_ffff_ffff	dir←(Rn)	1	
MOV Rn,#data	1001_lrrr_kkkk_kkkk	Rn←data	1	
MOV Rn,Rs	1111_1000_11ss_srrr	Rn←(Rs)	1	
LD Rn,[Rs]	1111_0111_00ss_srrr	Rn←((Rs))	1	
ST [Rn],Rs	1111_0111_01ss_srrr	(Rn)←(Rs)	1	
SWAPR Rn,dir	0100_rrr0_ffff_ffff	Rn<7:4>=dir<3:0> Rn<3:0>=dir<7:4>	1	
SWAP dir	0100_rrr1_ffff_ffff	dir<7:4>=dir<3:0> dir<3:0>=dir<7:4>	1	
MOVB #data	1110_0001_kkkk_kkkk	BANK←data	1	
MOVP #data	1110_0000_kkkk_kkkk	PCH←data	1	
<b>算术运算指令</b>				
ADD Rm,dir	0010_0rr0_ffff_ffff	Rm←(Rm)+(dir)	1	CY、DC、Z
ADD dir,Rm	0010_0rr1_ffff_ffff	dir←(Rm)+(dir)	1	CY、DC、Z
ADD Rn,#data	1000_0rrr_kkkk_kkkk	Rn←(Rn)+data	1	CY、DC、Z
ADD Rn,Rs	1111_1000_00ss_srrr	Rn←(Rn)+(Rs)	1	CY、DC、Z
SUB Rm,dir	0011_lrr0_ffff_ffff	Rm←(dir)-(Rm)	1	CY、DC、Z
SUB dir,Rm	0011_lrr1_ffff_ffff	dir←(dir)-(Rm)	1	CY、DC、Z
SUB Rn,#data	1010_0rrr_kkkk_kkkk	Rn←data-(Rn)	1	CY、DC、Z
SUB Rn,Rs	1111_1000_01ss_srrr	Rn←(Rs)-(Rn)	1	CY、DC、Z
CMP Rn,#data	1111_0010_1kkk_krrr	-	1	CY、DC、Z
CMP Rn,Rs	1111_0001_10ss_srrr	-	1	CY、DC、Z
INC dir	0000_1011_ffff_ffff	dir←(dir)+1	1	Z
INCR dir	0000_1010_ffff_ffff	R0←(dir)+1	1	Z
INC Rn	1111_1111_0001_0rrr	Rn←(Rn)+1	1	Z
DEC dir	0000_0111_ffff_ffff	dir←(dir)-1	1	Z
DECR dir	0000_0110_ffff_ffff	R0←(dir)-1	1	Z
DEC Rn	1111_1111_0000_1rrr	Rn←(Rn)-1	1	Z
<b>逻辑运算指令</b>				
AND Rm,dir	0010_lrr0_ffff_ffff	Rm←(Rm)^(dir)	1	Z
AND dir,Rm	0010_lrr1_ffff_ffff	dir←(dir)^(Rm)	1	Z
AND Rn,#data	1000_lrrr_kkkk_kkkk	Rn←(Rn)^data	1	Z
AND Rn,Rs	1111_1000_10ss_srrr	Rn←(Rn)^(Rs)	1	Z
ORL Rm,dir	0011_0rr0_ffff_ffff	Rm←(Rm)∨(dir)	1	Z
ORL dir,Rm	0011_0rr1_ffff_ffff	dir←(dir)∨(Rm)	1	Z
ORL Rn,#data	1001_0rrr_kkkk_kkkk	Rn←(Rn)∨data	1	Z
ORL Rn,Rs	1111_1001_00ss_srrr	Rn←(Rn)∨(Rs)	1	Z

助记符、操作数	指令格式	指令说明	周期	影响标志
XOR Rm,dir	0001_1rr0_ffff_ffff	$Rm \leftarrow (Rm) \oplus (dir)$	1	Z
XOR dir,Rm	0001_1rr1_ffff_ffff	$dir \leftarrow (dir) \oplus (Rm)$	1	Z
XOR Rn,#data	1010_1rrr_kkkk_kkkk	$Rn \leftarrow (Rn) \oplus data$	1	Z
XOR Rn,Rs	1111_1001_01ss_srrr	$Rn \leftarrow (Rn) \oplus (Rs)$	1	Z
CLR Rn	0000_0010_xxxx_1rrr	$Rn=0$	1	Z
CLR dir	0000_0011_ffff_ffff	$dir=0$	1	Z
CPLR dir	0000_0100_ffff_ffff	$R0 \leftarrow \neg(dir)$	1	Z
CPL dir	0000_0101_ffff_ffff	$dir \leftarrow \neg(dir)$	1	Z
CPL Rn	1111_1111_0000_0rrr	$Rn \leftarrow \neg(Rn)$	1	Z
RRCR dir	0001_0000_ffff_ffff	$R0 \leftarrow (dir)$ 带进位 C 循环右移 1 位	1	CY
RRC dir	0001_0001_ffff_ffff	$dir \leftarrow (dir)$ 带进位 C 循环右移 1 位	1	CY
RRC Rn	1111_1111_0010_0rrr	$Rn \leftarrow (Rn)$ 带进位 C 循环右移 1 位	1	CY
RLCR dir	0001_0010_ffff_ffff	$R0 \leftarrow (dir)$ 带进位 C 循环左移 1 位	1	CY
RLC dir	0001_0011_ffff_ffff	$dir \leftarrow (dir)$ 带进位 C 循环左移 1 位	1	CY
RLC Rn	1111_1111_0001_1rrr	$Rn \leftarrow (Rn)$ 带进位 C 循环左移 1 位	1	CY
<b>位操作指令</b>				
CLR dir,b	0110_0bbb_ffff_ffff	将 dir 的 b 位清 0	1	
SET dir,b	0110_1bbb_ffff_ffff	将 dir 的 b 位置 1	1	
CLR Rn,b	1111_1110_00bb_brrr	将 Rn 的 b 位清 0	1	
SET Rn,b	1111_1110_01bb_brrr	将 Rn 的 b 位置 1	1	
<b>转移指令</b>				
DECRJZ dir	0000_1000_ffff_ffff	$R0 \leftarrow (dir)-1$ , 为 0 跳过下一条指令	1/2	
DECJZ dir	0000_1001_ffff_ffff	$dir \leftarrow (dir)-1$ , 为 0 跳过下一条指令	1/2	
DECJZ Rn	1111_1111_0101_1rrr	$Rn \leftarrow (Rn)-1$ , 为 0 跳过下一条指令	1/2	
INCRJZ dir	0000_1100_ffff_ffff	$R0 \leftarrow (dir)+1$ , 为 0 跳过下一条指令	1/2	
INCJZ dir	0000_1101_ffff_ffff	$dir \leftarrow (dir)+1$ , 为 0 跳过下一条指令	1/2	
INCJZ Rn	1111_1111_0101_0rrr	$Rn \leftarrow (Rn)+1$ , 为 0 跳过下一条指令	1/2	
JNB dir,b	0111_0bbb_ffff_ffff	dir 的 b 位为 0 跳过下一条指令	1/2	
JB dir,b	0111_1bbb_ffff_ffff	dir 的 b 位为 1 跳过下一条指令	1/2	
JNB Rn,b	1111_0111_10bb_brrr	Rn 的 b 位为 0 跳过下一条指令	1/2	
JB Rn,b	1111_0111_11bb_brrr	Rn 的 b 位为 1 跳过下一条指令	1/2	
JMP #data12	1100_kkkk_kkkk_kkkk	无条件转移指令	2	
CALL #data12	1101_kkkk_kkkk_kkkk	子程序调用指令	2	

注: dir 为通用寄存器或特殊功能寄存器; Rn、Rs 表示 R0~R7; Rm 表示 R0~R3; #data 表示 8 位立即数; #data12 表示 12 位立即数; b 表示寄存器的第 b 位; [Rn] 表示 Rn 中的数值指向的地址中数据; ( ) 表示特殊功能寄存器、通用数据寄存器或寄存器组中的数据。

## 附录 3 寄存器全称表

BANK0		
地址	名称	全称
01H	T0	Timer 0 register
02H	PCL	Program Counter Low register
03H	PSW	Program Status Word register
05H	P0	Port 0
06H	P2	Port 2
07H	P1	Port 1
08H	P3	Port 3
0AH	PCH	Program Counter High register
0BH	INTCTL	Interrupt control register
0CH	EIF1	Enable Interrupt Flag register 1
0DH	EIF2	Enable Interrupt Flag register 2
0EH	T1L	Timer 1 register Low
0FH	T1H	Timer 1 register High
10H	T1CTL	Timer 1 Control register
11H	T2L	Timer 2 register Low
12H	T2CTL0	Timer 2 register Control 0
17H	BANK	BANK
18H	ADSCANCTL	Analog Digital Convert Scan control register
1DH	ANSH	Analog channel Selection register High
1EH	ADCDATA0H	Analog Digital Convert Data 0 High register
1FH	ADCCTL0	Analog Digital Convert Control register 0
21H	OPTR	Option Register
22H	IP0	Interrupt Priority 0 register
23H	IP1	Interrupt Priority 1 register
24H	IP2	Interrupt Priority 2 register
25H	TR0	Tri Register 0
26H	TR2	Tri Register 2
27H	TR1	Tri Register 1
28H	OSCSTA	Oscillator Status register
29H	IP3	Interrupt Priority3 register
2AH	OSCCAL2	Oscillator Calibration register 2
2BH	VREFCTL	Reference Voltage Control register
2CH	EIE1	Enable Interrupt Enable register 1
2DH	EIE2	Enable Interrupt Enable register 2
2EH	PCTL	Power Control register
2FH	OSCCTL	Oscillator Control register
31H	ANS0	Analog channel Selection register 0
32H	ANS1	Analog channel Selection register 1
33H	ANS2	Analog channel Selection register 2
34H	ANS3	Analog channel Selection register 3
35H	PUR0	Pull-Up Register 0
36H	IOCL0	P0 Interrupt on change register
37H	OSCCAL1	Oscillator Calibration register 1
38H	NVMDATAH	NVW Buffer Data register High
39H	NVMDATAL	NVM Buffer Data register Low
3AH	NVMADDRH	NVM Buffer Address register High
3BH	NVMADDRL	NVM Buffer Address register Low
3CH	NVMCTL0	Nonvolatile Memory control register 1

3DH	NVMCTL1	Nonvolatile Memory control register 2
3EH	ADCDATA0L	Analog Digital Convert Data 0 register Low
3FH	ADCCTL1	Analog Digital Convert Control register 1
40H	T2CCR0H	Timer2 Compare Capture Register 0 High
41H	T2H	Timer2 High
42H	PP5H	Pulse-Width Modulation Periods register High
43H	PWM5H0	Pulse-Width Modulation 5 duty cycle register High 0
44H	PWM5H1	Pulse-Width Modulation 5 duty cycle register High 1
45H	P0LR	Port 0 Latch Register
46H	P2LR	Port 2 Latch Register
47H	P1LR	Port 1 Latch Register
48H	P3LR	Port 3 Latch Register
49H	TR3	Tri Register 3
4AH	EIE3	Enable Interrupt register 3
4BH	EIF3	Enable Interrupt Flag register 3
4CH	OSCCAL2	Oscillator Calibration register 2
4DH	OSCCAL3	Oscillator Calibration register 3
4EH	T3CTL	Timer 3 Control register
4FH	T3L	Timer 3 register low
50H	ADCDATA1H	Analog Digital Convert Data register 1 High
51H	ADCDATA1L	Analog Digital Convert Data register 1 Low
52H	PP5L	Pulse-Width Modulation Periods 5 register Low
53H	CTCTL0	Capacitance Touch Control register 0
54H	T2CCR0L	Timer 2 Compare Capture Register 0 Low
58H	ADCINTCTL	Analog Digital Convert Interrupt control register
59H	ADCDATA2H	Analog Digital Convert Data register 2 High
5AH	ADCDATA2L	Analog Digital Convert Data register 2 Low
5EH	ADCDATA3H	Analog Digital Convert Data register 3 High
5FH	T3H	Timer 3 High register
60H	PUR1	Pull-up control Register 1
61H	PUR2	Pull-up control Register 2
62H	BUZCTL	BUZER Control Register
63H	ADCCTL2	Analog Digital Convert Control register 2
67H	INTEDGCTL	Interrupt Edge Control register
6AH	ADCDATA3L	Analog Digital Convert Data register 3 Low
6BH	IOCL3	P3 Interrupt on change register
6CH	PUR3	Pull-up control Register 3
<b>BANK1</b>		
108H	DIVRH	Divider Remainder register High
10FH	T2CTL1	Timer 2 Control register1
110H	C4FITLCTL	Comparer 4 Filter Control register
111H	C4FILTPRE	Comparer 4 Filter Per-scale register
112H	C2CTL	Comparer 2 Control register
113H	C3CTL	Comparer 3 Control register
114H	C4CTL	Comparer 4 Control register
115H	DIVBH	Divider B register High
116H	T2CCR1L	Timer2 Compare Capture Register 1 low
118H	T2CCR1H	Timer2 Compare Capture Register 1 High
12FH	WDTPS	Watchdog Pre-divider Selection register
130H	MULAH	Multiplier A register High
131H	MULAL	Multiplier A register Low

132H	MULBH	Multiplier B register High
133H	MULBL	Multiplier B register Low
134H	MULCTL	Multiplier Control register
135H	MULRES3	Multiplier Result register 3
136H	MULRES2	Multiplier Result register 2
137H	MULRES1	Multiplier Result register 1
138H	MULRES0	Multiplier Result register 0
139H	DIVCTL	Divider Control register
13AH	DIVAH	Divider A register High
13BH	DIVAL	Divider A register Low
13CH	DIVBL	Divider B register Low
13DH	DIVQH	Divider Quotient register High
13EH	DIVQL	Divider Quotient register Low
13FH	DIVRL	Divider Remainder register Low
159H	VREFCAL0	Reference Voltage Calibration 0
15AH	VREFCAL1	Reference Voltage Calibration 1
15BH	HLVDCTL	High/low voltage detect Control register
15DH	T3REL	Timer 3 Reload register Low
15EH	T3REH	Timer 3 Reload register High
160H	T4L	Timer 4 register Low
161H	T4H	Timer 4 register High
162H	T4REL	Timer 4 Reload register Low
163H	T4REH	Timer 4 Reload register High
164H	T4CTL	Timer 4 Control register
165H	RC32KCAL	RC32K Calibration
<b>BANK 2</b>		
206H	ANS4	Analog channel Selection register 4
207H	ANS5	Analog channel Selection register 5
208H	ANS6	Analog channel Selection register 6
209H	ANS7	Analog channel Selection register 7
20CH	P4	Port 4
20DH	P4LR	Port 4 Latch Register
20EH	TR4	Tri Register 4
20FH	PUR4	Pull-up Register 4
210H	P5	Port 5
211H	P5LR	Port 5 Latch Register
212H	TR5	Tri Register 5
213H	PUR5	Pull-up Register 5
214H	P6	Port 6
215H	P6LR	Port 6 Latch Register
216H	TR6	Tri Register 6
218H	PUR6	Pull-up Register 6
219H	P7	Port 7
21AH	P7LR	Port 7 Latch Register
21BH	TR7	Tri Register 7
21CH	PUR7	Pull-up Register 7
21FH	PP1	Pulse-Width Modulation Periods register 1
220H	PP2	Pulse-Width Modulation Periods register 2
236H	TEMPSNR	Temper sensor register
250H	BKPCTL	Backup control register
<b>BANK3</b>		
333H	LCDCTL2	Liquid Crystal Display Control register 2

334H	LCDPTL	LCD Power mode control
335H	LCDSP	LCD Power Save Control register
336H	LCDCCTL0	Liquid Crystal Display Control register 0
337H	LCDCCTL1	Liquid Crystal Display Control register 1
338H	LCDPDR	Liquid Crystal Display Mode select register
339H	LCDFLKCTL	Liquid Crystal Display Flicker Control register
33AH	LCDFLKON	Liquid Crystal Display Flicker ON
33BH	LCDFLKOFF	Liquid Crystal Display Flicker OFF
33CH	LCNSE0	Liquid Crystal Display Segment enable register 0
33DH	LCNSE1	Liquid Crystal Display Segment enable register 1
33EH	LCNSE2	Liquid Crystal Display Segment enable register 2
33FH	LCNSE3	Liquid Crystal Display Segment enable register 3
340H	LCDDATA0	Liquid Crystal Display Data register 0
341H	LCDDATA1	Liquid Crystal Display Data register 1
342H	LCDDATA2	Liquid Crystal Display Data register 2
343H	LCDDATA3	Liquid Crystal Display Data register 3
344H	LCDDATA4	Liquid Crystal Display Data register 4
345H	LCDDATA5	Liquid Crystal Display Data register 5
346H	LCDDATA6	Liquid Crystal Display Data register 6
347H	LCDDATA7	Liquid Crystal Display Data register 7
348H	LCDDATA8	Liquid Crystal Display Data register 8
349H	LCDDATA9	Liquid Crystal Display Data register 9
34AH	LCDDATA10	Liquid Crystal Display Data register 10
34BH	LCDDATA11	Liquid Crystal Display Data register 11
34CH	LCDDATA12	Liquid Crystal Display Data register 12
34DH	LCDDATA13	Liquid Crystal Display Data register 13
34EH	LCDDATA14	Liquid Crystal Display Data register 14
34FH	LCDDATA15	Liquid Crystal Display Data register 15
350H	LCDDATA16	Liquid Crystal Display Data register 16
351H	LCDDATA17	Liquid Crystal Display Data register 17
352H	LCDDATA18	Liquid Crystal Display Data register 18
353H	LCDDATA19	Liquid Crystal Display Data register 19
354H	LCDDATA20	Liquid Crystal Display Data register 20
355H	LCDDATA21	Liquid Crystal Display Data register 21
356H	LCDDATA22	Liquid Crystal Display Data register 22
357H	LCDDATA23	Liquid Crystal Display Data register 23
358H	LCDDATA24	Liquid Crystal Display Data register 24
359H	LCDDATA25	Liquid Crystal Display Data register 25
35AH	LCDDATA26	Liquid Crystal Display Data register 26
35BH	LCDDATA27	Liquid Crystal Display Data register 27
35CH	LCDDATA28	Liquid Crystal Display Data register 28
35DH	LCDDATA29	Liquid Crystal Display Data register 29
35EH	LCDDATA30	Liquid Crystal Display Data register 30
35FH	LCDDATA31	Liquid Crystal Display Data register 31
360H	POWCTL	Power mode control register
361H	PCAL	LDO Calibration register
362H	XTALCAL	XTAL Calibration register
363H	BWDTCTL	Backup WDT control register
364H	PHCLR	Pheri-CLR register
365H	LPRCCAL	LPRC Calibration register
366H	LPRCCTL	LPRC Control register
367H	ULPKEY	Ultra-Low Power unlock register
368H	BBODCTL	Backup BOD control register
369H	BKPREG0	Backup DATA register 0

36AH	BKPREG1	Backup DATA register 1
36BH	BKPREG2	Backup DATA register 2
36CH	BKPREG3	Backup DATA register 3

## 附录 4 全双工异步模式的典型波特率和误差值

SYNC=0,HBRG=0,BRG16=0									
波特率 时钟频率		300	1200	2400	9600	10417	19.2K	57.6K	116.2K
20.000MHz	实际波特率	-	-	2404	9615	10417	—	—	—
	误差(%)	-	-	0.16	0.16	0.00	—	—	—
	EUBRGL 值(十六进制)	-	-	81H	20H	1DH	—	—	—
16.000MHz	实际波特率	—	1202	2404	9615	10417	19231	—	—
	误差(%)	—	0.16	0.16	0.16	0.00	0.16	—	—
	EUBRGL 值(十六进制)	—	CFH	67H	19H	17H	0CH	—	—
8.000MHz	实际波特率	—	1202	2404	9615	10417	—	—	—
	误差(%)	—	0.16	0.16	0.16	0.00	—	—	—
	EUBRGL 值(十六进制)	—	67H	33H	0CH	0BH	—	—	—
4.000MHz	实际波特率	300	1202	2404	—	10417	—	—	—
	误差(%)	0.16	0.16	0.16	—	0.00	—	—	—
	EUBRGL 值(十六进制)	6BH	33H	19H	—	05H	—	—	—
2.000MHz	实际波特率	300	1202	2404	—	10417	—	—	—
	误差(%)	0.16	0.16	0.16	—	0.00	—	—	—
	EUBRGL 值(十六进制)	67H	19H	0CH	—	02H	—	—	—
1.000MHz	实际波特率	300	1202	—	—	—	—	—	—
	误差(%)	0.16	0.16	—	—	—	—	—	—
	EUBRGL 值(十六进制)	33H	0CH	—	—	—	—	—	—
512.00 KHz	实际波特率	307	-	-	—	—	—	—	—
	误差(%)	2.33	-	-	—	—	—	—	—
	EUBRGL 值(十六进制)	19H	-	-	—	—	—	—	—

SYNC=0,HBRG=1,BRG16=0									
波特率 时钟频率		300	1200	2400	9600	10417	19.2K	57.6K	116.2K
20.000MHz	实际波特率	-	-	-	9541	10417	19230	56818	113.6K
	误差(%)	-	-	-	-0.6	0.00	0.16	-1.35	0.03
	EUBRGL 值(十六进制)	-	-	-	82H	77H	41H	15H	0AH
16.000MHz	实际波特率	—	—	—	9615	10417	19231	58824	111.1K
	误差(%)	—	—	—	0.16	0.00	0.16	2.12	3.55
	EUBRGL 值(十六进制)	—	—	—	67H	5FH	33H	10H	08H

8.000MHz	实际波特率	—	—	2404	9615	10417	19231	55556	—
	误差(%)	—	—	0.16	0.16	0. 00	0.16	-3.55	—
	EUBRGL 值(十六进制)	—	—	CFH	33H	2FH	19H	08H	—
4.000MHz	实际波特率	—	1202	2404	9615	10417	19.23K	—	—
	误差(%)	—	0.16	0.16	0.16	0. 00	0.16	—	—
	EUBRGL 值(十六进制)	—	CFH	67H	19H	17H	0CH	—	—
2.000MHz	实际波特率	—	1202	2404	9615	10417	—	—	—
	误差(%)	—	0.16	0.16	0.16	0. 00	—	—	—
	EUBRGL 值(十六进制)	—	67H	33H	0CH	0BH	—	—	—
1.000MHz	实际波特率	300	1202	2404	—	10417	—	—	—
	误差(%)	0.16	0.16	0.16	—	0.00	—	—	—
	EUBRGL 值(十六进制)	CFH	33H	19H	—	05H	—	—	—
512.000KHz	实际波特率	301	1231	2462	-	-	—	—	—
	误差(%)	0.63	2.58	2.58	-	-	—	—	—
	EUBRGL 值(十六进制)	69H	19H	0CH	-	-	—	—	—

<b>SYNC=0,HBRG=0,BRG16=1</b>									
波特率 时钟频率		300	1200	2400	9600	10417	19.2K	57.6K	116.2K
20.000MHz	实际波特率	-	-	-	9541	10417	19230	56818	113.6K
	误差(%)	-	-	-	-0.6	0.00	0.16	-1.35	0.03
	EUBRGL 值 (十六进制)	-	-	-	82H	77H	41H	15H	0AH
16.000MHz	实际波特率	—	—	—	9615	10417	19231	58824	111.1K
	误差(%)	—	—	—	0.16	0.00	0.16	2.12	3.55
	EUBRGL 值 (十六进制)	—	—	—	67H	5FH	33H	10H	08H
8.000MHz	实际波特率	299.9	1999	2404	9615	10417	19231	55556	—
	误差(%)	-0.02	-0.08	0.16	0.16	0.00	0.16	-3.55	—
	EUBRGL 值 (十六进制)	0682H	01A0H	CFH	33H	3FH	19H	08H	—
4.000MHz	实际波特率	300.1	1202	2404	9615	10417	19.23K	—	—
	误差(%)	0.04	0.16	0.16	0.16	0.00	0.16	—	—
	EUBRGL 值 (十六进制)	0340H	CFH	67H	19H	17H	0CH	—	—
2.000MHz	实际波特率	299.8	1202	2404	9615	10417	—	—	—
	误差(%)	-0.18	0.16	0.16	0.16	0.00	—	—	—
	EUBRGL 值 (十六进制)	01A0H	33H	33H	0BH	0BH	—	—	—
1.000MHz	实际波特率	300	1202	2404	—	10417	—	—	—
	误差(%)	0.16	0.16	0.16	—	0.00	—	—	—
	EUBRGL 值 (十六进制)	CFH	33H	19H	—	05H	—	—	—
512.000KHz	实际波特率	301	1231	2462	-	-	—	—	—
	误差(%)	0.63	2.58	2.58	-	-	—	—	—
	EUBRGL 值 (十六进制)	69H	19H	0CH	-	-	—	—	—

SYNC=0,HBRG=1,BRG16=1 或 SYNC=1, BRG16=1									
波特率 时钟频率		300	1200	2400	9600	10417	19.2K	57.6K	116.2K
20.000MHz	实际波特率	300	1200	2399	9597	10417	19157	57.47K	113.6K
	误差(%)	0.00	0.00	0.03	0.03	0.00	0.22	0.22	0.03
	EUBRGH: EUBRGL	411AH	1046H	0823H	0208H	01DFH	0104H	0056H	002BH
16.000MHz	实际波特率	300	1200	2401	9615	10417	19.23K	57971	117.6K
	误差(%)	0.00	0.01	0.04	0.16	0.00	0.16	0.64	2.12
	EUBRGH: EUBRGL	3414H	0D04H	0681H	019FH	017FH	00CFH	0044H	0021H
8.000MHz	实际波特率	300.0	1200	2401	9615	10417	19.23K	57.14K	117.6K
	误差(%)	0.00	-0.02	0.04	0.16	0.00	0.16	-0.79	2.12
	EUBRGH: EUBRGL	1A0A H	0682H	0340H	00CFH	00BFH	0067H	0022H	0010H
4.000MHz	实际波特率	300.0	1200	2398	9615	10417	19.23K	56.82K	111.1K
	误差(%)	0.01	0.04	0.08	0.16	0.00	0.16	2.12	-3.55
	EUBRGH: EUBRGL	0D04H	0340H	01A0H	0067H	005FH	0033H	0010H	0008H
2.000MHz	实际波特率	299.9	1199	2404	9615	10417	19.23K	55.56K	—
	误差(%)	-0.02	-0.08	0.16	0.16	0.00	0.16	-3.55	—
	EUBRGH: EUBRGL	0682H	01A0H	00CFH	0033H	002FH	0019H	0008H	—
1.000MHz	实际波特率	300.1	1202	2404	9615	10417	19.23K	—	—
	误差(%)	0.04	0.16	0.16	0.16	0.00	0.16	—	—
	EUBRGH: EUBRGL	0340H	00CFH	0067H	0019H	0017H	000CH	—	—
512.000KH z	实际波特率	300.5	1208	2415	9846	10666	—	—	—
	误差(%)	0.16	0.63	0.63	2.56	2.40	—	—	—
	EUBRGH: EUBRGL	01A9H	0069H	0034H	000CH	000BH	—	—	—

注：以上表格中波特率寄存器的值均是十六进制的数值形式

## 产品标识体系



产品系列: KF8L = KF 系列低功耗 8 位单片机

产品型号: 20Z = 20 系列

Flash 大小: 04 = 6Kbyte  
04 = 6Kbyte

封装形式: TN = TSSOP-28

## 版本信息

数据手册版本号	更新内容概述	更新日期
V0	新版本	2017-12-06
V0.1	修改 IO 口描述错误	2018-01-04
V0.2	添加 L20Z04TN 型号	2018-03-11
V0.3	调整 I/O 口封装管脚顺序	2018-12-11
V0.4	1.P0 口章节增加对 P0.3~P0.6 口的特别说明和原理框图； 2.备份区寄存器的读写章节增加对 BKPREG0-3 寄存器写入的说明和样例程序； 3.增加 BKPCTL 寄存器的 BKPO 需要在初始化程序中置 1 的备注。	2019-03-01

## ROSH 认证

本产品已通过 ROHS 检测。

## 声明及销售网络

### 销售及服务网点

上海 TEL:021-50275927

地址 上海浦东张江集电港龙东大道 3000 号 1 幢 906 室 B1 座