

32 位微控制器

KF32F130

数据手册

芯片特征

● CPU

32 位高性能 KungFu32 内核
工作频率最高为 72MHz，可软件调节；
基于 16 位/32 位混合指令的高效指令集；
3 级流水线；
32×32 单周期乘法，32÷32 硬件除法；
支持中断优先级处理，实现自动中断堆栈；
13 个 32 位通用寄存器 R0~R12；
链接寄存器（R13/LR）；
堆栈指针寄存器（R14/MSP/PSP）；
程序计数器（R15/PC）；
24 位系统节拍定时器；

● 存储器

最高 128KByte FLASH，带 ECC 校验；
最高 16KByte RAM，带 ECC 校验；
1 个 512Byte 双端口 RAM，带 ECC 校验；
16KByte 引导 ROM；
FLASH 可经受 100 000 次写操作；

● 特殊功能

内嵌上电复位电路；
低电压检测及低电压复位；
可编程电压检测；
硬件双看门狗；
系统时钟 6 种时钟源可选；
支持两线串行编程/在线调试；

● I/O 口配置

QFN32 封装有 29 个通用 I/O；
支持输入输出设置；
支持内置上拉/下拉功能；
支持推挽输出和开漏输出模式；
支持数字/模拟引脚设置；
支持引脚功能重映射；
施密特电平输入；

● 定时器/计数器

定时器 5/6 为高级定时器，支持 ECCP5
定时器 0/1/3/4 为通用定时器，其中定时器
0/1/3/4 支持 CCP0/1/3/4；
定时器 20：32 位通用定时器，支持 CCP20；
定时器 14/15：基本定时器；
定时器 7 支持 QEIO；

● 其它外设

2 个 7 通道 DMA；
1 个硬件 CRC32 模块；
1 个 AES128 加密模块；
1 个 CFGI 模块；
2 个 SPI 总线模块（兼容 I2S）；
2 个 I2C 总线模块（兼容 SMBUS/PMBUS）；
2 个 USART 模块（兼容 7816/LIN/IRDA 功能）；
1 个 CAN2.0B 模块；
1 个独立的 RTC（万年历）；
1 个 12 位 ADC 模块，支持最多 14 个通道；
2 个 12 位 DAC 模块；
2 个 CMP 比较器模块；

● 功耗管理

5 种功耗模式：正常运行模式、普通休眠模式、低功耗运行模式、低功耗休眠模式、停止模式

● 工作条件

工作电压：1.8V~3.6V
工作温度范围：-40~85℃

目 录

芯片特征.....	2
目 录.....	3
1 芯片资源.....	5
1.1 产品订购信息 KF32F130.....	5
1.2 KF32F130 资源表.....	6
2 系统概述.....	7
2.1 系统概述.....	7
2.2 指令集.....	7
2.3 系统框图.....	8
2.4 KF32F130 外设资源对照表.....	9
2.5 芯片引脚图.....	10
3 I/O 端口介绍.....	11
3.1 概述.....	11
3.2 引脚重映射说明（数字功能）.....	12
3.3 引脚重映射说明（模拟功能）.....	13
3.4 引脚重映射表-外部唤醒引脚、侵入检测和时间戳引脚映射.....	14
4 资源介绍.....	15
4.1 DMA.....	15
4.2 节拍定时器（SYSTICK）.....	15
4.3 基本定时/计数器(T14/T15).....	15
4.4 通用定时/计数器(T0/T1/T3/T4/T20).....	16
4.5 高级定时/计数器（T5/T6）.....	16
4.6 通用捕捉/比较/PWM 模块（CCP0/1/3/4/20）.....	16
4.7 增强型捕捉/比较/PWM 模块(ECCP5).....	17
4.8 正交编码脉冲电路（QEIO）.....	17
4.9 模数转换模块（A/D）.....	18
4.10 数模转换器模块（D/A）.....	18
4.11 模拟比较器模块（CMP）.....	18
4.12 通用全/半双工收发器（USART）.....	19
4.13 串行外设接口（SPI）.....	19
4.14 内部集成电路接口（I2C）.....	20
4.15 制器局域网总线（CAN）.....	20
4.16 实时时钟（RTC）.....	20
4.17 独立看门狗（IWDG）.....	21
4.18 窗口看门狗（WWDG）.....	21
4.19 CFGL 模块（CFGL）.....	21
4.20 复位（RESET）.....	22

4.21 外设模块时钟使能模块(CLK_EN).....	22
4.22 循环冗余校验单元 (CRC)	23
4.23 AES 加密模块 (AES)	23
5 电气特性.....	23
5.1.1 最大值和最小值说明.....	23
5.1.2 典型值.....	23
5.1.3 线性曲线.....	24
5.2 最大范围.....	24
5.3 运行条件.....	25
5.3.1 常规运行条件.....	25
5.3.2 上电/掉电的运行条件.....	25
5.3.3 复位和电源控制模块特性 BOR,PVD.....	25
5.3.4 BAT PVD.....	27
5.3.5 电源电流特性.....	27
5.3.6 VREG.....	27
5.4 时钟源特性.....	28
5.4.1 HSE.....	28
5.4.2 LSE.....	29
5.4.3 HSI.....	30
5.4.4 LP4M.....	30
5.4.5 LSI.....	31
5.4.6 PLL.....	31
5.5 IO 端口特性.....	32
5.5.1 静态特性.....	32
5.5.2 IO 输出特性.....	32
5.5.3 IO AC 特性.....	32
5.5.4 NRST pin 特性.....	33
5.5.5 外部中断特性.....	33
5.6 外设.....	34
5.6.1 ADC 12BIT 特性.....	34
5.6.2 DAC 12 BIT 转换特性.....	35
5.6.3 电压参考 buffer 特性.....	37
5.6.4 比较器特性.....	37
6 封装信息.....	38
6.1 QFN32 封装.....	38
7 ROHS 认证.....	39
8 声明及销售网络.....	40
9 版本更新记录.....	41

1 芯片资源

1.1 产品订购信息 KF32F130

型号	订货号	封装	FLASH (KB)	RAM (KB)	频率 (Hz)	16 位定时器				32 位定时器	ECCP	QEI	EXIC	SPI	I2C	USART	低功耗 USART	CAN	低功耗 CAN	USB	12 位 ADC	12 位 DAC	运放	比较器	TOUCH	LCD	RTC	CFGL	CRC	AES128	工作电压 (V)
						基本	通用	高级	低功耗																						
KF32F130	KF32F130GNP	QFN32	64	16	72M	2	4	2	N	1	1X8ch	1	N	2	2	2	N	1	N	N	1	2	N	2	N	N	Y	Y	Y	Y	1.71~3.6V
	KF32F130INP	QFN32	128	16	72M	2	4	2	N	1	1X8ch	1	N	2	2	2	N	1	N	N	1	2	N	2	N	N	Y	Y	Y	Y	1.71~3.6V

1.2 KF32F130 资源表

表 1-1 KF32F130 资源表

型号	KF32F130	
订货号	KF32F130GNP	KF32F130INP
封装	QFN32	
GPIO	29	
FLASH	64Kbyte, 带 ECC 校验	128Kbyte, 带 ECC 校验
RAM	16Kbyte, 带 ECC	
ROM	16 Kbyte	
16 位 Timer	2 个高级定时器支持 1 个增强型 CCP	
	4 个通用定时器支持 4 个通用 CCP	
	2 个基本定时器	
32 位 Timer	1	
QEI	1	
12 位 ADC	1	
12 位 DAC	2	
USART	2	
I2C	2	
SPI	2	
USB2.0HS	N	
CAN2.0B	1	
RTC	Y	
DMA	2x7	
CRC	Y	
AES128	Y	
CFGL	Y	
EXIC	N	
内部高频振荡器	16MHz	
内部低频振荡器	32KHz	
外部高频时钟	4~32MHz	
外部低频时钟	32.768KHz	
内部参考	1.5/2/2.5/3V	
器件 ID 号	含出厂版本号等	
指令系统	V0	
工作电压	1.8V~3.6V	
工作温度	-40~85℃	

2 系统概述

2.1 系统概述

KF32F130 系列单片机是基于 KF32 内核架构开发的单片机。KF32 为 32 位三级流水线结构的高性能处理器内核，KF32 内核具有以下特点：

- 三级流水线结构
- 基于 16 位/32 位混合指令的高效指令集
- 支持 13 个 32 位通用寄存器（R0~R12），1 个链接寄存器（R13/LR），1 个堆栈指针寄存器（R14/MSP/PSP，R14 可软件选择 MSP/PSP），1 个程序计数器（R15/PC）
- 支持 32x32 单周期硬件乘法
- 支持 32/32 硬件除法
- 支持 8/16/32 位数据访存操作，支持 8/16/32/64 位数据处理
- 支持加减移位和逻辑运算
- 支持相对/绝对跳转，支持条件跳转
- 具有统一的存储空间，32 位地址位宽，支持 4GB 存储空间
- 支持最多 64+16 个中断请求和 16 个中断优先级
- 支持多种休眠模式
- 支持 24 位系统节拍定时器
- 提供了可编程存储器访问权限控制
- 支持多种操作系统（OS）特性

2.2 指令集

KF32F130 系列单片机拥有基于 16 位/32 位混合指令的高效指令集，拥有多种操作模式。

2.3 系统框图

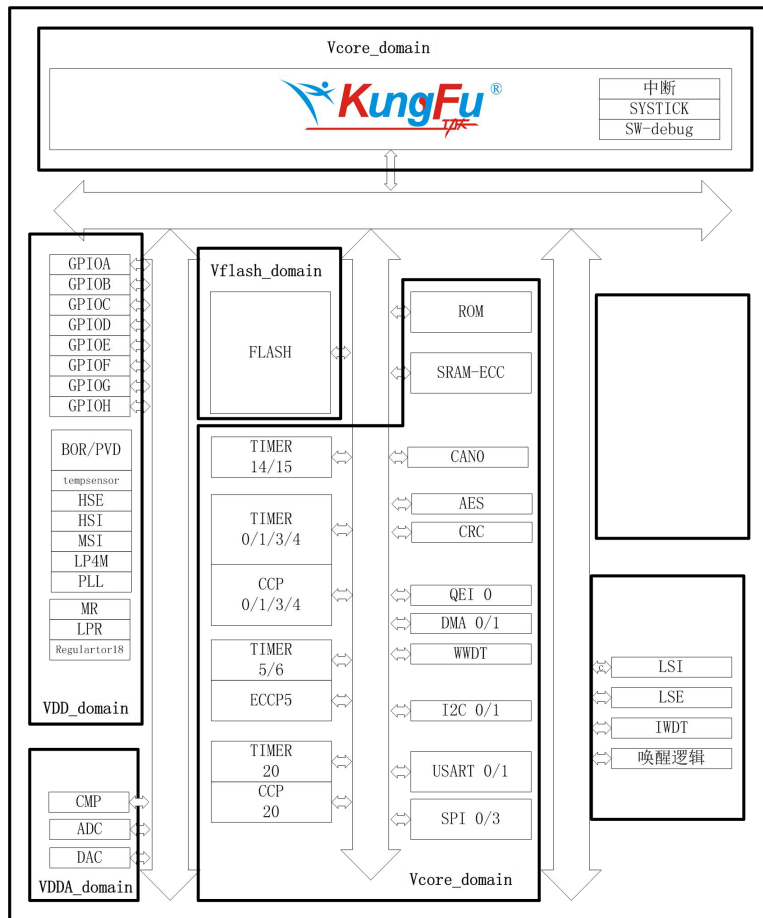


图 2-1 系统结构框图

2.4 KF32F130 外设资源对照表

表 2-1 KF32F130 外设资源对照表

型号	KF32F130	
	KF32F130GNP	KF32F130INP
订货号	KF32F130GNP	KF32F130INP
封装	QFN32	QFN32
GPIO	29	29
FLASH	64KB	128KB
RAM	16KB	16KB
ROM(KB)	16KB	16KB
频率	72M	72M
16 位基本定时器	T14/15	T14/15
16 位通用定时器	T0/1/3/4	T0/1/3/4
32 位通用定时器	T20	T20
16 位高级定时器	T5/6	T5/6
QEI	QEIO	QEIO
12 位 ADC	ADC0	ADC0
12 位 DAC	DAC0/1	DAC0/1
CMP	CMP0/1	CMP0/1
USART	USART0/1	USART0/1
I2C	I2C0/1	I2C0/1
SPI	SPI0/2	SPI0/2
CAN	CAN0	CAN0
RTC	Y	Y
DMA	DMA0/1	DMA0/1
CRC	Y	Y
AES128	Y	Y

2.5 芯片引脚图

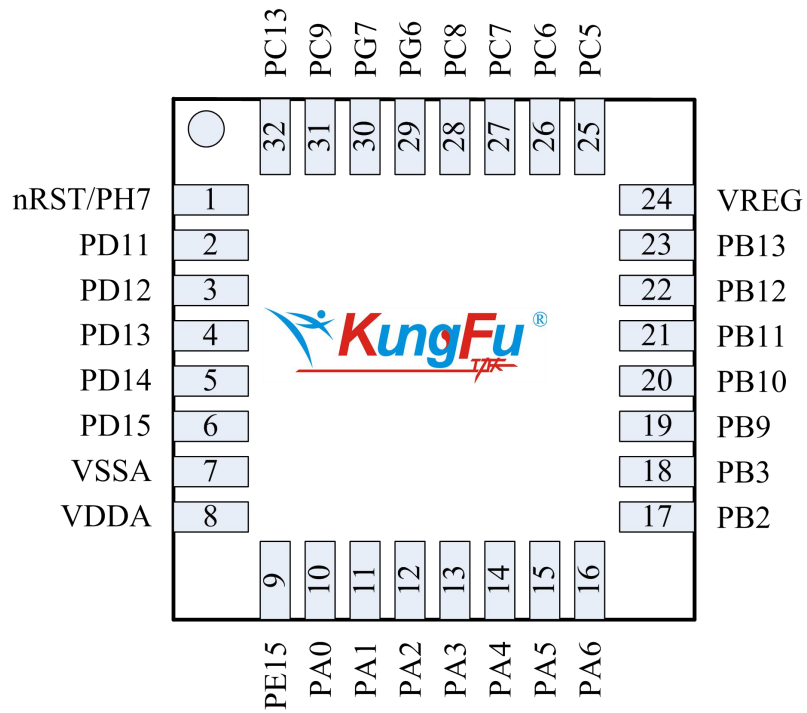


图 2-2 QFN32

3 I/O 端口介绍

3.1 概述

单片机有 QFN32 管脚封装。

单片机最多支持 32 个引脚，包括 PA 口、PB 口、PC 口、PD 口、PE 口、PF 口、PG 口、PH 口和电源等特殊引脚。每个 Px (x=A,B,C,D,E,F,G,H,) 最多有 16 个引脚。

端口特性如下：

- 数字输入
 - 数字输出
 - 推挽式输出
 - 开漏输出
 - 浮空输出
 - 模拟输入设置
 - 独立端口上/下拉控制
- 注：浮空输出为部分重映射功能

3.2 引脚重映射说明（数字功能）

表 3-1 引脚重映射表_数字功能

KF32F130		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12
QFN32	GPIO	SYSTEM	T0/1/2/3/4	T5/6	/QE11	T14/T15/QE10	USART0/1/2	USART3/4/5/6/7	SPI0/1/2/3	I2C0/1/2/3	CAN0~5/FLT	额外提供	额外提供	CFGL
9	PE15		T1CK			QEA0			SPI0_SS/I2S0_WS			SPI3_SS/I2S3_WS		CFGL1_IN2
10	PA0	CLKOUT/ROM_RX	CCP0CH1	ECCP5CH1L		T14CK	USART0_RX		I2S0_MCK	I2C0_SDA		SPI0_SCK/I2S0_CK		CFGL1_IN1
11	PA1		CCP0CH2	ECCP5CH1H		T15CK	USART0_TX0		SPI0_SDI	I2C0_SCL	FLT12	ECCP5BKIN	CCP3CH1	CFGL1_IN0
12	PA2		CCP0CH3	ECCP5CH2L			USART0_TX1		SPI0_SDO/I2S0_SD	I2C0_SMBALT	CAN0RX	ECCP5CH1L	CCP3CH2	CFGL2_IN0
13	PA3		CCP0CH4	ECCP5CH2H		QEA0	USART0_CLK		SPI0_SS/I2S0_WS		CAN0TX			CFGL1_OUT
14	PA4		T0CK	ECCP5CH3L		QEB0			SPI0_SCK/I2S0_CK					CFGL2_OUT
15	PA5		CCP3CH1	ECCP5CH3H		INDEX0	USART0_RTS							
16	PA6		CCP3CH2	ECCP5CH4L		QE10DIR	USART0_CTS					ECCP5CH2L	CCP3CH3	
17	PB2		CCP1CH3	ECCP5CH2L			USART1_TX1			I2C1_SDA	CAN0RX		USART1_RTS	
18	PB3	RTC_OUT/ROM_EN	CCP1CH4	ECCP5CH3L			USART1_CLK			I2C0_SMBALT	CAN0TX			
19	PB9	CLKOUT	CCP0CH2	ECCP5BKIN			USART0_CLK		SPI0_SCK/I2S0_CK				USART0_TX0	
20	PB10		CCP0CH1				USART0_RX		SPI3_SDI					
21	PB11		CCP3CH1	ECCP5CH1H		T14CK	USART0_RTS		SPI2_SCK/I2S2_CK					
22	PB12		CCP3CH2	ECCP5CH2H		T15CK	USART0_CTS		SPI2_SDI			I2C1_SCL		
23	PB13		CCP3CH3	ECCP5CH3H					SPI2_SDO/I2S2_SD		FLT12	I2C1_SDA		
24	VREG													
25	PC5	SPDATA	CCP4CH1	ECCP5CH1L		INDEX0			SPI2_SS/I2S2_WS	I2C1_SCL	CAN0RX	T3CK	USART2_RX	
26	PC6	SPCLK	CCP4CH2	ECCP5CH1H		QE10DIR			SPI2_SCK/I2S2_CK	I2C1_SMBALT	CAN0TX		USART2_CLK	
27	PC7		CCP4CH3	ECCP5CH2L			USART1_RX		SPI2_SCK/I2S2_CK			I2S2_MCK		
28	PC8		CCP4CH4	ECCP5CH2H			USART1_TX0		SPI2_SDI			CCP3CH1		
29	PG6		CCP4CH3						SPI2_SDO/I2S2_SD	I2C0_SMBALT		CCP3CH2		
30	PG7		CCP1CH2							I2C0_SCL				
31	PC9		CCP1CH1				USART1_TX1		SPI2_SCK/I2S2_CK		FLT12	I2C0_SDA		
32	PC13		T1CK				USART1_CTS				FLT10			CFGL2_OUT
1	PH7/nRST													CFGL1_IN3
2	PD11		CCP1CH1								FLT10			
3	PD12		CCP1CH2				USART0_RTS				FLT11			
4	PD13		CCP1CH3				USART0_CTS							
5	PD14		CCP1CH4	ECCP5CH4L										
6	PD15		CCP0CH3	ECCP5CH4H							FLT12			CFGL2_IN1
7	VSS													
7	VSS/VSSA													
8	VDD													
8	VDD/VDDA													

3.3 引脚重映射说明（系统以及模拟功能）

表 3-2 系统以及模拟引脚

KF32F130							
QFN32	GPIO	电源	振荡器	SYSTEM	ADC	DAC	CMP
9	PE15				ADC_CH36	DAC0_OUT0	
10	PA0				ADC_CH37	DAC1_OUT	COIN+/CIIN+
11	PA1			RTC_TS/ROM_TX	ADC_CH38		COIN-/CIIN-
12	PA2				ADC_CH39		
13	PA3				ADC_CH40		
14	PA4					DAC0_OUT1	
15	PA5				ADC_CH41	DAC1_REF	
16	PA6				ADC_CH42	DAC0_REF	
17	PB2						COIN+/CIIN+
18	PB3						COIN-/CIIN-
19	PB9						COIN+
20	PB10						COIN-
21	PB11						CIIN+
22	PB12						CIIN-
23	PB13						
24	VREG	VREG					
25	PC5			TAMP1	ADC_CH5		
26	PC6			WKUP1	ADC_CH6		
27	PC7	VREF-		WKUP4	ADC_CH7/VREF-		
27		VREF-					
28	PC8	VREF+		WKUP5	ADC_CH8/VREF+		
28		VREF+					
29	PG6						
30	PG7						CIIN+
31	PC9				ADC_CH9		CIIN-
32	PC13				ADC_CH13		
1	PH7/nRST			NRST			
2	PD11		OSC32_IN				
3	PD12		OSC32_OUT				
4	PD13				ADC_CH30		
5	PD14		OSC_IN		ADC_CH31		
6	PD15		OSC_OUT			DAC_EXT_VREF	
7	VSS	VSS					
7	VSS/VSSA	VSS/VSSA					
8	VDD	VDD					
8	VDD/VDDA						

3.4 引脚重映射表-外部唤醒引脚、侵入检测和时间戳引脚映射

表 3-3 模拟功能引脚映射

GPIO	唤醒引脚	侵入检测引脚	时间戳
PA1			RTC_TS
PC5		TAMP1	
PC6	WKUP1		
PC7	WKUP4		
PC8	WKUP5		

4 资源介绍

4.1 DMA

直接存储器访问模块(DMA)用于外设和存储器间直接数据传输,可用于 RAM 和 RAM 之间、RAM 和外设、外设和外设之间的数据传输。DMA 模块将从源地址上读取的数据写入到目标地址空间中,从而完成数据传输,而无需 CPU 的干预。

每个 DMA 模块有如下特性

- 7 个独立可配置的通道
- 支持存储器和存储器、存储器和外设、外设和外设之间的数据传输
- 支持 8bit/16bit/32bit 数据位宽传输
- 支持自动递增的源和目标地址,支持固定的源和目标地址
- 支持循环模式
- 支持传输数据数量设置,最大为 65535
- 支持 4 级通道优先级设置
- 支持外设触发,支持软件触发
- 追踪当前的源指针和目标指针
- 追踪当前未传输的数据量

4.2 节拍定时器 (SYSTICK)

KungFu32 内核提供了一个 24 位的系统节拍定时器 (System Tick Timer)。系统节拍定时器可为系统提供可编程时长的周期性中断,即使是在休眠下也能工作(注:深度休眠下不能工作)。系统节拍定时器有专用的中断向量。

系统节拍定时器结构如下图所示。系统节拍定时器为递减计数模式,当系统节拍定时器的值为 0 时会产生一个中断,同时系统节拍定时器重载值寄存器 (ST_RELOAD) 的值会装入系统节拍定时器中。对系统节拍定时器重载值寄存器 (ST_RELOAD) 进行设置可以修改产生中断的间隔时长。在使用节拍定时器时,使能前要先向 ST_CV 系统节拍定时器当前值寄存器写任意值,使 COUNTZERO 位及 ST_CV 清零,保证 ST_RELOAD 的值加载到 ST_CV 中。

向 ST_RELOAD 写 0 会使计数器在下一个计数周期禁止。

通过使能 INT_EIE0 寄存器的 SYSTICKIE 位可以使能系统节拍定时器中断,当定时器由 1 变 0 时可以将 INT_EIF0 中的 SYSTICKIF 标志位置 1。

4.3 基本定时/计数器(T14/T15)

Tx(x=14,15)是一个 16 位的定时/计数器,它有定时和计数两种工作模式,支持 3 种计数方式:向上计数、向下计数和向上向下计数方式。根据不同的模式,计数会产生溢出,将 Tx 溢出中断标志 TXIF 位置 1。

基本定时器主要功能包括:

- 16 位自动重载计数器
- 16 位可编程预分频器，用于对输入的时钟按系数为 1~65536 之间任意数值分频
- 在更新事件以及触发事件时产生 DMA 请求
- 基本定时器可以用于触发 AD 和 DA 模块

4.4 通用定时/计数器(T0/T1/T3/T4/T20)

$T_x(x=0,1,3,4)$ 是 16 位的定时/计数器， $T_x(x=20)$ 是 32 位的定时/计数器。它们除位宽不一样外，其他功能以及实现方式都是一样的。

通用定时/计数器有定时和计数 2 种工作模式，支持 3 种计数方式：向上计数、向下计数和向上向下计数方式。根据不同的模式，计数会产生溢出，将 T_x 中断标志位 TXIF 置 1。 T_x 属于外部单元，因此在使用 T_x 中断时，需使能对应的外设中断。

通用定时/计数器主要功能包括：

- 16 位/32 位自动重载计数器
- 16 位/32 位可编程预分频器，用于对输入的时钟按系数为 1~65536/1~4294967296 之间任意数值分频
- 通用定时器可以用于触发 AD 和 DA 模块
- 更新事件、触发事件（触发模式、门控模式、复位模式）、捕捉事件、比较事件可以产生 DMA 请求

4.5 高级定时/计数器（T5/T6）

ECCPx 模块各包含两个计数器 T_x/T_z ($x=5; z=6$; T_x 和 T_z 原理相同)，他们是 16 位的定时器，有 3 种计数方式：向上计数、向下计数和向上向下计数方式，可精确配置 1-65535 自由分频进行计数。支持触发其它定时器、AD 及 DMA 等外设。

高级定时/计数器主要功能包括：

- 16 位位自动重载计数器
- 16 位的可编程预分频器（分频器 1）和 4 位的可编程后分频器（分频器 2）
- 高级定时器可用于触发 AD、DA 等模块
- 支持周期更新和立即更新
- 支持比较器清零定时器功能
- 支持主从模式（触发、门控、复位）
- 可以用来产生 DMA 请求（更新、TRGI 触发、捕捉/比较、关断事件）

4.6 通用捕捉/比较/PWM 模块（CCP0/1/3/4/20）

CCP 模块是通用型捕捉/比较/脉宽调制模块，在通用 CCP 模块中，采用通用定时/计数器做为该 CCP 的计数时基，可以用来实现捕捉功能、比较功能和 PWM 功能。

在 CCP0/1/3/4 模块中比较寄存器为 16 位的寄存器 CCP_x_Ry ($x=0,1,3,4$; $y=1,2,3,4$)，该寄存器也用于 PWM 模式下的占空比设置；在 CCP20 中比较寄存器为 32 位的寄存器 CCP_x_Ry ($x=20$; $y=1,2,3,4$)，该寄存器也用于 PWM 模式下的占空比设置。

在 CCP0/1/3/4 模块中捕捉寄存器为 16 位的寄存器 CCPx_Cy (x=0,1,3,4; y=1,2,3,4)，该寄存器为只读。在 CCP20 模块中捕捉寄存器为 32 位的寄存器 CCPx_Cy(x=20;y=1,2,3,4)，该寄存器为只读。

通用 CCP 主要功能包括：

- 16 位/32 位的捕捉功能
- 16 位/32 位的比较功能
- 16 位/32 位的 PWM 功能
- 支持 PWM 测量功能
- 4 个独立的通道
- PWM 支持边沿对其和中心对齐
- 支持单脉冲输出
- 更新事件、触发事件（触发模式、门控模式、复位模式）、捕捉事件、比较事件可以产生 DMA 请求

4.7 增强型捕捉/比较/PWM 模块(ECCP5)

ECCPx (x=5) 模块是增强型捕捉/比较/脉宽调制模块，可以提供外部信号捕捉、内部比较输出以及 PWM 输出三种功能。在 ECCP 模块中，采用 16 位的定时器/计数器(ECCP5 为 T5 和 T6)做为该 ECCP 的计数时基，在 ECCP5 模块中捕捉寄存器为 16 位的寄存器 ECCPx_Cy (x=5;y=1,2,3,4)，比较寄存器为 16 位的寄存器 ECCPx_Ry (x=5;y=1,2,3,4)，该寄存器也用于 PWM 模式下的占空比设置。支持部分寄存器的数据更新功能。支持各个通道独立的关断操作。

如下事件发生时产生 DMA：

- 输入捕获
- 输出比较
- 关断事件
- 更新事件

4.8 正交编码脉冲电路 (QEIO)

单片机内部集成有正交编码脉冲电路。正交编码脉冲电路可用于获得旋转机械的位置和速率等信息。

正交编码脉冲是两个频率变化且正交的脉冲。当它由电机轴上的光电编码器产生时（光电编码器具有 3 路输出：A 相、B 相和索引脉冲），电机的旋转方向可以通过检测两个脉冲序列（QEA 和 QEB）中先到达的列来确定，角位置和转速可由脉冲数和脉冲频率（即齿脉冲和圈脉冲）来决定。电机的绝对位置以索引脉冲为基准确定。

QEIO 由用于解析 A 相（QEA）和 B 相（QEB）信号的解码器逻辑以及用于累计计数值的递增/递减计数器组成。输入端上的数字噪声滤波器对输入信号进行滤波。

QEIO 的计数时基为定时器 T7。

QEIO 的工作特性包括：

- 3 路输入通道，分别为两相信号和索引脉冲输入
- 输入端上的可编程数字噪声滤波器

- 16 位递增/递减位置计数器
- 计数方向状态
- x2 和 x4 计数分辨率
- 两种位置计数器复位模式：
 - 使用周期复位位置计数器
 - 使用索引脉冲复位位置计数器
- 通用 16 位定时器/计数器模式
- 正交编码器接口中断

4.9 模数转换模块 (A/D)

ADC 特性:

- 12 位分辨率
- 16 常规扫描通道+4 个高优先级通道
- 支持常规模式和高优先级模式
- 支持单次转换模式和连续转换模式
- 最高 20 个通道连续转换模式
- 数据左对齐或右对齐
- ADC 支持 DMA 触发
- 支持模拟看门狗事件
- 支持定时器触发 ADC
- 双 AD 模式
- ADC 转换时间: 12.5 个周期
- AD 电压: 2.4V 到 3.6V 或者 V_{ref+}
- ADC 输入范围 V_{ref-} 到 V_{ref+}

4.10 数模转换器模块 (D/A)

DA 特性:

- 2 个 12 位 DAC
- 12 位 DAC 支持 DMA 功能
- 12 位 DAC 支持外部触发转换
- 12 位 DAC 支持噪声波发生器
- 12 位 DAC 支持三角波发生器
- 独立的外部参考电压源

4.11 模拟比较器模块 (CMP)

单片机内置 2 个模拟比较器模块, 其主要特点如下:

- 正负端多输入端口可选
- 电阻分压模块提供可选内部参考电压

- 输出极性可选
- 中断边沿可选
- 数字滤波功能
- 比较器输出可作为定时器捕捉输入、PWM 关断源或用于清零定时器
- 可配置为 BEMF（反向电动势）模式和 HALL（霍尔检测）模式

4.12 通用全/半双工收发器（USART）

USART 是 Universal Synchronous /Asynchronous Receive & Transmit 的缩写，它的中文名称是通用同步/异步收发器，又称通用全双工/半双工收发器。这是一个串口通信的 I/O 外设，也可作为串行通信接口。它可被配置为与个人计算机等外设通信的全双工异步系统。也可以被配置为与外设或其它单片机通信的半双工同步系统，与之通信的单片机通常不具有产生波特率的内部时钟，它需要主控同步器件提供外部时钟信号。

4.13 串行外设接口（SPI）

SPI 模块可配置为支持 SPI 协议或者 I2S 协议。SPI 模块默认工作在 SPI 方式，可通过软件将其切换到 I2S 模式。在 I2S 模式下，原则上数据传输为全双工模式，主机和从机同时收发数据，但实际情况下通常只有一个方向上的数据是有意义的。

SPI 模式主要特征：

- 3 线或者 4 线数据传输
- 8/16/32 位传输帧格式
- MSB/LSB 先发送可选
- 主从模式
- 时钟频率可设
- 可编程的时钟极性和相位
- 可触发中断的发送和接收标志
- DMA 读写

I2S 主要特征：

- 单工通信
- 主从模式
- 数据长度可为 16/32 位
- 8 位线性可编程预分频器（音频采样频率 8KHz 到 96KHz）
- 可编程时钟极性
- 支持多种 I2S 协议：
 - I2S 飞利浦标准
 - LSB 对齐标准（右对齐）
 - MSB 对齐标准（左对齐）
 - PCM 标准
- DMA 读写

可输出的主时钟，频率为 $256 \times F_s$ （ F_s 为音频采样频率）

4.14 内部集成电路接口（I2C）

I2C 特征:

- 多主机模式：可用作主设备或者从设备
- I²C 主设备产生时钟，起始和停止信号
- 检测 7 位和 10 位地址
- 支持 Fast Mode Plus 模式，最高速度可达 1Mbit/s
- 支持多地址识别
- 在监控模式下可观察所有的 I2C 总线通信量
- DMA 读写

I²C 模块能实现全部从动功能，且硬件支持启动位和停止位中断，以便于固件实现主控功能。I²C 模块实现标准模式规范以及 7 位和 10 位寻址。有两个引脚用于数据传输：时钟线（SCL）和数据线（SDA）。通过使能位 I2CEN 置 1 以使能 I2C 模块的功能。

4.15 制器局域网总线（CAN）

控制器局域网（Controller Area Network，简称为 CAN）是一种用于连接电子控制设备（Electronic Control Unit，简称为 ECU）的多主共享型串行总线标准。CAN 总线针对抗电磁干扰进行了专门设计，适用于具有较强电磁干扰的环境，不但可以使用与 RS-485 类似的差分平衡传输线，也可以使用更加可靠的双绞线。CAN 总线最初是针对汽车应用而研发的，不过时至今日已经广泛应用于各种嵌入式控制领域（例如工业方面和医疗方面）。CAN 总线在总线长度小于 40 米时最高可达 1Mbps 位速率。位速率越低则有效通讯距离越远（例如 125kbps 时通讯距离可达 500 米）。

CAN 有如下特性:

- 支持 CAN2.0B 协议
- 同时支持 11 位和 29 位识别码
- 位速率可达 1Mbits/s
- 可读/写访问的错误计数器
- 可编程的错误报警限制
- 最近一次错误代码寄存器
- 对每一个 CAN 总线错误的中断
- 具体控制位控制的仲裁丢失中断
- 在标准和扩展格式中都有验收滤波器含屏蔽和代码寄存器
- 当错误或仲裁丢失时可配置是否重发

4.16 实时时钟（RTC）

实时时钟（Real Time Counting, RTC）单元提供给用户实时时间以及日历信息。RTC 单

元通过时间寄存器提供时间信息 (秒、分、时、星期、日、月、年)。数据信息由 BCD 码格式进行表示。修改计数器的值可以重新设置系统当前的时间和日期。

RTC模块可以根据年、月份 (闰年、大小月)，自动补偿天数；还可以进行夏令时、冬令时补偿。

RTC的时钟源可以通过软件选择外部低频晶振EXTLF、内部低频时钟INTLF和外部高频晶振的128分频。RTC模块自带高精度的数字时钟校准功能。

RTC提供两个可编程的闹钟功能及中断，用户可预先在时间闹钟寄存器中设置闹钟日期进行闹铃设置。

RTC模块位于备份域内，因此所有对RTC模块的操作都将受到备份域保护，操作RTC寄存器之前需要允许备份域可写；使能RTC模块之后，只要电源电压保持在工作范围内，RTC可将正常工作在任何运行模式和休眠模式。

4.17 独立看门狗 (IWDG)

看门狗可用于检测和解决由软件错误引起的故障，当计数器达到给定的超时值时产生一个系统复位。

IWDG最适合那些要求看门狗在主程序外，能够完全独立工作的场合。

特点：

- 自由递增的计数器；
- 时钟为内部低频时钟INTLF；
- 可编程预分频；
- 避免复位：溢出前清零看门狗计数器（喂狗）。

4.18 窗口看门狗 (WWDT)

窗口看门狗通常被用来监测由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。

WWDT最适合那些要求看门狗在精确计时窗口起作用的应用程序。通过可配置的时间窗口来检测应用程序非正常的过迟或过早的操作。

特点：

- 可编程自由运行计数；
- 时钟为内部低频时钟INTLF；
- 可编程预分频；
- 提供中断；

避免复位（喂狗）：窗口内写计数器或利用中断写计数器。

4.19 CFGL 模块 (CFGL)

可配置逻辑单元 (CFGLx) 提供可超越软件执行速度限制而工作的可编程逻辑。该逻辑单元最多可接收16个输入信号，并通过使用可配置门将16个输入缩减为4条驱动8种可选单

输出逻辑功能之一的逻辑线。

输入源是以下信号源的组合：

- I/O引脚
- 内部时钟
- 外设
- 寄存器位

可能的配置包括：

- 组合逻辑
 - AND
 - NAND
 - AND-OR
 - AND-OR-INVERT
 - OR-XOR
 - OR-XNOR
- 锁存器
 - S-R
 - 带置1 和复位功能的时钟控制D型锁存器
 - 带置1 和复位功能的透明D型锁存器
 - 带复位功能的时钟控制J-K型锁存器

4.20 复位 (RESET)

系统复位源：

- POR 上电复位
- BOR 复位
- NRST 外部复位引脚复位
- 窗口看门狗复位
- 独立看门狗复位
- 软件复位

单片机具有：POR 上电复位、BOR 复位、NRST 复位、IWDT 复位、WWDT 复位、软件复位六种复位方式。

除复位方式以外，单片机还提供一个可编程的电压检测模块 (PVD)，对供电电源 VDD 的电压进行检测。

有些寄存器的状态在任何复位条件下都不会受到影响，其它大多数寄存器在复位事件发生时将被复位成“复位状态”。

4.21 外设模块时钟使能模块(CLK_EN)

为了降低功耗，默认外设时钟就禁止。在使用外设模块时，需要使能该外设模块时钟控制信号，否则模块不工作。通过 PCLK_CTLx (x=0,1,2,3) 外设时钟控制寄存器控制相应的

外设时钟。当外设时钟禁止时，CPU 无法对相应的模块寄存器进行写操作。

4.22 循环冗余校验单元（CRC）

循环冗余校验单元（Cyclic Redundancy Check, CRC）可以通过生成多项式计算不同长度数据的 CRC 校验值。CRC 技术可应用于核实数据传输或者数据存储的正确性和完整性。

CRC 特性：

- 可编程的多项式，最高支持 33 项数的生成多项式
- 单周期计算时间
- 支持可编程的初始值
- 支持 8/16/32 位长度的输入数据格式
- 输入数据支持字节反序操作
- 计算结果支持可编程的异或操作
- 计算结果支持反序操作

4.23 AES 加密模块（AES）

芯片内部集成了一个 AES 加密模块，其可以进行 128bit 的 AES 加密，生成用于流密码加密的密钥。

5 电气特性

除非另外说明，所有电压都是相对 VSS 做参考的。

5.1.1 最大值和最小值说明

除非另外声明，最大值和最小值能够在环境温度下不会超出[最小值,最大值]，产品测试中 100%的设备都要经过 TA=25°C（TA 最大值（选择的温度范围））的供电测试和频率校准测试。

基于设计仿真的特性的结果说明显示在表格的脚注项里，在产品中测试中可能并不会测试。

模拟工作电压 1.66V 到 3.6V。

5.1.2 典型值

除非另外声明，典型数据（典型值）来源于环境温度为 25°C，VDD=3.3V 的条件。它只作为设计参考，并不一定经过测试。

ADC 的典型精度基于整个全温度范围的批量测试结果，95%的设备小于或等于 2 σ 的范围。

5.1.3 线性曲线

除非另外声明，典型曲线只是设计指导，并不会测试。

5.2 最大范围

超过下表中的最大范围会对设备造成不可恢复的损坏。这些只是可加的最大条件，在这些条件下的功能不能保证。超过这些最大范围会影响设备的可靠性。设备的应用条件符合 JEDEC JESD47 的标准，超过这个标准要提出特殊需求。

表 5-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DDX}-V_{SS}$	外部主要电源电压 (including V_{DD} , V_{DDA} , V_{BAT})	-0.3	4.0	V
$V_{DD12}-V_{SS}$	内部稳压器输出	-0.3	1.32	V
V_{IN}	输入范围	$V_{SS}-0.3$	4.0	V
$ \Delta V_{DD}-V_{DDA} $	V_{DDx} 电源域之间的压差	-	50	mV
$ \Delta V_{SSx}-V_{SS} $	不同地电源域之间的压差	-	50	mV

注：所有 VDD 和 VDDA 引脚、VSS 和 VSSA 引脚在芯片外围必须连接在一起。

表 5-2 电流特性

符号	描述	最大值	单位
ΣIV_{DD}	整个 VDD 电源域可以提供的电流总和	150	mA
ΣIV_{SS}	整个 VSS 电源域可以吸收的电流总和	150	
$IV_{DD(PIN)}$	每个电源管脚可以提供的最大电流	100	
$IV_{SS(PIN)}$	每个地管脚可以提供的最大吸入电流	100	
$I_{IO(PIN)}$	任意 IO 可以吸入的最大电流	20	
$\Sigma I_{IO(PIN)}$	所有 IO 可以吸入的电流总量	100	
	所有 IO 可以提供的电流总量	100	

表 5-3 温度特性

符号	描述	最大值	单位
T_{STG}	存储温度范围	-65 to +150	°C
T_J	最大结温	150	°C

5.3 运行条件

5.3.1 常规运行条件

表 5-4 常规运行条件

符号	参数	条件	最小值	最大值	单位
f_{SCLK}	core 频率	-	0	120	MHz
$f_{SYSTICK}$	节拍定时器工作频率		0	120	
f_{DMA}	DMA 工作频率		0	110	
f_{AES}	AES 工作频率		0	100	
f_{TIMER}	基本/通用/高级定时器工作频率		0	120	
f_{QE1}	QE1 工作频率		0	120	
f_{CFGL}	CFGL 工作频率		0	120	
f_{I2C}	I2C 工作频率		0	120	
f_{SPI}	SPI 工作频率		0	80	
f_{USART}	USART 工作频率		0	120	
f_{CRC}	CRC 工作频率		0	120	
f_{CAN}	CAN 工作频率		0	100	
f_{BKP}	BKP 工作频率		0	16	
f_{RTC}	RTC 工作频率		0	32	
f_{WDT}	IWDT/WWDT 工作频率		0	32	
V_{DD}	标准运行电压	-	1.66	3.6	V
V_{DD12}	标准运行电压	全频率范围	1.08	1.32	V
V_{DDA}	模拟电源电压	使用 ADC 时	1.66	3.6	V
		使用 DAC 时	1.8		
		使用 VREFBUF 时	2.4		
		ADC, DAC, COMP, VREFBUF 不使用时	1.66		
V_{BAT}	备份域电源	-	1.66	3.6	V

5.3.2 上电/掉电的运行条件

表 5-5 上电/掉电的运行条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	VDD 上升速率	-	0	∞	us/V
	VDD 下降速率		10	∞	
t_{VDDA}	VDDA 上升速率	-	0	∞	us/V
	VDDA 下降速率	-	10	∞	

5.3.3 复位和电源控制模块特性 BOR,PVD

量产测试指标, 需要在使用全温度范围内, 校准到下表中的【最小值, 最大值】区间内。并且上电速度可以从无限慢到无限快。掉电速度不能小于 10us/V。

备注: 在上电过程中, VDD12 不能接外部电源。

表 5-6 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
VPOR	上电复位阈值	上升沿	1.61	1.66	1.7	V
		下降沿	1.6	1.64	1.69	
VBOR1	BOR1 复位阈值	上升沿	2.33	2.36	2.39	V
		下降沿	2.23	2.28	2.32	
VBOR2	BOR2 复位阈值	上升沿	2.54	2.58	2.62	V
		下降沿	2.46	2.50	2.54	
VBOR3	BOR3 复位阈值	上升沿	2.89	2.93	2.97	V
		下降沿	2.79	2.84	2.88	
VBOR4	BOR4 复位阈值	上升沿	3.24	3.29	3.33	V
		下降沿	3.11	3.17	3.22	
VPVD0	可编程电压检测阈值 0	上升沿	2.44	2.49	2.51	V
		下降沿	2.23	2.27	2.30	
VPVD1	可编程电压检测阈值 1	上升沿	2.61	2.66	2.70	V
		下降沿	2.39	2.43	2.47	
VPVD2	可编程电压检测阈值 2	上升沿	2.79	2.84	2.88	V
		下降沿	2.54	2.59	2.63	
VPVD3	可编程电压检测阈值 3	上升沿	2.96	3.01	3.06	V
		下降沿	2.70	2.75	2.79	
VPVD4	可编程电压检测阈值 4	上升沿	3.14	3.19	3.24	V
		下降沿	2.86	2.91	2.96	
VPVD5	可编程电压检测阈值 5	上升沿	3.32	3.37	3.42	V
		下降沿	3.02	3.08	3.13	
$V_{\text{hyst_POR}}$	POR 的迟滞电压		-	20	-	mV
$V_{\text{hyst_BOR_PVD}}$	BOR 和 PVD 的迟滞电压	-	-	100	-	mV
$I_{\text{DD}}(\text{BOR_PVD})$	BOR 和 PVD 的总功耗	-	-	1.1	1.6	uA

5.3.4 BAT PVD

表 5-7 BAT 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
监测阈值	BAT PVD SEL=000	Rising edge	1.6	-	1.7	V
		Falling edge	1.59	-	1.69	
	BAT PVD SEL=001	Rising edge	1.8	-	1.9	
		Falling edge	1.64	-	1.69	
	BAT PVD SEL=010	Rising edge	2.075	-	2.157	
		Falling edge	1.848	-	1.932	
	BAT PVD SEL=011	Rising edge	2.421	-	2.527	
		Falling edge	2.161	-	2.264	
	BAT PVD SEL=100	Rising edge	2.893	-	3.036	
		Falling edge	2.588	-	2.716	
	BAT PVD SEL=101	Rising edge	3.624	-	3.764	
		Falling edge	3.422	-	3.366	
$I_{DD-BAT-PVD}$	BAT PVD 功耗			20		uA
T_{STU}	开启稳定时间			108		us

5.3.5 电源电流特性

电源电流的消耗是很多因素的组合：运行电压，环境温度，I/O 负载，设备软件配置，运行频率，I/O 开关速率，程序存储位置和代码。

典型和最大电流消耗：

MCU 在以下条件测得：

- ① 所有的 I/O 脚都处于模拟输入模式；
- ② 除了特殊说明外，所有外设都禁止；
- ③ Flash 访问时间调整为最小的等待状态数，取决于 FHCLK 频率。
- ④ 当外设使能时， $F_{PCLK}=F_{HCLK}$ 。

下面的数据来源于环境温度和表格 4 所规定的电压范围。

5.3.6 VREG

表 5-8 VREG 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
POW12	调整器的输出电压	-		1.2		V
$V_{DD\text{coeff}}$	VREG 的电源变化率			0.1		%
T_{setting}	建立时间	VREG = 1.2V		43	100	us
I_{drive}	驱动能力	VREG = 1.2V		200	230	mA
Cext	Output Decouple Capacitor		1.8	2.2	5	uF

5.4 时钟源特性

5.4.1 HSE

表 5-9 HSE 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
DuCy	占空比	-	45	-	55	%
f _{HSE_ext}	外部高频频率	VDD = 3.3V, TA = 27°C	4	8	32	MHz
tsu	启动时间	VDD = 3.3V, TA = 27°C	-	2.5	-	ms
C	负载电容	-	39	14	10	pF
I _{dd}	HSE 功耗	启动期间	-	-	5.5	mA
		VDD = 3V, Rm=30 Ω, CL=10pF@8MHz	-	0.54	-	
		VDD = 3V, Rm=45 Ω, CL=10pF@16MHz	-	0.95	-	
		VDD = 3V, Rm=30 Ω, CL=5pF@32MHz	-	0.68	-	
		VDD = 3V, Rm=30 Ω, CL=20pF@48MHz	-	3.4	-	
VHSEH	输入 PIN 的高电平范围	-	0.7VDD	-	VDD	V
VHSEL	输入 PIN 的低电平范围	-	V _{ss}	-	0.3VDD	

注：tsu 表示从软件使能到晶振稳定在 8MHz 的时间。

5.4.2 LSE

表 5-10 LSE 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
DuCy	占空比	-	30	-	70	%
F _{LSE}	LSE 频率	AVDD = 3.3V, TA = 27°C	-	32.768	40	kHz
tsu	开启时间	-	-	1.5	-	s
C	负载电容	-	-	12	-	pF
I _{dd}	LSE 功耗	LSEDRV[1:0]= 00 低驱动能力	-	260	-	nA
		LSEDRV[1:0]= 01 中等驱动能力		330		
		LSEDRV[1:0]= 10 次高等驱动能力		520		
		LSEDRV[1:0]= 11 最高驱动能力		650		
VLSEH	OSC_IN 输入 PIN 高电平	-	0.7VDD	-	VDD	V
VLSEL	OSC_IN 输入 PIN 低电平	-	V _{SS}	-	0.3VDD	

5.4.3 HSI

表 5-11 HSI 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{CLKOUT}	内部高频频率		—	16	—	MHz
DuCy	占空比	—	45	—	55	%
ΔTemp	频率随温度的漂移	允许工作温度范围内	-5	±0.6	+3	%
t _{su}	启动时间	—	—	5	—	us
t _{stab}	稳定时间	—	—	17	—	us
I _{POWER_ISS}	功耗	-	—	47	—	uA

5.4.4 LP4M

表 5-12 LP4M 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{CLKOUT Range}	内部低频 4M 时钟频率	校准后, 在 VDD=3.3V、TA=27°C 条件下	-	4	-	MHz
DuCy	占空比	—	45	—	55	%
ΔTemp	温度漂移	允许工作温度范围内	-5	-	+5	%
t _{su}	启动时间	—	—	1.5	—	us
t _{stab}	稳定时间	—	—	2	—	us
I _{POWER_ISS}	功耗	—	—	3.4	—	uA

5.4.5 LSI

表 5-13 LSI 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
VDD	供电电压	TA = 27°C	1.66	3.3	3.6	V
f _{LSI}	频率	VDD = 3V, TA = 27°C	31.04	32	32.96	kHz
tsu	启动时间		-	80	132	us
t _{STAB}	稳定时间	5% of final frequency	-	110	160	us
ΔTemp	温度漂移	VDD = 3.3V, 可允许工作温度范围内	±2.8	-	3%	%
idd	Power consumption	-	-	-	150	nA

5.4.6 PLL

表 5-14 PLL 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
AVDD	运行电压范围		1.8	3.3	3.6	V
XIN/N	输入频率范围	-	1	-	50	MHz
FOUTVCO	VCO 频率范围	-	200	-	400	MHz
FOUPOSTDIV	分频后的时钟频率	-	25	-	400	MHz
T _{pi} (RMS)	周期抖动	FOUTVCO freq ≥ 200MHz; Clean Power	-	25	-	Ps
T _{pi} (P-P)			-	200	-	
Tej	Cycle-to-Cycle		-	50	-	
DUTY	占空比	FOUTVCO freq=200-400Mhz	40	50	60	%
LKT	锁定时间	-	-	-	0.5	Ms
PVDD	功耗	XIN=25MHz, FOUTVCO=200MHz	-	-	0.56	mA

5.5 IO 端口特性

5.5.1 静态特性

表 5-15 IO 静态电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IL}	I/O 输入低电平	1.66V < VDD < 3.6V	-	-	0.3xVDD	V
V _{IH}	I/O 输入高电平	1.66V < VDD < 3.6V	0.7xVDD	-	-	V
V _{hys}	I/O 施密特触发器迟滞电压	2.7V < VDD < 3.6V	-	900	-	mV
		1.66V < VDD < 2.7V	-	500	-	
I _{ikg (1)}	输入漏电流	VIN ≤ VDD	-	-	±50	nA
R _{PU}	弱上拉等效电阻	VIN = VSS	40	45	50	kΩ
R _{PD}	若下拉等效电阻	VIN = VDD	40	45	50	kΩ
C _{IO}	I/O 脚电容	-	-	6	-	pF

5.5.2 IO 输出特性

表 5-16 IO 输出电气特性

符号	参数	条件	最小值	最大值	单位
VOL	任意 IO 输出低电平	I _{IO} = 15mA VDD ≥ 2.7V	-	0.4	V
VOH	任意 IO 输出高电平		VDD - 0.4		
VOL	任意 IO 输出低电平	I _{IO} = 30mA VDD ≥ 2.7V	-	1.3	
VOH	任意 IO 输出高电平		VDD - 1.3		
VOL	任意 IO 输出低电平	I _{IO} = 10mA VDD ≥ 1.66V	-	0.45	
VOH	任意 IO 输出高电平		VDD - 0.45		

5.5.3 IO AC 特性

表 5-17 IO AC 电气特性

I/O 速度配置	符号	参数	条件	最小值	最大值	单位
Low Speed	F 最大值	最大频率	CL=10pF, 2.7V ≤ VDD ≤ 3.6V	-	12	MHz
			CL=10pF, 1.66V ≤ VDD ≤ 2.7V	-	1	
	Tr/Tf	输出上升和下降时间	CL=10pF, 2.7V ≤ VDD ≤ 3.6V	-	18	ns
			CL=10pF, 1.66V ≤ VDD ≤ 2.7V	-	60	
High Speed	F 最大值	最大频率	CL=10pF, 2.7V ≤ VDD ≤ 3.6V	-	40	MHz
			CL=10pF, 1.66V ≤ VDD ≤ 2.7V	-	37.5	
	Tr/Tf	输出上升和下降时间	CL=10pF, 2.7V ≤ VDD ≤ 3.6V	-	4	ns
			CL=10pF, 1.66V ≤ VDD ≤ 2.7V	-	7	

5.5.4 NRST pin 特性

表 5-18 NRST 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL} (NRST)	NRST 输入低电平	-	-	-	$0.3 \times V_{DD}$	V
V_{IH} (NRST)	NRST 输入高电平	-	$0.7 \times V_{DD}$	-	-	
V_{hys} (NRST)	NRST 施密特迟滞电压	-		200		mV
R_{pu}	弱上拉等效电阻	$V_{IN} = V_{SS}$	40	50	55	$K \Omega$
V_F (NRST)	NRST 输入滤波脉冲	-	-	-	60	ns
V_{NF} (NRST)	NRST 输入不会滤掉的脉冲	$1.66V \leq V_{DD} \leq 3.6V$	500	-	-	ns

5.5.5 外部中断特性

表 5-19 外部中断电气特性

符号	参数	条件	最小值	典型值	最大值	单位
PLEC	触发事件的脉冲宽度	-	50	-	-	ns

5.6 外设

5.6.1 ADC 12BIT 特性

表 5-20 ADC 电气特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟电压	-	1.8		3.6	V
VREF+	正电压参考	VDDA ≥ 2V	2		VDD	V
		VDDA < 2V	VDDA			
VREF-	负电压参考	-	VSSA			
Fadc	ADC 时钟频率	-	32k		36M	Hz
fs	采样速率	Resolution=12 bits	-	-	1	MspS
Avin	转换电压范围	-	0	-	VREF+	V
Rin	外部允许最大输入串联阻抗	-	-	-	50	kΩ
Radc	采样开关的电阻	-	-	2	4	kohm
Cadc	内部采样和保持电容	-	-	9.6	-	pF
tSTAB	上电时间	-	100			us
Ts	采样时间	Fadc=32M	0.125	-	-	us
ts	采样时间		2	-	-	1/fADC
Tconv	整个转换时间	Fadc=32M	0.78	-	-	us
tCONV	整个转换时间(包含采样时间)	Resolution=12 bits	Ts+12.5 cycles			1/fADC
IDDADC	ADC 功耗	Fs=1MspS	-	400	600	uA
Oe	失调误差	Fadc=32M,Rin=500 2.4<VDDA<3.6 VREF+=VDDA Temp=27°		±4		LSB
Ge	增益误差			±4		
DNL	微分非线性				±4	
INL	积分非线性				±4	
ET	全范围误差	Fadc=32M,Rin=500 VDDA=3V VREF+=VDDA Temp=27°		4	5	
ENOB	有效位数		10	10.5		Bits
SINAD	信号对噪声和失真的抑制比		64.4	64.5		dB
SNR	信噪比		65	66		
THD	谐波失真			-74	-73	

5.6.2 DAC 12 BIT 转换特性

表 5-21 DAC 特性

符号	参数	条件		最小值	典型值	最大值	单位
VDDA	电源电压	DAC 输出 buffer 关闭		1.8	-	3.6	V
VREF+	外部参考电压	DAC 输出 buffer 关闭		1.8	-	VDDA	V
VREF-	负参考电压	-		VSSA			
RL	负载电阻	DAC 输出 buffer 开启	Connected to VSSA	5	-	-	kΩ
			Connected to VDDA	25	-	-	
RO	输出阻抗	DAC 输出 buffer 关闭		-	16	-	kΩ
RBON	输出 buffer 开启时的输出阻抗	VDD=2.7V		-	5	-	kΩ
		VDD=2.0V		-	10	-	
CL	负载电容	DAC 输出 buffer 开启		-	-	100	pF
VDAC_O UT	DAC 的输出电压	DAC 输出 buffer 开启		0.2	-	$V_{REF+} - 0.2$	V
		DAC 输出 buffer 关闭		0	-	V_{REF+}	
tSETTLING	建立时间（从最低码转换到最高码时，输出稳定在最终值的±0.5LSB，±1LSB，±2LSB，±4LSB，±8LSB）	DAC 输出 buffer 开启 CL≤50pF, RL≥5kΩ	±0.5LSB	-	2	4	us
			±1LSB	-	1.8	3.5	
			±2LSB	-	1.6	3	
			±4LSB	-	1.5	2.9	
			±8LSB	-	1.5	2.8	
		DAC 输出 buffer 关闭, ±1LSB, CL=10pF		-	50	100	
PSRR	VDDA 电源抑制比	DAC 输出 buffer 开启; CL≤50pF, RL=5kΩ		-	-70	-25	dB
TW_to_W	两个相邻转换码的时间(1LSB)	CL≤50pF, RL≥5kΩ		2	-	-	us
IDDA (DAC)	DAC 从 VDDA 消耗的功耗	DAC 输出 buffer 开启	无负载, 中间码	-	400	-	uA
		DAC 输出 buffer 开启	无负载, 最差码	-	500	-	
		DAC 输出 buffer 关闭	无负载, 中间码	-	206	-	
IDDV (DAC)	DAC 从 VREF+ 消耗的电流	DAC 输出 buffer 开启	无负载, 中间码	-	400	-	uA
		DAC 输出 buffer 开启	无负载, 最差码	-	500	-	
		DAC 输出 buffer 关闭	无负载, 中间码	-	206	-	

表 5-22 DAC 精度

符号	参数	条件	最小值	典型值	最大值	单位	
DNL	微分非线性	DAC 输出 buffer 开启	-	-	±2	LSB	
		DAC output buffer OFF	-	-	±2		
-	单调性	10bits	Guaranteed				
INL	积分非线性	DAC 输出 buffer 开启 $CL \leq 50pF$, $RL \geq 5k\Omega$	-	-	±5		
		DAC 输出 buffer 关闭 $CL \leq 50pF$, no RL	-	-	±5		
Offset	在中间码的失调误差	DAC 输出 buffer 开启 $CL \leq 50pF$, $RL \geq 5k\Omega$	$V_{REF} = \pm 3.6V$	-	-		±11
			$V_{REF} = \pm 1.8V$	-	-		±21
		DAC 输出 buffer 关闭 $CL \leq 50pF$, no RL	-	-	±9		
Offset1	在 code0 的失调误差	DAC 输出 buffer 关闭 $CL \leq 50pF$, no RL	-	-	±4		
Gain	增益误差	DAC 输出 buffer 开启 $CL \leq 50pF$, $RL \geq 5k\Omega$	-	-	±0.6		%
		DAC 输出 buffer 关闭 $CL \leq 50pF$, no RL	-	-	±0.7		
TUE	全范围误差	DAC 输出 buffer 开启 $CL \leq 50pF$, $RL \geq 5k\Omega$	-	-	±20	LSB	
		DAC 输出 buffer 关闭 $CL \leq 50pF$, no RL	-	-	±10		
SNR	信噪比	DAC 输出 buffer 开启 $CL \leq 50pF$, $RL \geq 5k\Omega$, 1kHz, BW 500kHz	-	69	-	dB	
		DAC 输出 buffer 关闭 $CL \leq 50pF$, no RL, 1kHz, BW 500kHz	-	70	-		
THD	谐波失真	输出 buffer 开启 $CL \leq 50pF$, $RL \geq 5k\Omega$, 1kHz	-	-76	-	dB	
		输出 buffer 关闭 $CL \leq 50pF$, no RL, 1kHz	-	-77	-		
SINAD	信号与噪声和失真比例	输出 buffer 开启 $CL \leq 50pF$, $RL \geq 5k\Omega$, 1kHz	-	70	-	dB	
		输出 buffer 关闭 $CL \leq 50pF$, no RL, 1kHz	-	70.4	-		
ENOB	有效位数	输出 buffer 开启 $CL \leq 50pF$, $RL \geq 5k\Omega$, 1kHz	-	11.2	-	Bits	
		输出 buffer 关闭 $CL \leq 50pF$, no RL, 1kHz	-	11.3	-		

5.6.3 电压参考 buffer 特性

表 5-23 VREFBUF characteristic

符号	参数	条件		最小值	典型值	最大值	单位
V _{DDA}	供电电源	常规模式	Output 2V	2.4	-	3.6	V
		退化应用	Output 2V	1.65	-	2.4	
V _{REFVBUF_OUT}	输出参考电压	常规模式	Output 2V	1.95	2.0	2.05	
		退化应用	Output 2V	V _{DDA} -150mV	-	V _{DDA}	
C _L	电容负载	-				2.2	uF
I _{load}	静态负载电流	-		-	-	4	mA
I _{line_reg}	电源调整率	2.8V ≤ V _{DDA} ≤ 3.6V	I _{load} =500uA	-	200	1000	Ppm/ V
			I _{load} =4mA	-	00	500	
I _{load_reg}	负载调整率	500uA ≤ V _{DDA} ≤ 4mA	Normal mode		50	500	Ppm/ mA
T _{Coeff}	温漂	-40°C ≤ T _j ≤ +125°C		-	-	T _{coeff_v} refint+1 80	Ppm/ °C
		0°C ≤ T _j ≤ +50°C		-	-	T _{coeff_v} refint+1 00	
PSRR	电源抑制比	DC		30	55	-	dB
		100kHz		15	29	-	
t _{START}	开启时间	-		-	50	-	us
I _{INRUSH}	开启时 buffer 的最大驱动电流	-		-	9	-	mA
I _{DDA} (V _{REFVBUF})	VREFBUF 的电流消耗	I _{load} =0uA		-	13.3	16	uA
		I _{load} =500uA		-	15	19	
		I _{load} =4mA		-	26	30	

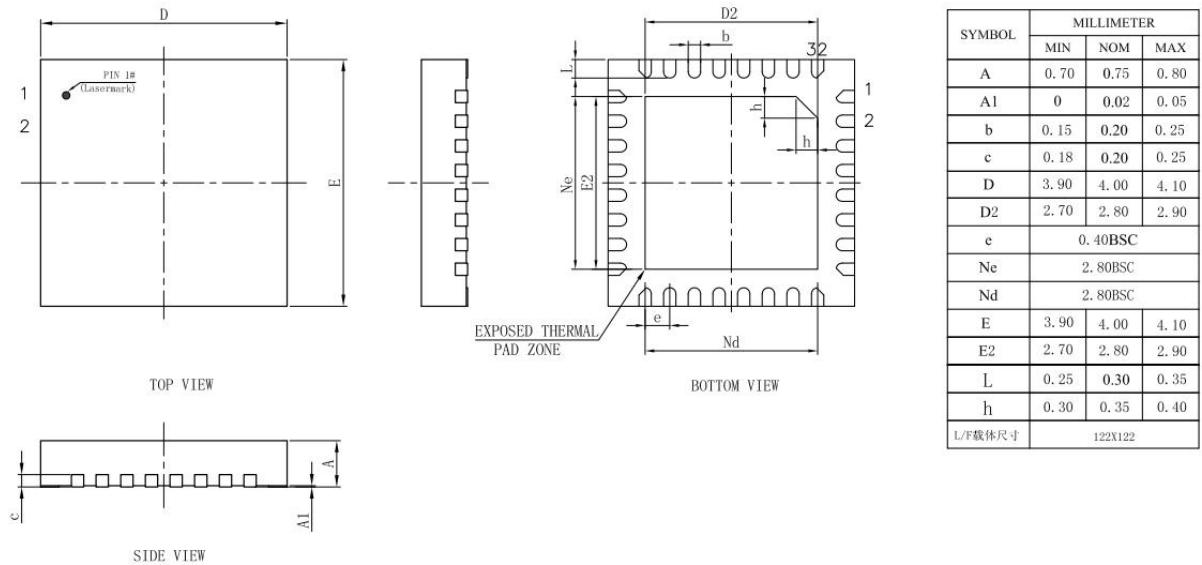
5.6.4 比较器特性

表 5-24 比较器电气特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电源	-	1.6	-	3.6	V
V _{in}	比较器输入范围	-	0	-	V _{DDA} -1	
offset	失调电压		-10		10	mV
V _{hys}	比较器迟滞电压	无迟滞	-	0	-	mV
		低迟滞	-	5.78	-	
		中等迟滞	-	10.86	-	
		高迟滞	-	15.5	-	
I _d	比较器电流消耗			16.29		uA
delay	输出延迟	200mV 的台阶, 100mV 的过冲	-	65	-	ns

6 封装信息

6.1 QFN32 封装



7 RoHS 认证

本产品已通过 RoHS 检测。

8 声明及销售网络

销售及服务网点

上海 TEL:021-50275927

地址 上海浦东龙东大道 3000 号张江集电港 1 幢 906 号 B 座

9 版本更新记录

版本号	更新说明	页码	更新日期
V1.2	更新页眉及部分文字格式	-	20200221
V1.3	更新产品订购信息和外设资源对照表	6/8	20200331
V1.4	修改唤醒引脚下标	/	20200407
V2.0	更新第三章映射部分	/	20200505