8 位微控制器

KF8F1000 数据手册

产品订购信息

型号	KF8F1000			
订货号	KF8F1000SB-I	KF8F1000SB-S	KF8F1000SD-I	KF8F1000SD-S
封装	SOIC-8		SOIC-14	
FLASH	1K×16 位			
DATA EE	256×8 位			
RAM	272(256+16)x8 位			
内部晶振	4MHz 内部低频（32K）			
定时器	2 个 8 位 1 个 16 位			
PWM	1 路 10 位		2 路 8 位 1 路 10 位全桥	
工作电压	1.8V～5.5V			
工作温度范围	-40~85℃	-40~125℃	-40~85℃	-40~125℃

版权所有@
上海芯旺微电子技术有限公司

本文档为上海芯旺微电子技术有限公司在现有数据资料基础上慎重且力求准确无误编制而成。确保应用符合技术规范，是您自身应负的责任。上海芯旺微电子技术有限公司不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。上海芯旺微电子技术有限公司对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将芯旺微电子技术有限公司的芯片用于生命维持或生命安全应用，一切风险由使用方自负。使用方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障上海芯旺微电子技术有限公司免于承担法律责任，并加以赔偿。

本文档中所述的器件应用信息及其他类似内容仅为您提供便利，可能有更新的信息所替代。上海芯旺微电子技术有限公司会不定期进行更新，恕不另行通知。使用方如需获得最新的产品信息，请及时访问上海芯旺微电子技术有限公司官网或与上海芯旺微电子技术有限公司联系。

KF8F1000 芯片使用注意事项

芯片的 ESD 防护措施

KF8F1000 芯片提供满足工业级 ESD 标准的保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环或手套，不能用手直接接触芯片等。

芯片的 EFT 防护措施

KF8F1000 芯片提供满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源线、地线（包括数字/模拟电源分离，单点/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

芯片的 LATCH-UP 防护措施

为有效防护 LATCH-UP 损坏芯片，用户需保证在 VDD 引脚上不出现异常高压或者负压。建议用户在 VDD 和 VSS 之间并接两个电容，大小分别为 105 和 102，电容尽量靠近芯片的 VDD 引脚。

芯片的焊接

KF8F1000 芯片的焊接应按照工业标准的焊接要求，以免损坏芯片。手工焊接时注意焊接的温度和焊接时间。

芯片的上电/断电

KF8F1000 芯片提供独立电源管脚。当 KF8F1000 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，断电时，先对系统其他部件断电，再对 MCU 芯片断电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件性能退化。

芯片的复位

KF8F1000 芯片提供内部上电复位。对于不同的快速上电/断电或慢速上电/断电系统，内部上电复位电路可能失效，建议用户使用外部复位、断电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

芯片的内部时钟

KF8F1000 芯片提供内部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度。具体可参照芯片的数据手册说明。

芯片的初始化

KF8F1000 芯片提供各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免芯片上电以后，I/O 管脚状态的不确定情况发生。

芯片的管脚

KF8F1000 芯片提供宽范围的输入管脚电平，用户输入高电平应大于 VIH 的最小值，低电平应小于 VIL 的最大值，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

VDD 和 VSS 之间需接 104 以上的电容，电容尽量靠近 MCU 芯片的 VDD 引脚。

芯片的低功耗设计

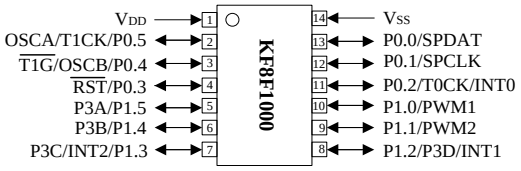
KF8F1000 芯片提供低功耗设计模式，用户在实际应用中可根据应用系统的要求采用各种不同的低功耗模式，包括系统工作时钟的选择和休眠模式的选择等等。

芯片的开发环境

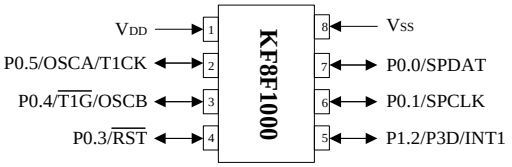
KF8F1000 芯片提供完整的软/硬件开发环境，并受知识产权保护。选择上海芯旺微电子技术有限公司指定的汇编器、编译器、编程器、硬件仿真器，必须遵循与芯片相关的规定和说明。

引脚示意图

14 管脚示意图：



8 管脚示意图：



注：1、用户在正常使用时，通常会有一些用不到的引脚，如果直接把这些管脚悬空，而不做其他处理可能使单片机功耗增大，因此建议将那些不用的引脚设置为数字输出模式。
2、KF8F1000的8脚芯片需将TR0<2>和TR1<5:3><1:0>设置为0。

芯片引脚说明

引脚名	I/O	引脚功能	引脚说明
1	P	VDD	电源
2	I/O	P0.5	带上拉和电平变化中断功能的双向输入输出端口
		OSCA	外部振荡器输入引脚
		T1CK	T1 时钟输入
3	I/O	P0.4	带上拉和电平变化中断功能的双向输入输出端口
		$\overline{T1G}$	T1 门控信号输入
		OSCB	外部振荡器输出引脚
4	I	P0.3	带上拉和电平变化中断功能的双向输入输出端口
		$\overline{RST}$	外部复位信号输入
5	I/O	P1.5	双向输入输出端口
		P3A	PWM3 输出
6	I/O	P1.4	双向输入输出端口
		P3B	PWM3 输出
7	I/O	P1.3	双向输入输出端口
		INT2	外部中断 2 输入
		P3C	PWM3 输出
8	I/O	P1.2	双向输入输出端口
		INT1	外部中断 1 输入
		P3D	PWM3 输出
9	I/O	P1.1	双向输入输出端口
		PWM2	PWM2 输出
10	I/O	P1.0	双向输入输出端口
		PWM1	PWM1 输出
11	I/O	P0.2	带上拉和电平变化中断功能的双向输入输出端口
		T0CK	T0 时钟输入
		INT0	外部中断 0 输入
12	I/O	P0.1	带上拉和电平变化中断功能的双向输入输出端口
		SPCLK	编程时钟输入
13	I/O	P0.0	带上拉和电平变化中断功能的双向输入输出端口
		SPDAT	编程数据输入/输出
14	P	VSS	地，0V 参考点

目 录

产品订购信息 2

KF8F1000 芯片使用注意事项 3

引脚示意图 5

目 录 7

1 系统概述 11

1.1 芯片特征 12
1.2 系统框图 13
1.3 存储器 14
1.4 系统时钟 15
1.4.1 时钟模块相关寄存器 16
1.4.1.1 系统频率控制寄存器 OSCCTL 16
1.4.2 上电延时 16
1.4.3 系统参数校准值调用 17
1.4.4 内部低频振荡器 17
1.4.4.1 内部低频校准寄存器 INTLFCAL1 18
1.4.5 外部高频振荡器 18
1.4.6 外部低频振荡器 18
1.5 配置位 19
1.5.1 配置字寄存器（2007H） 19
1.6 在线串行编程 20

2 I/O 端口介绍 21

2.1 P0 口 21
2.1.1 P0 口相关的寄存器 21
2.1.1.1 P0 口状态寄存器 21
2.1.1.2 P0 口输出锁存寄存器 21
2.1.1.3 P0 口方向控制寄存器 22
2.1.1.4 P0 口上拉控制寄存器 22
2.1.1.5 电平变化中断控制寄存器 23
2.1.2 P0 口各引脚内部原理功能框图 24
2.2 P1 口 26
2.2.1 P1 口相关的寄存器 26
2.2.1.1 P1 口状态寄存器 26
2.2.1.2 P1 口输出锁存寄存器 26
2.2.1.3 P1 口方向控制寄存器 27
2.2.1.4 P1 口上拉控制寄存器 27
2.2.2 P1 口原理功能框图 28

3 存储器 29

3.1 程序存储器(ROM)区 30

3.2 数据存储器(RAM)区 31
3.2.1 通用寄存器区 31
3.2.2 特殊功能寄存器(SFR)区 32
3.3 DATA EEPROM 33
3.3.1 寄存器 NVMDATAL 33
3.3.2 寄存器 NVMADDRL 33
3.3.3 寄存器 NVMCTL0/NVMCTL1 33
3.3.4 写 DATA EEPROM 34
3.3.5 读 DATA EEPROM 35
3.4 寄存器组 RN 35
3.5 ID 地址单元 35
4 汇编指令及寻址方式 36
4.1 寻址方式 36
4.1.1 寄存器寻址 36
4.1.2 直接寻址 36
4.1.3 立即数寻址 36
4.1.4 寄存器间接寻址 37
4.1.5 位寻址 37
4.2 汇编指令 37
5 中断 38
5.1 中断相关的寄存器 39
5.1.1 中断控制寄存器(INTCTL) 39
5.1.2 中断使能寄存器 EIE1 40
5.1.3 中断标志寄存器 EIF1 41
5.1.4 中断响应 42
5.2 INT 中断 43
5.2.1 INT0 中断 43
5.2.2 INT1 中断 43
5.2.3 INT2 中断 43
5.3 定时器中断 44
5.4 P0 口中断 44
5.5 PWM 中断 44
5.6 中断现场保护 44
6 定时/计数器 45
6.1 定时/计数器 0(T0) 45
6.1.1 OPTR 选择寄存器 45
6.1.2 预分频器 46
6.1.3 定时模式 46
6.1.4 计数模式 46
6.1.5 T0 的使用 47
6.2 定时/计数器 1(T1) 48
6.2.1 T1 相关的寄存器 48

6.2.1.1 T1 控制寄存器 48
6.2.2 T1 预分频器 49
6.2.3 定时模式 49
6.2.4 计数模式 49
6.2.5 T1 在休眠模式下的运行 50
6.2.6 T1 分配给 PWM1/2 50
6.3 定时器 T2 51
6.3.1 T2 相关的寄存器 51
6.3.2 T2 控制寄存器 T2CTL 51
6.3.3 T2 的工作原理 52
6.3.4 T2 中断 52
6.3.5 T2 在休眠模式 52
6.3.6 T2 分配给 PWM3 53

7 PWM 模块 54

7.1 PWM1/2 模块 54
7.2 PWM1/2 计数时钟原理 55
7.2.1 PWM1/2 相关的寄存器 55
7.2.2 PWM 控制寄存器 56
7.2.3 PWM1/2 周期 56
7.2.4 PWM1/2 占空比 57
7.2.5 PWM1/2 分辨率 57
7.2.6 PWM1/2 中断 58
7.2.7 休眠模式下的操作 58
7.2.8 系统时钟频率的改变 58
7.2.9 复位的影响 58
7.2.10 PWM1/2 使用方法 58
7.3 PWM3 59
7.3.1 PWM3 相关寄存器 60
7.3.1.1 PWM3CTL0 寄存器 60
7.3.1.2 PWM3CTL1 寄存器 61
7.3.1.3 P3ASCTL 寄存器 61
7.3.1.4 PATRCTL 寄存器 62
7.3.2 PWM3 的周期、占空比及分辨率 62
7.3.2.1 PWM3 周期 62
7.3.2.2 PWM3 占空比 62
7.3.2.3 PWM3 分辨率 63
7.3.2.4 PWM3 中断 63
7.3.3 单输出模式 64
7.3.4 半桥输出模式 66
7.3.4.1 死区延时 67
7.3.5 全桥输出模式 68
7.3.6 自动关断和自动重启模式 71
7.3.6.1 自动关断模式 71

7.3.6.2 自动重启模式 72

8 复位 73

8.1 电源控制状态寄存器(PCTL) 74
8.2 上电复位(POR) 75
8.3 WDT 复位 75
8.4 RST 复位 75
8.5 欠压检测复位(LVR) 76
8.6 上电延时定时器 76
8.7 不同复位条件下对寄存器的影响 77

9 休眠模式 79

10 看门狗定时器 WDT 80

10.1 看门狗的开启与关闭 80
10.2 看门狗的清狗方式 80
10.3 看门狗 WDT 周期 81

11 电气规范 82

11.1 极限参数值 82
11.2 静态电流特性 83
11.3 外设电流特性 84
11.4 I/O 端口电平和芯片供电电压特性 85
11.5 内部高频振荡器模块特性 86
11.6 内部低频 LPRC 模块特性 86
11.7 外部高频 HPXTAL 模块特性 87
11.8 外部低频 LPXTAL 模块特性 87

12 直流特性图表 88

13 封装信息 94

附录 1 KF8F1000 SFR 地址映射及功能汇总 95

附录 2 汇编指令集 97

附录 3 寄存器全称表 99

产品标识体系 100

版本信息 101

ROHS 认证 102

声明及销售网络 103

1 系统概述

KF8F1000 为哈佛结构的精简指令 CPU。在这种结构中，程序和数据总线是相互独立的。指令字节长度为 16 位，大多数指令能在一个机器周期内执行完成。一共有 68 条指令，效率高，容易进行指令扩展。芯片内集成了多种外设，包括 1 个 8 位定时器/计数器 T0、1 个 16 位定时器/计数器 T1、1 个 8 位定时器 T2、2 路 8 位 PWM 模块、硬件看门狗和低电压检测及低电压复位模块等。

芯片内集成了 272×8 位的数据存储器 RAM、1K×16 位的程序存储器和 256x8 的 DATA EEPROM。

1.1 芯片特征

- **CPU**

高性能哈佛结构的 RISC CPU
68 条精简指令
支持中断处理，共 14 个中断源
复位向量位于 0000H，中断向量位于 0004H
工作频率为 15.625kHz～4MHz，软件可选

- **存储器**

1K×16 位 FLASH 程序存储器
272×8 位的数据存储器
256x8 位的 DATA EEPROM
工作寄存器组 R0～R7
FLASH 可经受 100 000 次写操作
DATA EEPROM 可经受 1 000 000 次写操作

- **特殊功能**

内嵌上电复位电路
低电压检测及低电压复位
低功耗低电压检测及复位电路
硬件看门狗
时钟精度 4MHz±1%(常温)
支持在线串行编程
低功耗休眠模式
带校准的内部低频振荡器

- **I/O 口配置**

输入输出口：P0/P1 口均为双向口
内置上拉功能：P0/P1 口均带有弱上拉功能
电平变化中断：P0 口均有电平变化中断功能
数字输入电平类型：SMIT

- **定时器/计数器**

定时器 0：带有 8 位预分频器的 8 位定时器/计数器
定时器 1：带门控和预分频器的 16 位定时器/计数器
定时器 2：带 8 位周期寄存器、预分频器和后分频器的 8 位定时器

- **其它外设**

2 路 8 位脉宽调制 PWM 模块
1 路 10 位增强型脉宽调制 PWM 模块

- **工作条件**

工作电压：1.8V~5.5V
工作温度范围：-40℃～85℃(工业级)
-40℃～125℃(扩展级)

1.2 系统框图

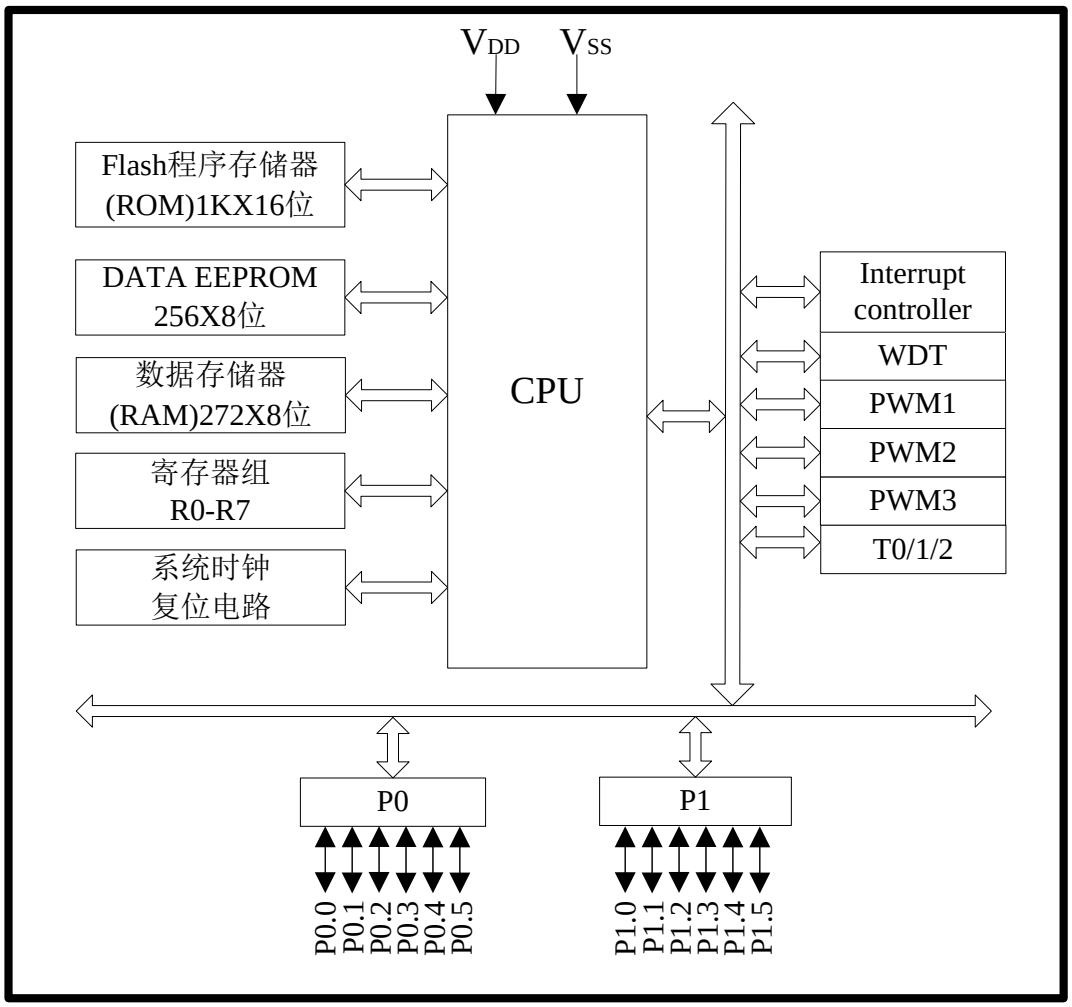


图 1-1 KF8F1000 系统框图

1.3 存储器

KF8F1000 单片机的存储器包含：程序存储器(ROM)、数据存储器(RAM)和 DATA EEPROM。

KF8F1000 的程序存储器空间为 1K×16 位，寻址范围为 0000H～03FFH，可擦写次数为 10 万次。数据存储器有三个存储区，这里称为特殊寄存器区(SFR)、通用存储器区 0 和通用存储器区 1，每个存储器区有 128×8 位的存储单元，这三个区的地址分别为 00H～7FH 、80H～0FFH 和 180H～1FFH。DATA EEPROM 的地址为独立寻址，地址为 00H-FFH。有关以上各种存储器的具体介绍请参考第 3 章。

1.4 系统时钟

振荡周期又叫时钟周期，是振荡器振荡频率的倒数，系统周期是有振荡器分频而来。本芯片中一个机器周期等于四个系统周期，如图 1-2 所示。本芯片除执行部分跳转指令需要两个机器周期外，其余指令仅需要一个机器周期。

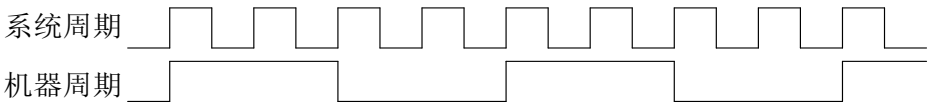


图 1-2 机器周期

KF8F1000 提供 4 个可选时钟源:

- 内部高频时钟 INTHF：以内部高频振荡器为时钟源；
- 内部低频时钟 INTLF：以内部低频振荡器为时钟源；
- 外部高频时钟 EXTHF：标准晶振、陶瓷谐振器或外接 16MHz～125kHz 的时钟源工作；
- 外部低频时钟 EXTLF：外接 32.768kHz 的钟表晶振。

KF8F1000 的系统时钟源可以配置为 ETXHF、EXTLF、INTHF 或者 INTLF。外部高频时钟和外部低频时钟共用外部时钟引脚，不能同时使用两个外部时钟源。

KF8F1000 时钟模块框图

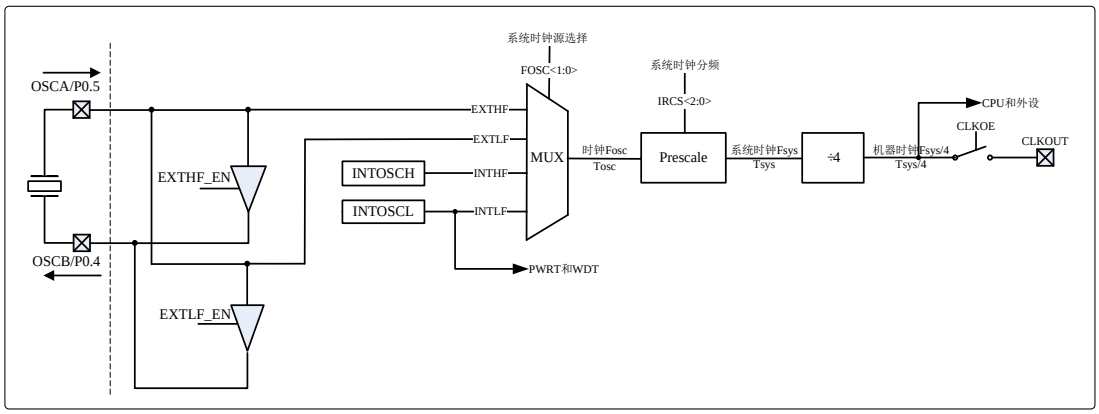


图 1-3 时钟模块框图

表格 1-1 与时钟有关的名词表述

名称	定义及描述
Fosc	定义为振荡器时钟
Tosc	定义为振荡器时钟周期
Fsys	定义为系统时钟
Tsys	定义为系统时钟周期
Fsys/4	定义为机器时钟
Tsys/4	定义为机器时钟周期
INTOSCH(INTHF)	内部高频振荡器（时钟源）
INTOSCL(INTLF)	内部低频振荡器（时钟源）
EXTOSCH(EXTHF)	外部高频振荡器（时钟源）
EXTOSCL(EXTLF)	外部低频振荡器（时钟源）
OSC	定义为 INTHF、INTLF、EXTHF 和 EXTLF 的集合

1.4.1 时钟模块相关寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
2FH	OSCCTL	CLKOE	IRCS2	IRCS1	IRCS0	-	-	-	-
30H	OSCCAL0	内部高频振荡器校准寄存器 0							
37H	OSCCAL1	内部高频振荡器校准寄存器 1							
5EH	OSCCAL2	内部高频振荡器校准寄存器 2							
6CH	INTLFCAL1	内部低频振荡器校准寄存器 1							

1.4.1.1 系统频率控制寄存器 OSCCTL

寄存器OSCCTL：系统频率控制寄存器(地址:2FH)

	bit7							bit0
复位值 0011 ----	CLKOE	IRCS2	IRCS1	IRCS0	–	–	–	–
	R/W	R/W	R/W	R/W	U	U	U	U

图注： R = 可读　W = 可写　P = 可编程　U = 未使用
- = 读为0　x = 状态未知

CLKOE：时钟输出使能位

1 = 使能时钟输出

0 = 禁止时钟输出

IRCS<2:0>：时钟频率分频比选择位

111=1:1（选择内部高频时钟为 4M Hz）

110=1:2（选择内部高频时钟为 2M Hz）

101=1:4（选择内部高频时钟为 1M Hz）

100=1:8（选择内部高频时钟为 500kHz）

011=1:16（选择内部高频时钟为 250kHz）（默认）

010=1:32（选择内部高频时钟为 125kHz）

001=1:64（选择内部高频时钟为 62.5kHz）

000=1:256（选择内部高频时钟为 15.625kHz）

Bit<3:0>：系统保留，配置为 0

1.4.2 上电延时

KF8F1000 单片机的上电延时可以通过配置位 $\overline{\text{PWRT}}$ 设置，上电延时计数时钟 PWRTCLK 为内部低频时钟。

当 $\overline{\text{PWRT}}$ =1 时，上电延时关闭；

当 $\overline{\text{PWRT}}$ =0 时，上电延时打开，延时时间如下: Tpwrt=$2^{10} \times Tpwrtclk$ 。

注：Tpwrtclk =上电延时计数时钟周期（内部低频时钟，约 32kHz）。

1.4.3 系统参数校准值调用

为保证 KF8F1000 单片机的内部高频时钟内核电压和内部参考电压精度，需调用对应的校准值。

OSCCAL0、OSCCAL1 和 OSCCAL2 为内部振荡器时钟校准寄存器，用来存放内部高频时钟校准值。VRECAL1 为内部参考电压校准寄存器，用来存放内部参考电压的校准值。VRECAL2 为内核电压校准寄存器，用来存放内核工作电压校准值。用户在编程时，需要在程序初始化部分将存放在程序空间 03FFH、03FEH、03FCH、03FBH 和 03FAH 的晶振校准值和电压校准值读出来存放到 OSCCAL0、OSCCAL1、OSCCAL2、VRECAL1 和 VRECAL2，否则会导致系统时钟频率、内部参考电压或内核电压不准。程序示例请参考例 1.1。

例 1.1 读校准值

```
CALL 0X3FF
MOV    OSCCAL0, R0
NOPZ
NOPZ
CALL 0X3FE
MOV    OSCCAL1, R0
NOPZ
NOPZ
CALL 0X3FD
MOV    OSCCAL2, R0
NOPZ
NOPZ
CALL 0X3FC
MOV    VRECAL1, R0
NOPZ
NOPZ
CALL 0X3FB
MOV    VRECAL2, R0
NOPZ
NOPZ
```

1.4.4 内部低频振荡器

内部低频振荡器，其振荡器频率为 32kHz，它不仅可以为 SCLK 提供时钟源，还可以作为内部上电延时定时器和看门狗 WDT 定时器的时钟。

1.4.4.1 内部低频校准寄存器 INTLFCAL1

寄存器INTLFCAL1：内部低频校准寄存器1(地址:6CH)

复位值 1000 0000	bit7							bit0
	INTLFCAL17	INTLFCAL16	INTLFCAL15	INTLFCAL14	INTLFCAL13	INTLFCAL12	INTLFCAL11	INTLFCAL10
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

INTLFCAL1<7:0>：内部低频校准值

11111111 = 内部低频最小值

10000000 = 内部低频中间值

00000000 = 内部低频最大值（默认）

注：对内部低频精度要求高的使用场合，用户需进行实时校准，以保证精度。

1.4.5 外部高频振荡器

如图 1.4 所示，引脚 OSCA(P0.5)和引脚 OSCB(P0.4)可以接外部标准晶体、陶瓷谐振器或外接 16MHz～125kHz 的时钟为外部高频时钟源。外部高频时钟 EXTHF 可作为系统时钟源。

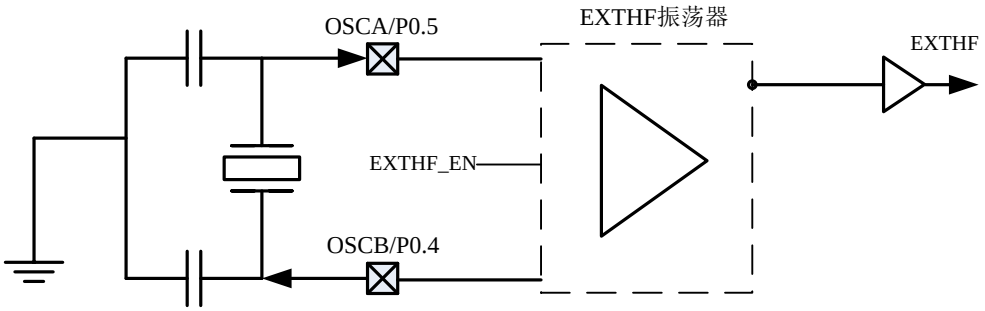


图 1-4 外部高频振荡器原理图

1.4.6 外部低频振荡器

如图 1-5 所示，引脚 OSCA(P0.5)和引脚 OSCB(P0.4)外接 32.768kHz 石英晶振。EXTLF 可以作为系统时钟 SCLK 和其他外设时钟源。

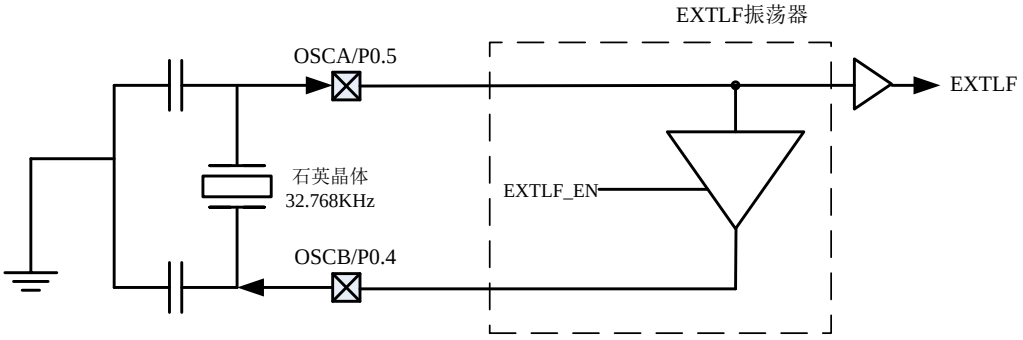


图 1-5 外部低频振荡器原理图

1.5 配置位

1.5.1 配置字寄存器（2007H）

如配置字寄存器所示，用户在烧写程序时，在编程器中通过对配置位进行设置，使单片机启用诸如看门狗、程序代码保护、欠压检测等功能。

配置字寄存器(2007H)

U	U	R/P	U	U	R/P	R/P	R/P	R/P	R/P	R/P	R/P	R/P
-	-	$\overline{DEBUG}$	-		$\overline{CODEP}$	LVREN	RSTEN	$\overline{PWRT}$	WDTEN	$\overline{DATAP}$	FOSC1	FOSC0
		bit10			bit7				bit3			bit0

$\overline{DEBUG}$：在线调试使能位

$\overline{DEBUG}$=1　禁止在线调试

$\overline{DEBUG}$=0　使能在线调试

$\overline{CODEP}$：代码保护使能位

$\overline{CODEP}$=1　禁止程序存储器代码保护

$\overline{CODEP}$=0　使能程序存储器代码保护

LVREN：欠压检测功能使能位

LVREN =1　使能欠压检测功能

LVREN =0　禁止欠压检测功能

RSTEN：P0.3/$\overline{RST}$ 引脚功能选择

RSTEN=1　P0.3/$\overline{RST}$ 引脚配置为外部复位输入

RSTEN=0　P0.3/$\overline{RST}$ 引脚功能为数字输入口

$\overline{PWRT}$：上电延时使能位

$\overline{PWRT}$ = 1 禁止上电延时

$\overline{PWRT}$ = 0 使能上电延时

WDTEN：看门狗定时器(WDT)使能位

WDTEN=1　使能 WDT

WDTEN=0　禁止 WDT

$\overline{DATAP}$：DATA EEPROM 加密使能位

$\overline{DATAP}$= 1 禁止 DATA EEPROM 加密

$\overline{DATAP}$= 0 使能 DATA EEPROM 加密

FOSC<1:0>：振荡器选择位

FOSC<1:0> = 00 选择内部低频时钟

FOSC<1:0> = 01 选择外部低频时钟

FOSC<1:0> = 10 选择外部高频时钟

FOSC<1:0> = 11 选择内部高频时钟

1.6 在线串行编程

如图 1-6、1-7 所示，在最终应用电路中可对 KF8F1000 单片机进行在线串行编程。实现编程仅需要五根线包括：时钟线(SPCLK)、数据线(SPDAT)、电源线(V_{DD})、地线(V_{SS})、复位线(RST)。

开发人员和用户可以使用未编程的单片机来制造电路板，然后对其在线编程，调试等。只要有电脑、USB 下载线和编程器，即可在任何时候，任何地点，对电路板上的单片机程序进行更新。

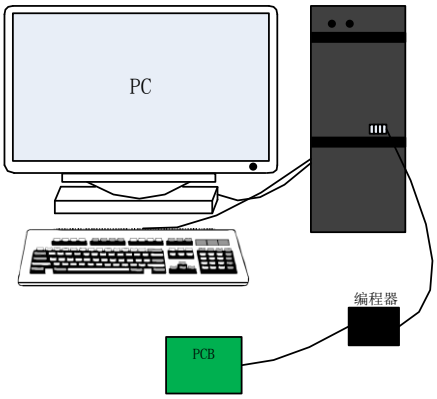


图 1-6 在线调试系统示意图

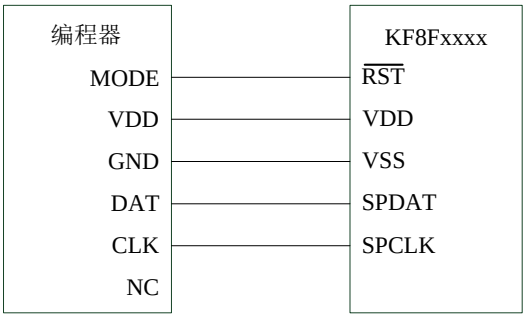


图 1-7 KF8F1000 在线串行编程连接图

2 I/O 端口介绍

如引脚示意图所示，KF8F1000 单片机最多有 14 个引脚，1 脚接电源正极，14 脚接电源负极，其余管脚均为 I/O 端口，包括 P0 口、P1 口。P0 口共有 P0.0～P0.5 六个引脚，P1 口共有 P1.0～P1.5 六个引脚。

2.1 P0 口

2.1.1 P0 口相关的寄存器

表格 2-1 与 P0 端口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
05H	P0	-	-	P05	P04	P03	P02	P01	P00
25H	TR0	-	-	TR05	TR04	TR03	TR02	TR01	TR00
36H	IOCL	-	-	IOCL5	IOCL4	IOCL3	IOCL2	IOCL1	IOCL0
35H	PUR0	-	-	PUR05	PUR04	PUR03	PUR02	PUR01	PUR00
45H	P0LR	-	-	P0LR5	P0LR4	P0LR3	P0LR2	P0LR1	P0LR0
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
2EH	PCTL	VREEN	VREOE	-	SLVREN	-	SWDTEN	$\overline{POR}$	$\overline{LVR}$
21H	OPTR	$\overline{PUPH}$	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0
2FH	OSCCTL	CLKOE	IRCS2	IRCS1	IRCS0	-	-	-	

2.1.1.1 P0 口状态寄存器

寄存器 P0 各位对应 P0 口相应引脚当前的状态，如寄存器 P0 所示:

寄存器P0：P0口状态寄存器(地址：05H)

复位值	bit7							bit0
--xx xxxx	-	-	P05	P04	P03	P02	P01	P00
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

P0<5:0>: P0 口建议只做读取，读 P0 口各端口电平

P0x=1 对应引脚为逻辑高电平

P0x=0 对应引脚为逻辑低电平

注：写 P0 寄存器实际是写 P0LR 寄存器，读 P0 寄存器实际读 P0 引脚的电平状态。

2.1.1.2 P0 口输出锁存寄存器

寄存器 P0LR 是 P0 口输出锁存寄存器。在 P0 口作为输出时，通过写 P0LR 寄存器来设置 P0 口的输出状态。

寄存器P0LR: P0口输出锁存寄存器(地址：45H)

复位值	bit7							bit0
--xx xxxx	-	-	P0LR5	P0LR4	P0LR3	P0LR2	P0LR1	P0LR0
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

P0LR<5:0>: 写 P0 口输出状态

1 = 对应引脚输出高电平

0 = 对应引脚输出低电平

2.1.1.3 P0 口方向控制寄存器

TR0 为 P0 口方向控制寄存器，当 TR0 某位置 1 时，将该引脚设置为输入，此时引脚为三态(悬空)，TR0 某位清 0，对应引脚设置为输出。

寄存器TR0：P0口方向控制寄存器(地址：25H)

	bit7							bit0
复位值 --11 1111	-	-	TR05	TR04	TR03	TR02	TR01	TR00
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

TR0<5:0>: P0 口各引脚方向控制位

TR0x=1 对应的引脚设置为输入

TR0x=0 对应的引脚设置为输出

2.1.1.4 P0 口上拉控制寄存器

KF8F1000 的 P0 端口均带有上拉功能，可通过上拉功能控制寄存器 PUR0 和 OPTR 寄存器中的 $\overline{\text{PUPH}}$ 来控制上拉功能是否打开。

如果要将 P0 口的上拉功能打开，需要先将 $\overline{\text{PUPH}}$(上拉功能总使能位)位清 0，允许上拉功能打开，然后再将 P0 端口对应引脚的上拉功能控制位置 1 即可。寄存器 PUR0 为 P0 口上拉功能控制寄存器。

> 注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

寄存器PUR0：弱上拉控制寄存器(地址：35H)

	bit7							bit0
复位值 --11 1111	-	-	PUR05	PUR04	PUR03	PUR02	PUR01	PUR00
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

PUR0<5:0>: P0 端口对应引脚上拉功能使能位

PUR0x=1 使能 P0 端口对应引脚上拉功能

PUR0x=0 禁止 P0 端口对应引脚上拉功能

注：P0.1 端口在复位状态时上拉打开（四线编程模式）

2.1.1.5 电平变化中断控制寄存器

P0 口每个引脚都具有电平变化中断功能，当引脚的当前电平与上次读 P0 寄存器时的电平不匹配时将产生电平变化中断。如寄存器 IOCL 所示，IOCL 为电平变化中断控制寄存器，将 IOCL 某位置 1 将开启对应引脚的电平变化中断功能，如果该引脚电平发生变化，不管电平变化中断是否使能，电平变化中断标志位(P0IF)都会置 1，如果全局中断使能位(AIE)和电平变化中断使能位(P0IE)都已置 1，则会响应中断进入中断服务子程序。P0 口所有引脚的电平变化中断共用一个标志位 P0IF。

> 注：1. 只有将引脚设置为数字输入口时才可开启电平变化中断功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的电平变化中断功能。
> 2. P0口各引脚的电平变化中断共用一个中断使能位和中断响应标志位。

寄存器IOCL：电平变化中断控制寄存器(地址:36H)

	bit7							bit0
复位值 --00 0000	-	-	IOCL5	IOCL4	IOCL3	IOCL2	IOCL1	IOCL0
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

IOCL<5:0>: P0 端口引脚电平变化中断使能控制位

IOCLx=1 使能对应引脚的电平变化中断

IOCLx=0 禁止对应引脚的电平变化中断

2.1.2 P0 口各引脚内部原理功能框图

P0 口引脚原理功能如图 2-1、图 2-2 所示：

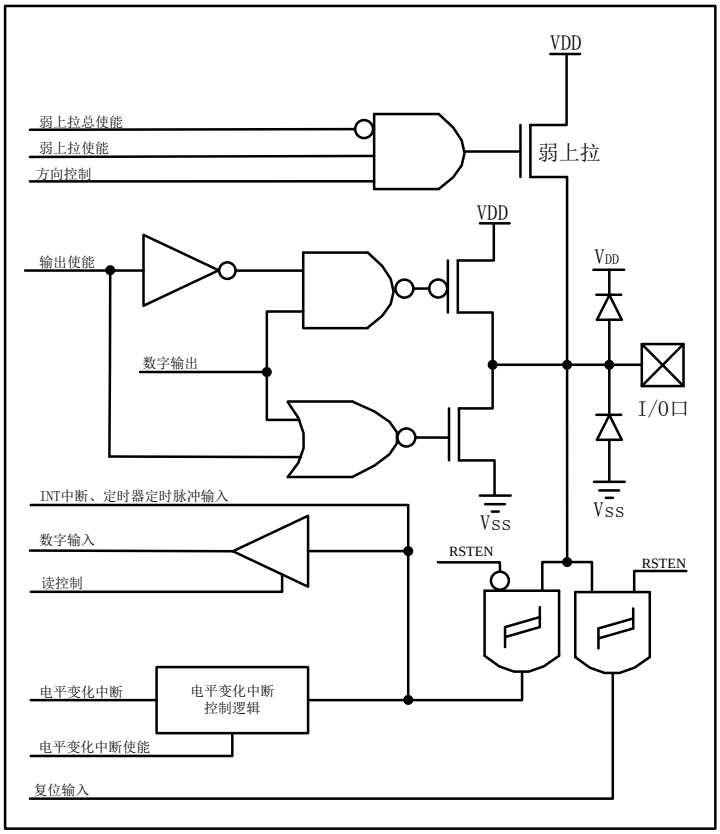


图 2-1 P0.3 引脚原理功能框图

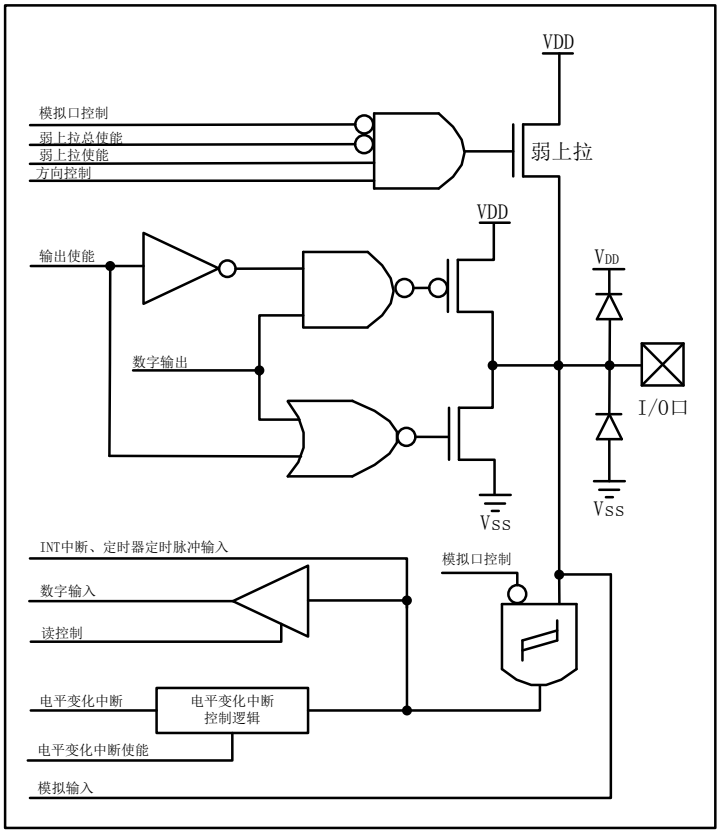


图 2-2 引脚 P0.0～P0.2、P0.4、P0.5 原理功能框图

2.2 P1 口

2.2.1 P1 口相关的寄存器

表格 2-2 与 P1 口相关的寄存器

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
07H	P1	-	-	P15	P14	P13	P12	P11	P10
27H	TR1	-	-	TR15	TR14	TR13	TR12	TR11	TR10
47H	P1LR	-	-	P1LR5	P1LR4	P1LR3	P1LR2	P1LR1	P1LR0
29H	PUR1	-	-	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10
2CH	EIE1	DEEIE	-	INT2IE	INT1IE	-	PWM2IE	T2IE	T1IE
0CH	EIF1	DEEIF	-	INT2IF	INT1IF	-	PWM2IF	T2IF	T1IF
15H	PWMCTL	INT2SE	INT1SE	-	-	PWM2CKS	PWM1CKS	PWM2ON	PWM1ON
57H	PWM3CTL0	P3M1	P3M0	PDT1	PDT0	P3ON1	P3ON0	PWM3M1	PWM3M0

2.2.1.1 P1 口状态寄存器

寄存器 P1 对应端口 P1 引脚作为普通 I/O 口时的状态。如寄存器 P1 所示

寄存器P1：P1口状态寄存器(地址：07H)

	bit7							bit0
复位值 --xx xxxx	–	–	P15	P14	P13	P12	P11	P10
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

P1<5:0>: P1 口建议只做读取，读 P1 口各端口电平

P1x=1 对应引脚为逻辑高电平

P1x=0 对应引脚为逻辑低电平

注：写 P1 寄存器实际是写 P1LR 寄存器，读 P1 寄存器实际读 P1 引脚的电平状态

2.2.1.2 P1 口输出锁存寄存器

寄存器 P1LR 是 P1 口输出锁存寄存器。在 P1 口作为输出时，通过写 P1LR 寄存器来设置 P1 口的输出状态。

寄存器P1LR: P1口输出锁存寄存器(地址: 47H)

	bit7							bit0
复位值 --xx xxxx	-	-	P1LR5	P1LR4	P1LR3	P1LR2	P1LR1	P1LR0
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

P1LR<5:0>: 写 P1 口输出状态

1 = 对应引脚输出高电平

0 = 对应引脚输出低电平

2.2.1.3 P1 口方向控制寄存器

TR1 是 P1 口的方向控制寄存器，通过将寄存器 TR1 中的某位置 1，将对应管脚设置为输入口，清 0 设置为输出口。系统复位时，P1 口各引脚默认为输入口。

TR1：P1口方向控制寄存器(地址：27H)

	bit7							bit0
复位值 --11 1111	-	-	TR15	TR14	TR13	TR12	TR11	TR10
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

TR1<5:0>: P1 口引脚方向控制位

TR1x=1 P1 口对应引脚被配置为输入端口

TR1x=0 P1 口对应引脚被配置为输出端口

2.2.1.4 P1 口上拉控制寄存器

KF8F1000 的 P1 端口均带有上拉功能，可通过 P1 口上拉控制寄存器 PUR1 和 OPTR 寄存器中的 $\overline{\text{PUPH}}$ 来控制上拉功能是否打开。

如果要将 P1 口引脚的上拉功能打开，需要先将 $\overline{\text{PUPH}}$(上拉功能总使能位)位清 0，上拉功能使能。然后再将对应引脚的上拉功能控制位置 1 即可。寄存器 PUR1 为 P1 口上拉功能控制寄存器。

> 注：只有将引脚设置为数字输入口时才可开启上拉电阻功能，如果将某引脚设置为输出或者设置为模拟输入口时将会自动禁止该引脚的上拉电阻。

寄存器PUR1：弱上拉控制寄存器(地址：29H)

	bit7							bit0
复位值 --11 1111	-	-	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10
	U	U	R/W	R/W	R/W	R/W	R/W	R/W

PUR1<5:0>: P1 端口对应引脚上拉功能使能位

PUR1x=1 使能 P1 端口对应引脚上拉功能

PUR1x=0 禁止 P1 端口对应引脚上拉功能

2.2.2 P1 口原理功能框图

P1 口引脚原理功能如图 2-3 所示：

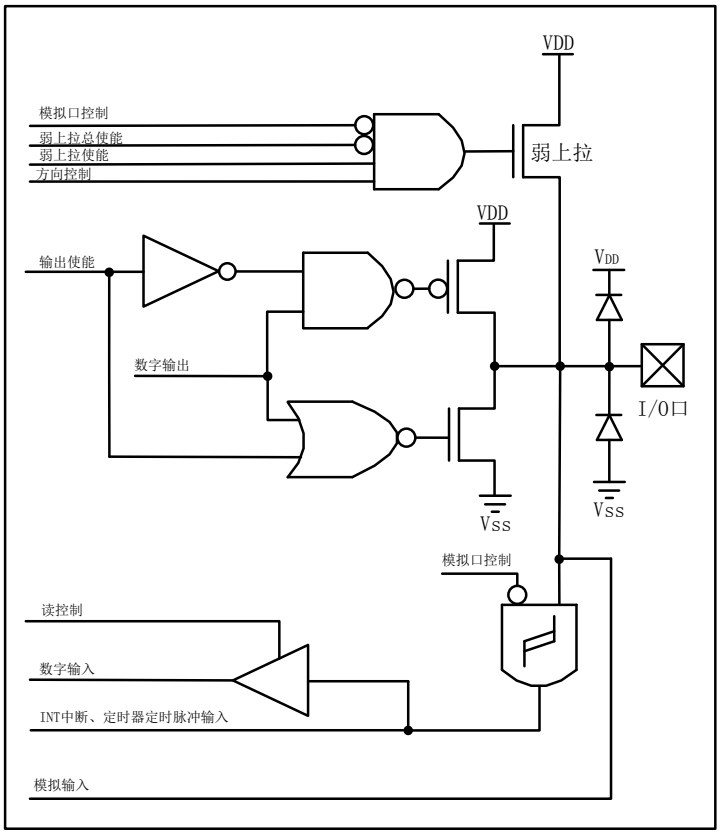


图 2-3 P1 口引脚原理功能框图

3 存储器

如图 3-1 所示，KF8F1000 中存储器主要由程序存储器(ROM)和数据存储器(RAM)组成，程序存储器和数据存储器地址空间相互独立。其中程序存储器为 1K×16 位的 FLASH 存储器；数据存储器由特殊功能寄存器和通用寄存器组成，特殊功能寄存器空间为 128×8 位，通用数据寄存器空间为 256×8 位。另外 KF8F1000 中还有一些其它存储器，包括：DATA EEPROM、寄存器组 R0～R7、8 级硬件堆栈、ID 地址单元等。

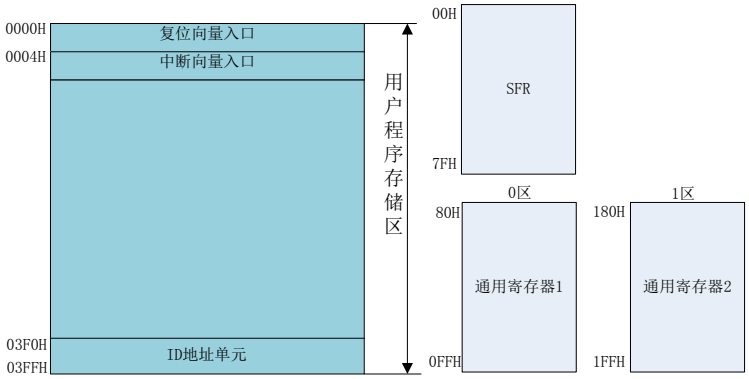


图 3-1 KF8F1000 存储器组织图

3.1 程序存储器(ROM)区

KF8F1000 有一个 13 位的程序计数器，最大可寻址 8K×16 的程序存储空间。而在 KF8F1000 中实际只实现了 1K×16 的程序空间 ，地址为 0000H～03FFH。复位向量入口地址为 0000H，中断向量入口地址为 0004H。

如图 3-2 所示，程序计数器(PC)的低 8 位(PC<7:0>)来自特殊功能寄存器 PCL,高 5 位(PC<12:8>)来自 PCH 寄存器。在任何复位发生后 PC 值将被清 0。在有任何未屏蔽中断发生后 PC 值将指向 0004H 地址。图 3-3 为程序存储器区的地址映射图。

在用户的程序中，每当执行一条汇编指令 PC 值会自动加 1，指向下一条要执行的指令。当有子程序调用或响应中断时，CPU 会将 PC+1 后的值压入堆栈进行保存，然后将子程序或中断入口地址送到 PC 中，CPU 根据 PC 的值跳转到对应的地址执行命令。

PCH<7:5>	PCH<4:0>	PCL<7:0>

图 3-2 程序计数器（PC）

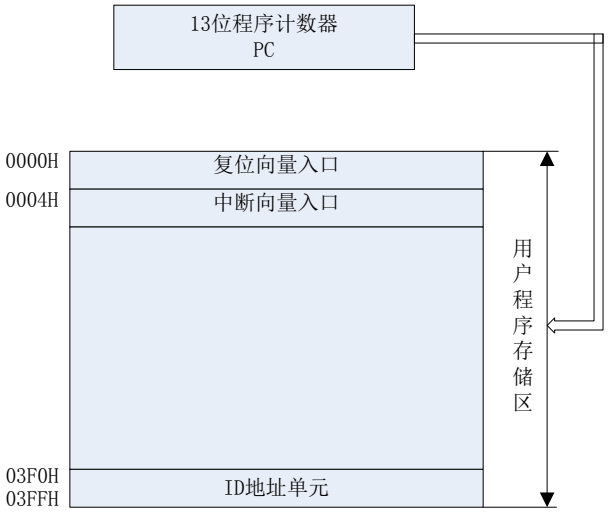


图 3-3 KF8F1000 程序存储器映射

3.2 数据存储器(RAM)区

如图 3-4 所示，KF8F1000 中的数据存储器由三个区组成，每个区的空间都是 128 字节，其中一个区用作特殊功能寄存器区(SFR)使用；另外两个存储器区为通用寄存器区，由用户支配。SFR 地址空间为 00H～7FH；通用寄存器区地址为 80H～0FFH 和 180H～1FFH，在这里将两个通用寄存器区称作 0 区和 1 区。

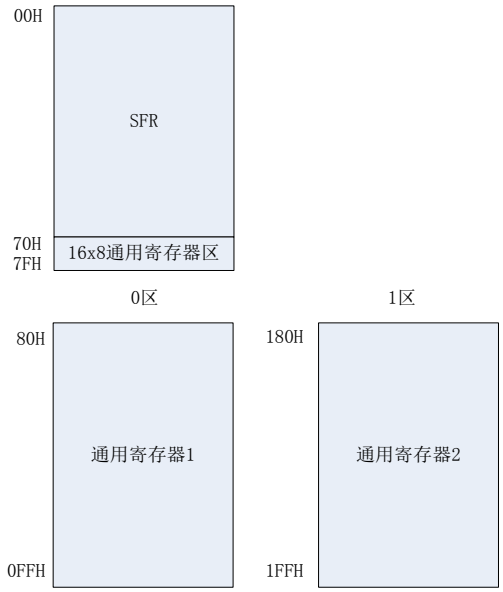


图 3-4 数据存储器地址映射图

3.2.1 通用寄存器区

如图 3.4 所示，通用寄存器的空间为 128×2 字节，0 区和 1 区通过 PSW 中的 RP0(PSW.5)位进行选择，如表 3.1 所示。

表格 3-1 通用寄存器区的选择

RP0(PSW.5)	当前使用的通用寄存器区	地址
0	0 区	80H～0FFH
1	1 区	180H～1FFH

3.2.2 特殊功能寄存器(SFR)区

KF8F1000 内部的 I/O 口控制、定时/计数器、PWM、中断等各种控制寄存器和状态寄存器都称为特殊功能寄存器。附录 1 列出 SFR 的地址映射及复位初始值等。

状态字寄存器(PSW): 如寄存器 PSW 所示，PSW 的低三位是算术运算标志位，在进行加、减等运算时对它们产生影响(具体请参考汇编指令部分)。$\overline{TO}$和$\overline{PD}$是复位状态位，当单片机有复位或看门狗超时、执行休眠等指令时，会对这两位产生影响。RP0 为通用存储器区选择位。

寄存器PSW: 状态字寄存器(地址: 03H)

复位值 0001 1xxx	bit7							bit0
	–	–	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	CY
	R/W	R/W	R/W	R	R	R/W	R/W	R/W

Bit<7:6>: 系统保留，配置为 0

RP0: 通用寄存器区选择位

RP0=0 选择存储器区 0

RP0=1 选择存储器区 1

$\overline{TO}$: 超时标志位

$\overline{TO}$=1 在上电复位、CWDT 指令或 IDLE 指令执行之后

$\overline{TO}$=0 WDT 超时被清 0

$\overline{PD}$: 上电复位标志位

$\overline{PD}$=1 上电复位或执行 CWDT 指令后

$\overline{PD}$=0 执行 IDLE 指令后被清 0

Z: 零状态标志位

Z=1 算术运算或者逻辑运算的运行结果为 0

Z=0 算术运算或者逻辑运算的运行结果不为 0

DC: 辅助进/借位标志位

DC=1 执行结果的低 4 位向高 4 位有进位(加指令)或没有借位(减指令)

DC=0 执行结果的低 4 位向高 4 位没有进位(加指令)或有借位(减指令)

CY: 进位/借位标志位

CY=1 执行结果(8 位)向高位有进位时(加指令)或没有借位(减指令)

CY=0 执行结果(8 位)向高位无进位时(加指令)或有借位(减指令)

注：对于借位的情况，当指令执行后，低四位(或高四位)向高位有借位时，DC(或CY)标志为0，当没有借位时其值为1。关于对标志位是否产生影响的指令请参考“汇编指令集”部分。

3.3 DATA EEPROM

KF8F1000 片内的 DATA EEPROM 存储器最大容量为 256×8 位，地址范 00H~FFH，可在 CPU 正常工作期间进行读写。DATA EEPROM 是单独编址，可以通过特殊功能寄存器寻址。

表格 3-2 与 DATA EEPROM 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
3BH	NVMADDRL	NVM 地址低 8 位							
3CH	NVMCTL0	NVM 控制寄存器 0							
3DH	NVMCTL1	NVM 控制寄存器 1							
39H	NVMDATAL	NVM 数据寄存器							

DATA EEPROM 数据存储器只能以字节为单位进行读写。当对字节写操作时会自动擦除目标存储单元（无论有没有数据）并写入新数据（在写入前擦除）。

当器件被代码保护时，器件编程器将不再能访问 DATA EEPROM。在代码保护时，CPU 仍可读写 DATA EEPROM 存储器。

3.3.1 寄存器 NVMDATAL

使用 DATA EEPROM 时，寄存器 NVMDATAL 用来存放要写入或者读出 DATA EEPROM 的数据。

3.3.2 寄存器 NVMADDRL

DATA EEPROM 最大容量为 256×8 位，地址范围 0~256，只需 8 位地址线参与译码。NVMADDRL 寄存器用来存放要写入 DATA EEPROM 的 8 位的地址信息。

3.3.3 寄存器 NVMCTL0/NVMCTL1

NVMCTL0/NVMCTL1 为写 DATA EEPROM 控制寄存器，地址位于特殊功能寄存器区的 3CH/3DH。用户在写 DATA EEPROM 时，将 NVMDATAL 中送入要写入的数据，NVMADDRL 中送入要写入的地址，然后通过向 NVMCTL0 和 NVMCTL1 送入固定的写命令，将数据写入 DATA EEPROM 对应地址指向的单元中。在读 DATA EEPROM 时，将要读的地址送到 NVMADDRL 中，然后向 NVMCTL0 写入固定的读命令，把要读的数据送到 NVMDATAL 中。

3.3.4 写 DATA EEPROM

写 DATA EEPROM 时，一次最多写入一个地址，写入操作之前自动附加一个擦除操作，擦除目标存储单元，然后写入新的数据。

写 DATA EEPROM 时，将要写入的地址送到 NVMADDRL，将要写入的数据送到 NVMDATAL。之后通过执行以下操作完成写操作:

```
MOV   R0 , PSW              ;保存当前PSW状态
CLR    PSW, RP0             ;切换到Bank0区
MOV    DATA_PSW , R0        ;该样例要求DATA_PSW在0区,否则添加切区

MOV   R0 , INTCTL           ;保存当前的中断状态
MOV  DATA_INTCTL , R0       ;该样例要求DATA_INTCTL 在0区,否则添加切区
CLR    INTCTL , 7           ;关闭总中断
JNB    INTCTL , 7
JMP    $-2

MOV  R0 , OSCCTL            ;保存当前的时钟状态
MOV  DATA_OSCCTL,R0         ;该样例要求DATA_OSCCTL在0区,否则添加切区
MOV  R0 , #0X20             ;切换到250kHz
MOV  OSCCTL , R0

;;以下时序不可更改
MOV  R0 , #0X04
MOV  NVMCTL0 , R0
MOV  R0 , #0X69
MOV  NVMCTL1 , R0
MOV  R0 , #0X96
MOV  NVMCTL1 , R0
SET    NVMCTL0 ,  1
NOPZ
NOPZ
NOPZ
NOPZ
NOPZ
NOPZ
NOPZ
NOPZ
NOPZ
NOPZ
MOV  R0 , #0X00             ;关闭DATA EEPROM的写操作，防止意外写
MOV  NVMCTL0 , R0

MOV  R0 , DATA_OSCCTL       ;恢复时钟状态
MOV  OSCCTL,R0

JNB    DATA_INTCTL , 7      ;恢复中断状态
SET    INTCTL , 7

MOV  R0 , DATA_PSW          ;PSW还原
MOV  PSW , R0
```

以上指令中的立即数 0X04，0X00，0X69，0X96 是固定不变的。如果未完全按照上述顺序（先将 0X69 写入 NVMCTL1，再将 0X96 写入 NVMCTL1，最后置位 NVMCTL0.1）执行指令，将不会启动写操作。写周期完成时，DATA EEPROM 写完成中断标志位（DEEIF）置 1，用户可以允许此中断或查询此位。DEEIF 必须用软件清零。

注： CPU写DATA EEPROM时,不管$\overline{\text{DATAP}}$设置为何值，都能写入正确的数据

写 DATA EEPROM 的步骤：

1. 将要写入的数据送到 NVMDATAL；
2. 将对应的 DATA EEPROM 地址送到 NVMADDRL；
3. 执行上面的写命令，此时，CPU 发出擦除 DATA EEPROM 目标存储单元的命令，擦除完毕后，将 NVMDATAL 中的数据送到对应地址中。用户需等待 6ms 用来执行擦除和写入数据的命令，此期间 CPU 仍可正常工作；
4. 重复执行步骤 1、2、3，可以执行其他地址的写入。

3.3.5 读 DATA EEPROM

在读 DATA EEPROM 时，将要读取的地址送到 NVMADDRL 后，通过执行以下操作完成读操作:

```
MOV R0 , #0X01
MOV NVMCTL0 , R0
NOPZ
MOV R0 , NVMDATAL              ;R0=NVMDATAL
```

上面指令中的立即数 0X01 是固定不变的。此时，该地址的数据被送到 NVMDATAL。读 DATA EEPROM 是逐字读取的。读 DATA EEPROM 时通过向 NVMCTL0 写入 0X01 来执行读命令。NVMDATAL 寄存器保存数据直到下一次读命令覆盖当前值。

注：读DATA EEPROM时， 不管$\overline{\text{DATAP}}$设置为何值，都能读出正确的数据

读 DATA EEPROM 的步骤如下：

1. 将要读的数据单元的地址送到 NVMADDRL 中；
2. 向 NVMCTL0 写入读命令；
3. 一个指令周期后该单元的数据被送到 NVMDATAL。

3.4 寄存器组 Rn

KF8F1000 芯片中有一个工作寄存器组 R0～R7，可用做间接寻址的中间寄存器，存放操作数的地址；在读和写 BLOCK EEPROM 时，R6 和 R7 用来存放要写的数据和读出的数据；隐含目的操作数的指令中，默认 R0 作为目的操作数(如: RRCR 0X81)；在读晶振校准值和参考电压校准值时，默认将读到的值送到 R0 中。

3.5 ID 地址单元

KF8F1000 的程序存储器空间的最后一行地址单元被指定为 ID 地址单元，地址为 3F0H～3FFH，用于存放芯片校准信息。

4 汇编指令及寻址方式

4.1 寻址方式

KF8F1000 系列单片机提供 5 种寻址方式，分别为：寄存器寻址、直接寻址、立即数寻址、寄存器间接寻址和位寻址。KF8F1000 的指令可以没有操作数、一个操作数、两个操作数。

4.1.1 寄存器寻址

采用这种寻址方式的指令中的操作数为寄存器组 R0～R7 的一个。

例:

CLR R0 ；R0←0 将寄存器 R0 清 0

只有一个操作数(R0 的值)，寻址方式为寄存器寻址。

ADD R0, R1

两个操作数（R0 和 R1），寻址方式为寄存器寻址。

4.1.2 直接寻址

在指令中的操作数为某个寄存器的直接地址，该地址指出其参与运算的数据所在的地址。直接寻址可以是: 特殊功能寄存器、通用数据存储器。

例:

MOV R0,0X81 ；R0←(81H) 将 81H 单元的数据送到 R0 中

指令中，源操作数寻址方式为直接寻址，目的操作数为寄存器寻址。

INC 0X3B ;3BH←(3BH)+1 将地址 3BH 里的值加 1，3BH 即 NVMADDRL。

指令中含有一个操作数，寻址方式为直接寻址。

4.1.3 立即数寻址

在指令中的操作数为立即数。

例:

MOV R0,#0X20 ；R0←0X20 将立即数 0X20 送到寄存器 R0 中

ADD R0,#0X20 ；R0←(R0)+0X20 寄存器 R0 的值与 0X20 相加结果送到 R0

AND R0,#0X20 ；R0←(R0)&0X20 寄存器 R0 的值与 0X20 相与结果送到 R0

以上三条指令中源操作数都是#0X20，为立即数寻址，目的操作数为寄存器寻址。

4.1.4 寄存器间接寻址

这种寻址方式中，寄存器的内容指定操作数的地址，即寄存器中存放的是操作数的地址。间接寻址只有两条指令 LD 和 ST。

例:

LD R0, [R1] ；R0←((R1)) 将 R1 的内容所指地址单元的数据送到 R0

指令中源操作数的寻址方式为寄存器间接寻址，目的操作数为寄存器寻址。

ST [R0], R1 ；(R0)←(R1) 将 R1 的内容送到 R0 的内容所指向的地址单元

指令中目的操作数的寻址方式为寄存器间接寻址，源操作数为寄存器寻址。

4.1.5 位寻址

指令中的操作数是寄存器的某位，这样的寻址方式称为位寻址。

例:

CLR INTCTL,1 ；将 INTCTL 的第 1 位清 0

CLR 0X80,1 ；将 80H 的第 1 位清 0

JNB 0X80,1 ；如果 80H 的第 1 位为 0 则跳过下一条指令执行后面的程序

4.2 汇编指令

KF8F1000 系列单片机汇编指令共有 68 条，除子程序调用、子程序返回、中断返回、部分跳转指令为双周期指令外，其余指令均为单周期指令。所有指令都占两个字节。

按照指令的功能可将其分为:数据传送指令、算术运算指令、逻辑运算指令、位操作指令和转移指令和特殊指令。具体指令集请参考附录 2。

5 中断

KF8F1000 单片机的中断源有:

- INT0/1/2
- T0/1 溢出中断
- T2 中断
- P0 口引脚电平变化中断
- PWM1/2/3 中断
- DATA EEPROM 中断

在本系列单片机中只有一个中断优先级。所有中断发生后都会跳转到中断入口地址 0004H，在中断服务子程序中通过检测相应的中断标志位来确定具体是哪个中断源触发发生。

KF8F1000 中的 INT1/2、T1、T2、PWM1/2/3 和 DATA EEPROM 都属于外设，因此对应的中断称作外设中断，其它中断源产生的中断属于内设中断。中断逻辑如图 5-1 所示。

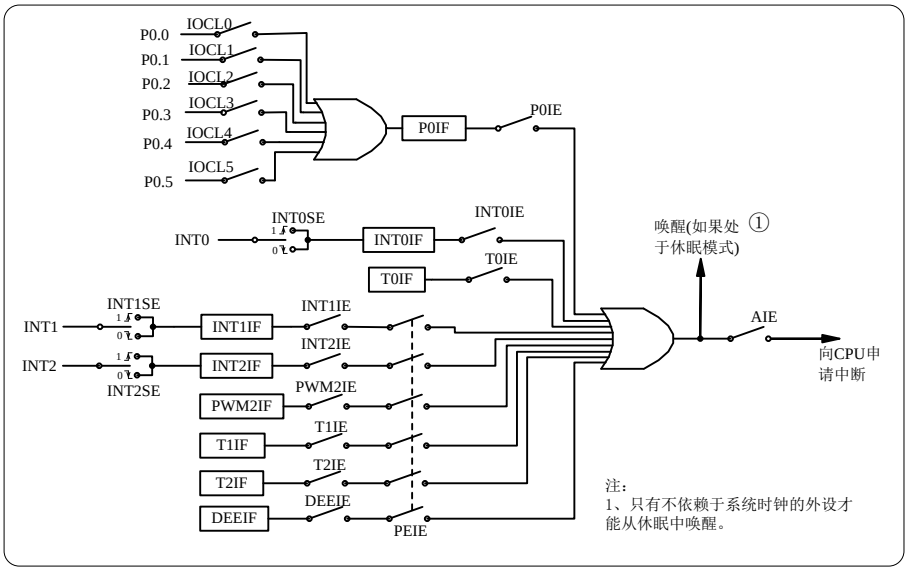


图 5-1 中断逻辑

5.1 中断相关的寄存器

表格 5-1 与中断相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
0CH	EIF1	DEEIF	-	INT2IF	INT1IF	-	PWM2IF	T2IF	T1IF
10H	T1CTL	-	T1GC	T1CKS1	T1CKS0		$\overline{T1SY}$	T1CS	T1ON
15H	PWMCTL	INT2SE	INT1SE	-	-	PWM2CKS	PWM1CKS	PWM2ON	PWM1ON
21H	OPTR	$\overline{PUPH}$	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0
2CH	EIE1	DEEIE	-	INT2IE	INT1IE	-	PWM2IE	T2IE	T1IE
36H	IOCL	-	-	IOCL5	IOCL4	IOCL3	IOCL2	IOCL1	IOCL0

5.1.1 中断控制寄存器(INTCTL)

如寄存器 INTCTL 所示，它包含:

- T0 寄存器溢出中断使能控制和标志位
- P0 口电平变化中断使能控制和标志位
- INT0 中断使能控制和标志位
- 外设中断和总中断使能位

AIE 为全局中断使能位，当其被清 0 时，禁止所有中断。PUIE 为外设中断使能位，当其被清 0 时禁止所有外设中断。具体的中断逻辑如图 5.1 所示 。

> 注：1. 当中断条件满足时，无论相应的中断使能位或者全局中断使能位AIE的状态如何，中断标志位将被硬件置1。
> 2. 中断条件满足时，中断标志位通过硬件置1, 而清零则需要软件完成。

寄存器INTCTL: 中断控制寄存器(地址: 0BH)

复位值 0000 0000	bit7							bit0
	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

AIE: 全局中断使能位
AIE=1 使能所有未屏蔽的中断
AIE=0 禁止所有中断

PUIE: 外设中断使能位
PUIE=1 使能所有未屏蔽的外设中断
PUIE=0 禁止所有外设中断

T0IE: T0 溢出中断使能位
T0IE=1 使能 T0 中断
T0IE=0 禁止 T0 中断

INT0IE: INT0 中断使能位
INT0IE=1 使能 INT0 中断
INT0IE=0 禁止 INT0 中断

P0IE: P0 口电平变化中断使能位
P0IE=1 使能 P0 口电平变化中断
P0IE=0 禁止 P0 口电平变化中断

T0IF: T0 溢出中断标志位

T0IF=1　T0 寄存器溢出

T0IF=0　T0 寄存器未溢出

INT0IF: INT0 中断标志位

INT0IF=1　INT0/P0.2 产生外部中断

INT0IF=0　INT0/P0.2 未产生外部中断

P0IF:　P0 口电平变化中断标志位

P0IF=1　引脚 P0.0～P0.5 至少有一个电平状态发生变化

P0IF=0　引脚 P0.0～P0.5 电平状态未发生变化

5.1.2　中断使能寄存器 EIE1

如寄存器 EIE1 所示，EIE1 是一个可读写的寄存器，它包含：

- DATA EEPROM 中断使能位
- INT1/2 中断使能位
- PWM2 中断使能位
- T2 中断使能位
- T1 中断使能位

寄存器EIE1: 中断使能寄存器(地址: 2CH)

复位值 0000 0000	bit7							bit0
	DEEIE	保留	INT2IE	INT1IE	–	PWM2IE	T2IE	T1IE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DEEIE：DATA EEPROM 中断使能位

DEEIE=1 使能 DATAE EEPROM 中断

DEEIE=0 禁止 DATAE EEPROM 中断

Bit<6>：系统保留，配置为 0

INT2IE: INT2 中断使能位

I NT2IE=1　使能 INT2 中断

INT2IE=0　禁止 INT2 中断

INT1IE: INT1 中断使能位

INT1IE=1　使能 INT1 中断

INT1IE=0　禁止 INT1 中断

Bit<3>：系统保留，配置为 0

PWM2IE: PWM2 中断使能位

PWM2IE=1　使能 PWM2 中断

PWM2IE=0　禁止 PWM2 中断

T2IE:　T2 与 PP3 匹配中断允许位

T2IE=1　允许 T2 与 PP3 匹配中断

T2IE=0　禁止 T2 与 PP3 匹配中断

T1IE:　T1 中断使能位

T1IE=1　使能 T1 中断

T1IE=0　禁止 T1 中断

5.1.3 中断标志寄存器 EIF1

如寄存器 EIF1 所示，中断标志寄存器包含:

- DATA EEPROM 写操作中断标志位
- INT1/2 中断标志位
- PWM2 中断标志位
- T2 中断标志位
- T1 中断标志位

寄存器EIF1：外设中断标志寄存器(地址0CH)

复位值	bit7							bit0
0000 0000	DEEIF	保留	INT2IF	INT1IF	-	PWM2IF	T2IF	T1IF
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DEEIF： DATA EEPROM 写操作中断标志位

DEEIF=1 DATA EEPROM 写操作完成

DEEIF=0 DATA EEPROM 写操作没有完成或没有启动

Bit<6>：系统保留，配置为 0

INT2IF: INT2 中断标志位

INT2IF=1 INT2/P1.3 产生外部中断

INT2IF=0 INT2/P1.3 未产生外部中断

INT1IF: INT1 中断标志位

INT1IF=1 INT1/P1.2 产生外部中断

INT1IF=0 INT1/P1.2 未产生外部中断

Bit<3>：系统保留，配置为 0

PWM2IF: PWM2 中断标志位

PWM2IF=1 PWM1/2 使能时，T1H 和 PP2 匹配

PWM2IF=0 PWM1/2 使能时，T1H 和 PP2 不匹配

T2IF: T2 与 PP3 匹配中断标志位

T2IF=1 发生了 T2 与 PP3 匹配

T2IF=0 未发生了 T2 与 PP3 匹配

T1IF: T1 寄存器溢出标志位

T1IF=1 T1 寄存器溢出或 PWM1/2 使能时，T1L 与 PP1 匹配

T1IF=0 T1 寄存器未溢出或 PWM1/2 使能时，T1L 与 PP1 不匹配

5.1.4 中断响应

当中断被响应后:

1. AIE 位将被硬件清 0 以禁止其它中断；
2. 返回地址压入堆栈；
3. 中断入口地址载入 PC；
4. 执行该中断服务子程序；
5. 执行指令 IRET 退出中断服务子程序并将 AIE 置 1，重新使能未屏蔽的中断；
6. 跳转到中断发生处继续执行下面的程序。

进入中断服务程序后，首先保存 PSW 和其它寄存器的值，然后通过查询中断标志位确定中断源。在重新使能中断之前，应在软件中将相应的中断标志位清 0，以避免出错。

注 1：中断条件满足时，无论相应的中断使能位或AIE位的状态为何，中断标志位都将被置1。
2：当执行一条清除AIE位的指令后，任何在下一周期等待响应的中断都将被忽略。当AIE位重新置1时，被忽略的中断请求将继续等待被响应。
3：当对中断进行响应，进入中断服务子程序的时候硬件会将AIE位清零关闭总中断，当中断程序执行完，中断返回指令跳出中断子程序时，硬件将AIE位置1打开总中断。

5.2 INT 中断

INT 中断有三个中断源: INT0、INT1 和 INT2，都采用边沿触发方式,如果触发边沿选择位(INTxSE)置 1，则采用上升沿触发；如果触发边沿选择位清 0，则采用下降沿触发。

表格 5-2 与 INT 中断有关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
2CH	EIE1	DEEIE	-	INT2IE	INT1IE	-	PWM2IE	T2IE	T1IE
0CH	EIF1	DEEIF	-	INT2IF	INT1IF	-	PWM2IF	T2IF	T1IF
15H	PWMCTL	INT2SE	INT1SE	-	-	PWM2CKS	PWM1CKS	PWM2ON	PWM1ON
21H	OPTR	$\overline{\text{PUPH}}$	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0

5.2.1 INT0 中断

INT0 中断通过寄存器 INTCTL 中的 INT0IE 位置 1 使能 INT0 中断。通过 OPTR 中的 INT0SE 位设置触发边沿，INT0SE 置 1,将 INT0 设置为上升沿触发，清 0 设置为下降沿触发。INTCTL 中的 INT0IF 为 INT0 的中断标志位。

INT0 引脚有触发脉冲时，INT0IF 被自动置 1，如果 INT0IE 和 AIE 位为 1，则响应 INT0 中断。

5.2.2 INT1 中断

INT1 中断通过寄存器 EIE1 中的 INT1IE 位置 1 使能 INT1 中断。通过 PWMCTL 中的 INT1SE 位设置触发边沿，INT1SE 置 1,将 INT1 设置为上升沿触发，清 0 设置为下降沿触发。EIF1 中的 INT1IF 为 INT1 的中断标志位。

INT1 引脚有触发脉冲时，INT1IF 被自动置 1，如果 INT1IE、PUIE 和 AIE 位为 1，则响应 INT1 中断。

5.2.3 INT2 中断

INT2 中断通过寄存器 EIE1 中的 INT2IE 位置 1 使能 INT2 中断。通过 PWMCTL 中的 INT2SE 位设置触发边沿，INT2SE 置 1,将 INT2 设置为上升沿触发，清 0 设置为下降沿触发。EIF1 中的 INT2IF 为 INT2 的中断标志位。

INT2 引脚有触发脉冲时，INT2IF 被自动置 1，如果 INT2IE、PUIE 和 AIE 位为 1，则响应 INT2 中断。

使用 INT 中断时的设置：

1. 将对应的 INTx 引脚设置为数字输入口。
2. 选择触发脉冲边沿时上升沿还是下降沿(INT0/1/2SE 置 1 为上升沿触发)；
3. 将相应的外部中断使能位置 1(INTxIE)；

5.3 定时器中断

T0/1 寄存器发生溢出时，T0IF/T1IF 位将会被置 1。通过将 T0IE/T1IE 位置 1/清 0 可使能/禁止该中断。有关定时/计数器模块的操作，请参考定时/计数器部分。当 T2 与 PP3 匹配时，T2IF 将被置 1。

5.4 P0 口中断

P0 口引脚的输入电平变化将使 P0IF(INTCTL.0)位置 1。通过设置/清除 P0IE(INTCTL.3）位，可使能/禁止该中断。且该端口各引脚可通过 IOCL 寄存器来对每个引脚进行配置。有关 P0 口的操作，请参考 P0 口部分。

5.5 PWM 中断

使能 PWM1/2 后，T1L 分配给 PWM1 进行计数，T1H 分配给 PWM2 进行计数，当 T1L/H 与 PP1/2 匹配时，会触发相应的中断标志位 T1IF 和 PWM2IF。如果使能 T1IE 或者 PWM2IE，则会触发中断（AIE、PUIE 置 1）。

使能 PWM3 后，当 T2 和 PP3 匹配时，会触发相应的中断标志 T2IF。如果 T2IE 使能，则会触发中断（AIE、PUIE 置 1）。

详见 PWM 部分。

5.6 中断现场保护

在中断响应时，硬件会把当前 PC 值加 1 入栈保存，中断结束后，硬件在将本次中断入栈时的值弹出载入 PC,继续执行后面的程序。通常，用户可能希望在中断时对一些关键寄存器的内容进行保存(例如，Rn 和 PSW）。这些都需通过软件方式实现。

6 定时/计数器

KF8F1000 单片机提供一个 8 位的定时/计数器 T0、1 个 16 位的定时/计数器 T1 和 1 个 8 位定时器 T2。

6.1 定时/计数器 0(T0)

T0 是一个 8 位的定时/计数器，当 T0 寄存器值加到 255 时，再加 1，则会产生溢出，T0 寄存器的值返回到 0 开始重新计数。

表格 6-1 与 T0 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
01H	T0	8 位计数器							
21H	OPTR	$\overline{\text{PUPH}}$	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0
25H	TR0	-	-	TR05	TR04	TR03	TR02	TR01	TR00

6.1.1 OPTR 选择寄存器

如寄存器 OPTR 所示，T0CS 为定时/计数模式选择位，T0SE 为计数模式时外部触发脉冲边沿选择位，PSA 用来将预分频器分配给 WDT 或者 T0,PS<2:0>对分频比分配。

寄存器OPTR: 选择寄存器(地址: 21H)

复位值 1111 1111	bit7							bit0
	$\overline{\text{PUPH}}$	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

$\overline{\text{PUPH}}$ IO 端口上拉功能总使能位

$\overline{\text{PUPH}}$=1 禁止 IO 端口所有上拉功能

$\overline{\text{PUPH}}$=0 允许 IO 端口使用上拉功能

INT0SE INT0 中断触发脉冲边沿选择位

INT0SE=1 INT0/P0.2 为上升沿触发

INT0SE=0 INT0/P0.2 为下降沿触发

T0CS: T0 模式选择位

T0CS=1 计数模式，T0 的时钟为外部时钟 T0CK

T0CS=0 定时模式，T0 的时钟为机器时钟 Fsys/4

T0SE: T0 计数脉冲信号边沿选择位

T0SE=1 下降沿触发

T0SE=0 上升沿触发

PSA: 预分频器分配控制位

PSA=1 预分频器用于 WDT

PSA=0 预分频器用于 T0

PS<2:0>: 预分频器分频比选择位

PS<2:0>	WDT 分频比	T0 分频比
000	1 : 1	1 : 2
001	1 : 2	1 : 4
010	1 : 4	1 : 8
011	1 : 8	1 : 16
100	1 : 16	1 : 32
101	1 : 32	1 : 64
110	1 : 64	1 : 128
111	1 : 128	1 : 256

6.1.2 预分频器

图 6-1 为预分频器的结构框图。T0 模块使用一个 8 位计数器作为预分频器。如寄存器 OPTR 所示，通过软件设定 PSA 位(OPTR.3)的状态可对预分频器的分配进行控制， PSA 位清 0 可将预分频器分配给 T0 模块。通过设置 PS<2:0 >位可选择预分频器的分频比。预分频器是不可读写的。当预分频器用于 T0 模块时，所有写入 T0 寄存器的指令都会将预分频器清 0。当预分频器用于 WDT 时，CWDT 指令会同时将预分频器和看门狗定时器清 0。

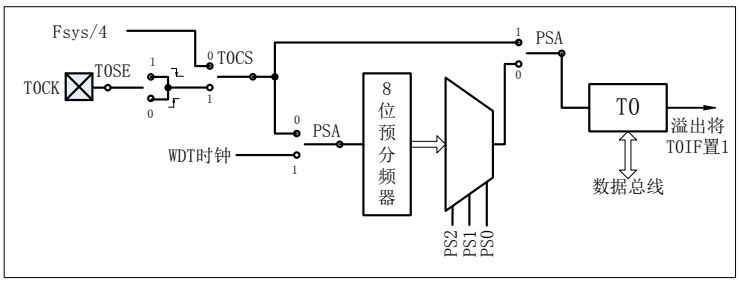


图 6-1 预分频器框图

6.1.3 定时模式

通过将 T0CS 位(OPTR.5)清 0 可选择定时器模式。在定时模式中，如果不使用预分频器，每一个机器周期 T0 寄存器的值加 1。如果 T0 寄存器被写入初始值，则在接下来的两个机器周期将不执行递增操作，用户可通过将校正值写入 T0 寄存器进行修正。

6.1.4 计数模式

通过将 T0CS 位(OPTR.5)置 1 可选择计数模式。在该模式下，T0 模块在 T0CK 引脚信号的每一次上升沿(T0SE 位清 0)或下降沿(T0SE 位置 1)递增计数。

当不使用预分频器时，要求 T0CK 的高电平状态和低电平状态分别保持至少 2Tosc 的时间，以实现 T0CK 与内部相位时钟的同步。

6.1.5 T0 的使用

T0 在使用时通过以下步骤进行设置：

1.通过将 T0CS 位清 0/置 1 选择定时/计数模式(如果是计数模式，再设置 T0SE 选择脉冲触发边沿，将对应的计数脉冲输入脚 T0CK 设置为输入)；

2.如果需要分频，则将预分频器分配给 T0，并设置分频比；

3.给 T0 寄存器设置初始值；

4.如果使用中断方式则将 T0IE 和 AIE 位置 1。

6.2 定时/计数器 1(T1)

T1 是一个 16 位的定时/计数器，T1 的低 8 位在寄存器 T1L 中，高 8 位在寄存器 T1H 中，当 T1 计数值达到 65535 后，T1 的值再加 1 就会产生溢出，将 T1 中断标志位置 1。T1 属于外部单元，因此在使用 T1 中断时，需将 PUIE 位置 1，使能外设中断。如图 6-2 所示为 T1 的原理框图。

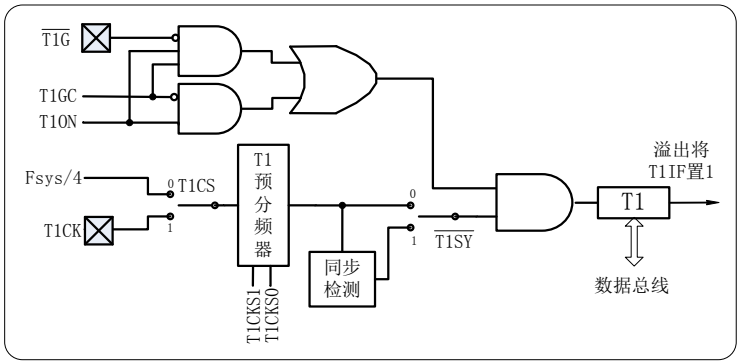


图 6-2 T1 原理框图

6.2.1 T1 相关的寄存器

表格 6-2 与 T1 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
0EH	T1L	T1 低 8 位							
0FH	T1H	T1 高 8 位							
0CH	EIF1	DEEIF	-	INT2IF	INT1IF	-	PWM2IF	T2IF	T1IF
2CH	EIE1	DEEIE	-	INT2IE	INT1IE	-	PWM2IE	T2IE	T1IE
10H	T1CTL	-	T1GC	T1CKS1	T1CKS0	-	$\overline{T1SY}$	T1CS	T1ON
25H	TR0	-	-	TR05	TR04	TR03	TR02	TR01	TR00

6.2.1.1 T1 控制寄存器

如寄存器 T1CTL 所示，T1 控制寄存器（T1CTL）用于启动/禁止 T1 以及选择 T1 模块的不同功能特性。

寄存器T1CTL：T1控制寄存器(地址：10H)

	bit7							bit0
复位值 -000 0000	-	T1GC	T1CKS1	T1CKS0	-	$\overline{T1SY}$	T1CS	T1ON
	U	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Bit<7>： 系统保留，配置为 0

T1GC: T1 门控使能位

如果 T1ON=0 则该位被忽略

如果 T1ON=1 则:

T1GC =1 使能 $\overline{T1G}$ 引脚控制(如果 $\overline{T1G}$ 引脚为低电平，启动 T1；为高电平，关闭 T1)

T1GC =0 禁止 $\overline{T1G}$ 引脚控制

T1CKS<1:0>: T1 输入时钟预分频比选择位

T1CKS<1:0>=11　1/8 倍预分频比
T1CKS<1:0>=10　1/4 倍预分频比
T1CKS<1:0>=01　1/2 倍预分频比
T1CKS<1:0>=00　1/1 倍预分频比

Bit<3>：　系统保留，配置为 0

$\overline{\text{T1SY}}$：　T1 计数模式外部触发脉冲输入同步控制位
T1CS=1:
$\overline{\text{T1SY}}$ =1　不与外部触发脉冲输入同步
$\overline{\text{T1SY}}$ =0　与外部触发脉冲输入同步
T1CS=0：　该位被忽略，T1 使用内部时钟

T1CS:　T1 定时/计数模式选择
T1CS=1　计数模式，T1 时钟为外部时钟 T1CK
T1CS=0　定时模式，T1 时钟为机器时钟 Fsys/4

T1ON:　T1 启动控制位
T1ON=1　启动 T1
T1ON=0　停止 T1

6.2.2　T1 预分频器

如寄存器 T1CTL 所示，T1 具有四个预分频器选择项，允许对时钟输入进行 1、2、4、或 8 倍分频。T1CKS 位(T1CTL<5:4>)对预分频计数器进行控制。T1 预分频计数器不能直接进行读写操作，可通过写入 T1H 或 T1L 使预分频计数器清 0。

6.2.3　定时模式

通过将 T1CS 位清 0 将 T1 设定为定时模式，T1 工作在定时模式时，对单片机内部时钟进行计数，当不使用预分频器时，每个机器周期 T1 寄存器自加 1，加到 0FFFFH 后再加 1，T1 溢出，将 T1 中断标志位 T1IF 置 1。

如果使能 T1 门控引脚，且 T1ON=1，则在 $\overline{\text{T1G}}$ 引脚为低电平时，启动 T1，如果 $\overline{\text{T1G}}$ 引脚为高电平，禁止 T1。使用该方式可粗略的对 $\overline{\text{T1G}}$ 引脚的低电平持续时间进行计算。

6.2.4　计数模式

通过将 T1CS 位置 1 将 T1 设定为计数模式，在计数模式时，T1 在计数脉冲 T1CK 的上升沿进行递增计数。T1 的计数模式又有同步计数和异步计数两种方式，

如果控制位 $\overline{\text{T1SY}}$ (T1CTL.2)置 1，则 T1 工作在异步计数模式。计数器根据 T1CK 引脚的脉冲进行递增计数。在休眠模式下，计数器将继续递增并在溢出时产生中断以唤醒处理器。

如果控制位 $\overline{\text{T1SY}}$ (T1CTL.2)清 0，则 T1 工作在同步计数模式。在内部相位时钟的 Q2 和 Q4 周期对 T1CK 引脚电平进行采样，可以实现 T1CK 与内部相位时钟的同步。

6.2.5 T1 在休眠模式下的运行

只有设定在异步计数器模式时，T1 才能在休眠模式下工作。在该模式下，计数脉冲 T1CK 使计数器递增。通过如下步骤设定定时器以唤醒器件:

· 使能 T1(T1ON/T1CTL.0 置 1)

· 将 T1IE 位(EIE1.0)置 1

· 将 PUIE 位(INTCTL.6)置 1

器件将在溢出时被唤醒。如果 AIE 位(INTCTL.7)置 1，器件将被唤醒并跳转至中断服务程序。

6.2.6 T1 分配给 PWM1/2

当使用 PWM1/2 时需要用到 T1，单片机将 T1L，T1IE,T1IF 分配给 PWM1,T1H 分配给 PWM2，具体使用方法参见 PWM1/2 部分。

6.3 定时器 T2

T2 是一个 8 位的定时器，没有外部计数时钟输入脚，T2 的原理框图如图 6-3 所示。

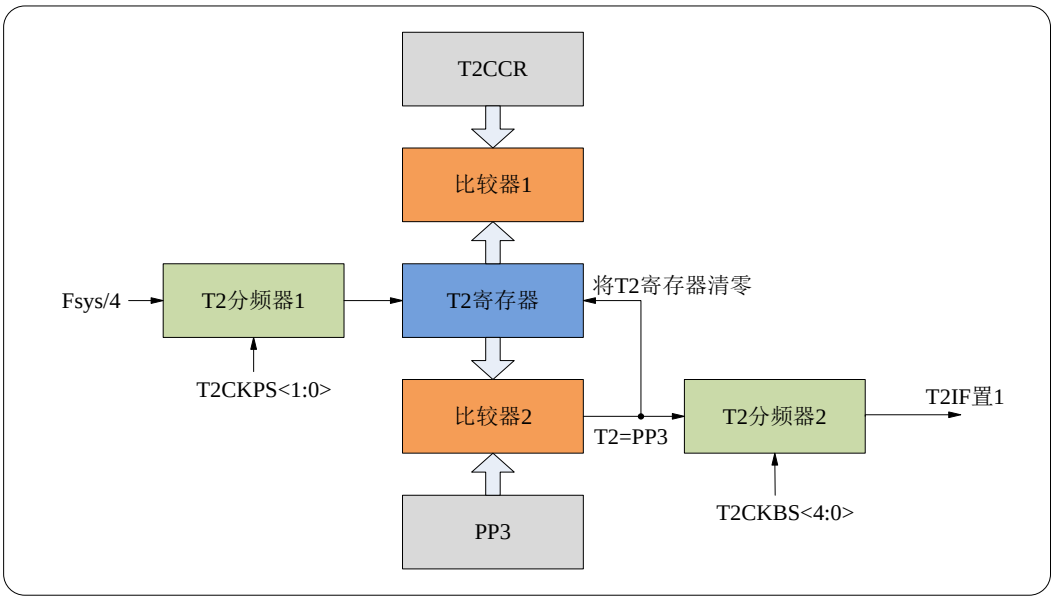


图 6-3 定时器 T2 原理框图

6.3.1 T2 相关的寄存器

表格 6-3 与 T2 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
0CH	EIF1	DEEIF	-	INT2IF	INT1IF	-	PWM2IF	T2IF	T1IF
2CH	EIE1	DEEIE	-	INT2IE	INT1IE	-	PWM2IE	T2IE	T1IE
12H	T2CTL	-	T2CKBS3	T2CKBS2	T2CKBS1	T2CKBS0	T2ON	T2CKPS1	T2CKPS0
11H	T2	T2 寄存器							
52H	PP3	PWM3 周期寄存器							

6.3.2 T2 控制寄存器 T2CTL

寄存器T2CTL：T2控制寄存器(地址：12H)

	bit7							bit0
复位值 -000 0000	-	T2CKBS3	T2CKBS2	T2CKBS1	T2CKBS0	T2ON	T2CKPS1	T2CKPS0
	U	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Bit7： 系统保留，配置为 0

T2CKBS<3:0>：T2 分频器 2 分频比选择位

T2CKBS<3:0>=0000: 分频比为 1:1

T2CKBS<3:0>=0001: 分频比为 1:2

T2CKBS<3:0>=0010: 分频比为 1:3

T2CKBS<3:0>=0011: 分频比为 1:4

T2CKBS<3:0>=0100: 分频比为 1:5

T2CKBS<3:0>=0101: 分频比为 1:6

T2CKBS<3:0>=0110: 分频比为 1:7

T2CKBS<3:0>=0111: 分频比为 1:8
T2CKBS<3:0>=1000: 分频比为 1:9
T2CKBS<3:0>=1001: 分频比为 1:10
T2CKBS<3:0>=1010: 分频比为 1:11
T2CKBS<3:0>=1011: 分频比为 1:12
T2CKBS<3:0>=1100: 分频比为 1:13
T2CKBS<3:0>=1101: 分频比为 1:14
T2CKBS<3:0>=1110: 分频比为 1:15
T2CKBS<3:0>=1111: 分频比为 1:16

T2ON： T2 使能位
T2ON=1: 使能 T2
T2ON=0: 禁止 T2

T2CKPS<1:0>： T2 分频器 1 分频比选择位
T2CKPS<1:0>=00: 分频比为 1:1
T2CKPS<1:0>=01: 分频比为 1:4
T2CKPS<1:0>=1x: 分频比为 1:16

6.3.3 T2 的工作原理

通过 T2CTL 的 T2ON 启动/禁止 T2。如图 6.2 所示，为 T2 的原理框图，T2 的计数时钟为机器时钟 Fsys/4，每个机器周期(分频器 1 分频比为 1:1 时)寄存器 T2 的值自动加 1。

SCLK/4 先经过分频器 1 分频后送到 T2 寄存器，进行加一计数，分频器 1 通过设置寄存器 T2CTL 中的 T2CKPS<1:0>位，可将 SCLK/4 进行 1:1、1:4 和 1:16 分频。

当 T2 寄存器与 PP3 相等时，T2 自动清 0，发出相等信号给分频器 2，分频器 2 递增。

分频器 2 的分频比可通过寄存器 T2CTL 中的 T2CKBS<3:0>位设置为 1:1 至 1:16。当其设置为 1:1 时，每次寄存器 T2 与 PP3 相等，将会使 T2 中断标志位 T2IF 置 1；当其设置为 1:2 时，寄存器 T2 与 PP3 相等累计两次才会使 T2IF 置 1，以此类推。

T2 的预分频器 1 的预分频比由寄存器 T2CTL 的 T2CKPS<1:0>位设置。分频器 2 由寄存器 T2CTL 的 T2CKBS<1:0>位设置。如果对 T2 寄存器执行写操作、对寄存器 T2CTL 执行写操作或发生任何器件复位事件(上电复位、$\overline{RST}$ 复位、看门狗复位或欠压复位),分频器的计数器将被清 0。

寄存器 T2、PP3 和 T2CCR 均可读写。任何复位时，寄存器 T2 均被设置为 00H,T2CCR 被设置为 XXH, PP3 被设置为 0FFH

6.3.4 T2 中断

如图 6.3 所示，预分频器 2 的计算器达到设定值后将会使中断标志位置 1，如果使能位 T2IE 为 1，且全局中断和外设中断允许位为 1，将会相应 T2 中断。

6.3.5 T2 在休眠模式

单片机进入休眠模式后，因 T2 使用系统时钟，因此 T2 将停止工作。

6.3.6 T2 分配给 PWM3

PWM3 在使用时，需要使用 T2 进行定时，PWM3 的详细内容请参考 PWM3 部分。

7 PWM 模块

KF8F1000 单片机具有 2 路 8 位的 PWM 模块 PWM1/PWM2 和 1 路 10 位增强型 PWM3 模块。其中 PWM1 和 PWM2 结构相同。PWM3 模块有 4 个输出引脚、带有死区延时、自动关断、自动重启等功能。

7.1 PWM1/2 模块

启动 PWM 后，在对应的 PWM1(或 PWM2)引脚输出 PWM 脉冲。PWM 脉冲的频率和占空比通过 PP1(或 PP2)和 PWM1L(或 PWM2L)设置。

图 7-1 显示了 PWM 逻辑框图。其中 PP1 为 PWM1 模块的周期寄存器，PWM1L 为 PWM1 模块占空比设置寄存器,使用 PWM 时需要将定时器 1 配置给 PWM 做定时用，其中 T1L、T1IE 和 T1IF 分配给 PWM1,T1H 分配给 PWM2。启动 PWM1 后，当 T1L 计数值和 PP1 相等时，P1.0 引脚被置 1，此时 T1L 被清 0，重新开始计数，当 T1L 的计数值和 PWM1L 相等时，P1.0 引脚清 0(如图 7-2 所示)。改变 PP1 和 PWM1L 的值可产生不同的 PWM1 周期和 PWM1 占空比。PWM2 模块的工作原理和 PWM1 模块完全一致。

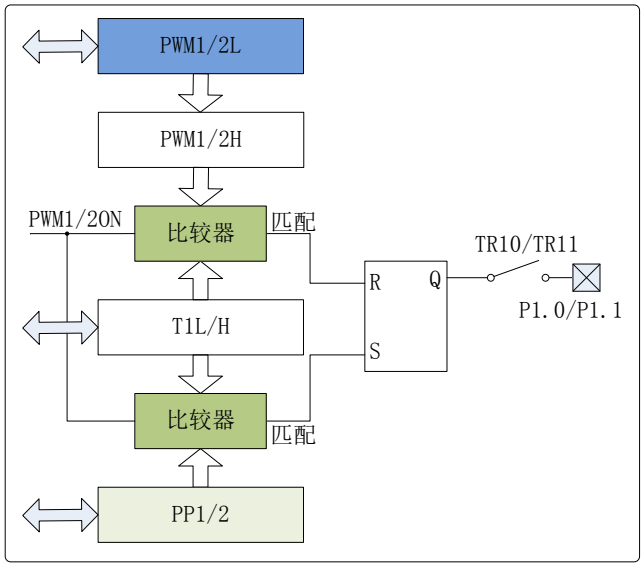


图 7-1 PWM1/2 逻辑框图

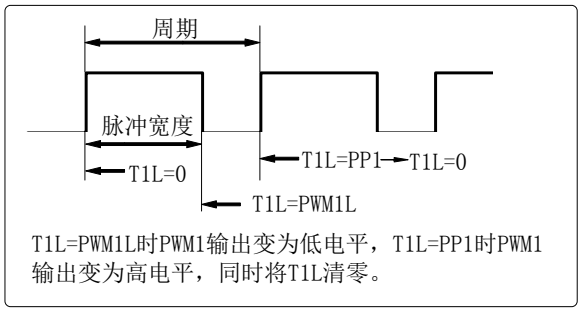


图 7-2 PWM1 输出波形图

7.2 PWM1/2 计数时钟原理

PWM1/PWM2 的计数时钟源为机器时钟 Fsys/4 和 Fosc(振荡器时钟)可选，分别由 PWM1CKS 和 PWM2CKS 控制，默认为 Fsys/4。

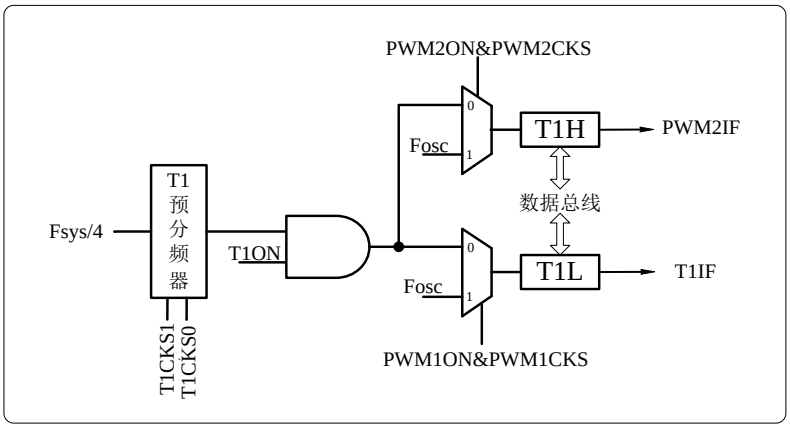


图 7-3 PWM1/2 使能时 T1 时钟源框图

7.2.1 PWM1/2 相关的寄存器

表格 7-1 与 PWM 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
2CH	EIE1	DEEIE	-	INT2IE	INT1IE	-	PWM2IE	T2IE	T1IE
0CH	EIF1	DEEIF	-	INT2IF	INT1IF	-	PWM2IF	T2IF	T1IF
0EH	T1L	定时器 1 低 8 位							
0FH	T1H	定时器 1 高 8 位							
13H	PWM1L	PWM1 占空比寄存器							
14H	PWM1H	PWM1 寄存器(与用户无关)							
16H	PP1	PWM1 周期寄存器							
32H	PP2	PWM2 周期寄存器							
33H	PWM2L	PWM2 占空比寄存器							
34H	PWM2H	PWM2 寄存器(与用户无关)							
10H	T1CTL	-	T1GC	T1CKS1	T1CKS0	-	$\overline{T1SY}$	T1CS	T1ON
15H	PWMCTL	INT2SE	INT1SE	-	-	PWM2CKS	PWM1CKS	PWM2ON	PWM1ON
27H	TR1	-	-	TR15	TR14	TR13	TR12	TR11	TR10

7.2.2 PWM 控制寄存器

PWM 控制寄存器包括 PWM1/2 的启动控制位和 INT1/2 触发脉冲边沿选择。

寄存器PWMCTL：PWM启动控制寄存器(地址：15H)

复位值 11-- 0000	bit7							bit0
	INT2SE	INT1SE	-	-	PWM2CKS	PWM1CKS	PWM2ON	PWM1ON
	R/W	R/W	U	U	R/W	R/W	R/W	R/W

INT2SE: INT2 触发脉冲边沿选择位
INT2SE=1 上升沿触发
INT2SE=0 下降沿触发

INT1SE: INT1 触发脉冲边沿选择位
INT1SE=1 上升沿触发
INT1SE=0 下降沿触发

Bit<5:4>: 系统保留，配置为 0

PWM2CKS: PWM2 计数时钟源选择位
1 = PWM2 计数时钟源为 Fosc
0 = PWM2 计数时钟源为 Fsys/4

PWM1CKS: PWM1 计数时钟源选择位
1 = PWM1 计数时钟源为 Fosc
0 = PWM1 计数时钟源为 Fsys/4

PWM2ON: PWM2 启动控制位
PWM2ON=1 启动 PWM2
PWM2ON=0 禁止 PWM2

PWM1ON: PWM1 启动控制位
PWM1ON=1 启动 PWM1
PWM1ON=0 禁止 PWM1

7.2.3 PWM1/2 周期

PWM 周期通过 PP1/2 (地址: 16H/32H，如寄存器 PP1 所示)进行设置,PP1/2 是一个 8 位的寄存器，其值可设置为 0～255。PWM 周期通过式 7.1 进行计算。

★式 7.1： PWMx周期 = (PPx+1) ·Tpwm (x=1、2)
注：当PWMxCKS=0时 Tpwm = 4 ·T_{sys} (T1预分频比)
当PWMxCKS=1时 Tpwm = Tosc

注：T_{sys} 为系统时钟周期，Tosc 为振荡器时钟周期。可参考章节 1.4。

寄存器PP1：PWM1周期设置寄存器(地址:16H)

复位值 1111 1111	bit7							bit0
	PP17	PP16	PP15	PP14	PP13	PP12	PP11	PP10
	R/W	R/W	R/W	R/W	R/W	R/W-1	R/W	R/W

PP1<7:0>：PWM1 周期设置寄存器
PP1<7:0> = PWM1 周期值

寄存器PP2：PWM2周期设置寄存器(地址:32H)

复位值 1111 1111	bit7							bit0
	PP27	PP26	PP25	PP24	PP23	PP22	PP21	PP20
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PP2<7:0>：PWM2 周期设置寄存器

PP2<7:0> = PWM2 周期值

7.2.4 PWM1/2 占空比

PWM 占空比通过 PWM1/2L(地址：13H/33H，如寄存器 PWMxL 所示)设置，可写入一个 8 位的值到 PWM1/2L 来设置占空比。脉冲宽度和占空比通过式 7.2 和式 7.3 计算:

寄存器PWM1L：PWM1占空比设置寄存器(地址：13H)

复位值 xxxx xxxx	bit7							bit0
	PWM1L7	PWM1L6	PWM1L5	PWM1L4	PWM1L3	PWM1L2	PWM1L1	PWM1L0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM1L<7:0>：PWM1 占空比设置寄存器

PWM1L<7:0> = PWM1 占空比值

寄存器PWM2L：PWM2占空比设置寄存器(地址：33H)

复位值 xxxx xxxx	bit7							bit0
	PWM2L7	PWM2L6	PWM2L5	PWM2L4	PWM2L3	PWM2L2	PWM2L1	PWM2L0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM2L<7:0>：PWM2 占空比设置寄存器

PWM2L<7:0> = PWM2 占空比值

★ 式7.2: 脉冲宽度 = PWMxL Tpwm (x=1、2)

注：当PWMxCKS = 0时，Tpwm = 4 Tsys (T1预分频比)

当PWMxCKS = 0时，Tpwm = Tosc

★ 式7.3: $$占空比=\frac{脉冲宽度}{PWM周期}=\frac{PWMxL}{PPx+1} \quad (X=1、2)$$

7.2.5 PWM1/2 分辨率

分辨率决定在给定周期内的占空比数。例如，10 位分辨率将产生 1024 个离散的占空比，8 位分辨率产生 256 个离散的占空比。KF8F1000 中当 PP1/2 为 255 时，PWM 的最大分辨率为 8 位。分辨率的计算公式如式 7.4 所示。

★ 式7.4: $$分辨率=\frac{Log[(PPx+1)]}{log2} 位 \quad (x=1、2)$$

7.2.6 PWM1/2 中断

PWM2 有一个专门的中断使能位 PWM2IE 和中断标志位 PWM2IF，当启动 PWM2 后，会对 PWM2IF 产生影响，而 PWM1 和定时器 T1 共用中断使能位 T1IE 和中断标志位 T1IF。在 PWM1/2 启用后，当 T1L/H 的计数值与 PWM1L/2L 的值匹配后，其对应的输出引脚变为低电平。当 T1L/H 的计数值与 PP1/2 的值匹配后，其对应的输出引脚变为高电平，同时将 T1L/H 清 0，将 T1IF/PWM2IF 置 1，如果允许 T1 或 PWM2 中断，将会转入对应的中断子程序中。

7.2.7 休眠模式下的操作

在休眠模式下，T1 寄存器将不会递增并且模块的状态将保持不变。PWM1/2 输出引脚电平保持不变(如果输出为高电平，则保持高电平，如果为低电平保持低电平)。当器件被唤醒时，T1 将从原来的状态继续工作。

7.2.8 系统时钟频率的改变

PWM1/2 的输出频率是通过 T1L/H 定时产生的，而定时器的计数时钟由振荡器产生。因此振荡器时钟频率发生任何改变都会使 PWM 频率发生变化。

7.2.9 复位的影响

任何复位都会将所有端口强制为输入模式，并强制 PWM1/2 使用的寄存器进入其复位状态。

7.2.10 PWM1/2 使用方法

PWM1/2 工作的设置应按照以下步骤:

1、 将 TR10 或 TR11 置 1，禁止引脚 P1.0/PWM1 或 P1.1/PWM2 的输出驱动器。
2、 赋 PP1 或 PP2 寄存器的初值以设置 PWM1 或 PWM2 的 PWM 周期。
3、 赋 PWM1L 或 PWM2L 寄存器的初值以设置 PWM1 或 PWM2 的占空比。
4、 设置 PWMxCKS 位选择 PWM1/2 的计数时钟源。
5、 配置并启动定时器/计数器 T1:
   - 配置 T1CTL 寄存器的 T1CKS1 和 T1CKS0 以选择 T1 的预分频比；
   - 将 T1L/H 清 0；
   - 将 T1CTL 寄存器的 T1ON 位置 1 以启动 T1。
6、 将 PWMCTL 寄存器的 PWM1ON 或 PWM2ON 置 1 以启动 PWM1 或 PWM2。
7、 将 TR10 或 TR11 清 0 使能引脚 P1.0/PWM1 或 P1.1/PWM2 的输出驱动器。

7.3 PWM3

PWM3 为增加型的 PWM 模块：带有死区控制延时功能，占空比设置寄存器为 10 位，PWM3 最多可在 4 个不同的引脚(P3A、P3B、P3C 和 P3D)输出 PWM 信号，分辨率最高 10 位。PWM3 有 4 种输出模式：单输出、半桥输出、全桥正向输出模式和全桥反向输出模式，通过寄存器 PWM3CTL0 中的 P3M<1:0>位选择 4 种输出模式之一(如表 8.3)，通过 PWM3M<1:0>位设置各引脚的有效电平(可设置为高电平有效和低电平有效)。PWM3 的原理框图如图 7-3 所示。

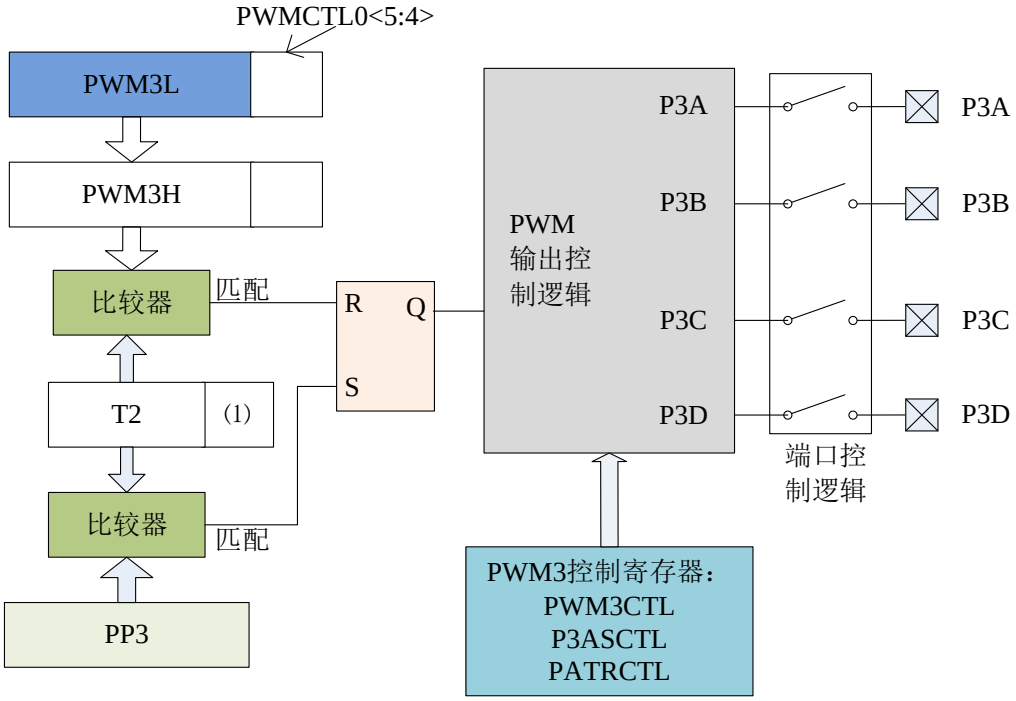


图 7-4 PWM3 原理框图

表格 7-2 PWM3 输出模式控制及有效引脚

PWM3 输出模式	P3M<1:0>	有效引脚
单输出模式	00	默认将 P3A 配置为 PWM 输出，P3B、P3C 和 P3D 配置为端口引脚；可通过 PATRCTL 寄存器中的 STR<D:A>各位置 1，分别将 P3A、P3B、P3C 和 P3D 配置为 PWM 输出；PWM3 最多可在 4 个引脚输出 PWM 信号。
半桥输出模式	10	P3A 和 P3B 配置为调制输出；P3C 和 P3D 配置为端口引脚；半桥输出模式带有死区控制功能
全桥正向输出模式	01	P3D 配置为 PWM 调制输出；P3A 为有效电平；P3B 和 P3C 为无效电平
全桥反向输出模式	11	P3B 配置为 PWM 调制输出；P3C 为有效电平，P3A 和 P3D 为无效电平

注：各种输出模式的详细介绍请参考本节相应部分。

7.3.1 PWM3 相关寄存器

表格 7-3 与 PWM3 相关的寄存器

地址	寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF
11H	T2	T2 寄存器							
12H	T2CTL	-	T2CKBS3	T2CKBS2	T2CKBS1	T2CKBS0	T2ON	T2CKPS1	T2CKPS0
52H	PP3	PWM3 周期设置寄存器							
55H	PWM3L	PWM3 占空比设置寄存器							
56H	PWM3H	PWM3 寄存器							
57H	PWM3CTL0	P3M1	P3M0	PDT1	PDT0	P3ON1	P3ON0	PWM3M1	PWM3M0
5BH	PWM3CTL1	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0
5CH	P3ASCTL	P3ASE	P3ASS2	P3ASS1	P3ASS0	P3SSAC1	P3SSAC0	P3SSBD1	P3SSBD0
5DH	PATRCTL	-	-	-	STRSYNC	STREND	STRENC	STRENB	STRENA

7.3.1.1 PWM3CTL0 寄存器

寄存器PWM3CTL0: PWM3控制寄存器0(地址: 57H)

复位值 0000 0000	bit7							bit0
	P3M1	P3M0	PDT1	PDT0	P3ON1	P3ON0	PWM3M1	PWM3M0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3M<1:0>: PWM3 输出配置位

如果 P3ON<1:0>=00、01 或 10，P3A、P3B、P3C 和 P3D 为端口引脚

如果 P3ON<1:0>=11:

P3M<1:0>=00: 单输出模式；默认 P3A 配置为 PWM 输出，P3B、P3C 和 P3D 为端口引脚；可通过 PATRCTL 寄存器中的 STR<A:D>各位置 1，分别将 P3A、P3B、P3C 和 P3D 配置为 PWM 输出；PWM3 最多可提供 4 路 PWM 输出

P3M<1:0>=01: 全桥正向输出模式；P3D 配置为 PWM 调制输出,P3A 为有效电平,P3B 和 P3C 为无效电平

P3M<1:0>=10: 半桥输出模式；P3A 和 P3B 配置为调制输出；P3C 和 P3D 被分配为端口引脚，此模式带有死区控制功能

P3M<1:0>=11: 全桥反向输出模式；P3B 配置为调制输出；P3C 为有效电平；P3A 和 P3D 为无效电平

PDT1<1:0>: PWM3 十位占空比的低 2 位，高 8 位由寄存器 PWM3L 提供

P3ON<1:0>: PWM3 开关位

P3ON<1:0>=11: 打开 PWM3

P3ON<1:0>=00、01 或 10: 关闭 PWM3

PWM3M<1:0>: PWM3 输出有效电平设置位

PWM3M<1:0>=00: P3A、P3B、P3C 和 P3D 均为高电平有效

PWM3M<1:0>=01: P3A 和 P3C 为高电平有效；P3B 和 P3D 为低电平有效

PWM3M<1:0>=10: P3A 和 P3C 为低电平有效；P3B 和 P3D 为高电平有效

PWM3M<1:0>=11: P3A、P3B、P3C 和 P3D 均为低电平有效

7.3.1.2 PWM3CTL1 寄存器

寄存器PWM3CTL1：PWM3控制寄存器1(地址：5BH)

复位值 0000 0000	bit7							bit0
	PRSEN	PDC6	PDC5	PDC5	PDC3	PDC2	PDC1	PDC0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PRSEN: PWM 重启使能位

PRSEN=1: 自动关闭时，一旦关闭事件消失，P3ASE 位将自动清 0，PWM 自动重启

PRSEN=0: 自动关闭时，P3ASE 由软件清 0，以重启 PWM

PDC<6:0>: PWM 死区延时时间设置位，用于设置死区延时的时间

7.3.1.3 P3ASCTL 寄存器

寄存器P3ASCTL：PWM3自动关闭控制寄存器(地址：5CH)

复位值 0000 0000	bit7							bit0
	P3ASE	P3ASS2	P3ASS1	P3ASS0	P3SSAC1	P3SSAC0	P3SSBD1	P3SSBD0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3ASE: 自动关闭事件状态位

P3ASE=1: 发生了关闭事件；四路输出为关闭状态

P3ASE=0: 四路输出正常工作

P3ASS<2:0>: 自动关闭源选择位

P3ASS<2:0>=000: 禁止自动关闭

001 =系统保留

010 =系统保留

011 =系统保留

1xx =INT0 引脚上的 V_{IL}

P3SSAC<1:0>: 引脚 P3A 和 P3C 关闭状态控制位

P3SSAC<1:0>=00: 驱动引脚 P3A 和 P3C 为 0

P3SSAC<1:0>=01: 驱动引脚 P3A 和 P3C 为 1

P3SSAC<1:0>=1x: 引脚 P3A 和 P3C 为三态

P3SSBD<1:0>: 引脚 P3B 和 P3D 关闭状态控制位

P3SSAC<1:0>=00: 驱动引脚 P3B 和 P3D 为 0

P3SSAC<1:0>=01: 驱动引脚 P3B 和 P3D 为 1

P3SSAC<1:0>=1x: 引脚 P3B 和 P3D 为三态

7.3.1.4 PATRCTL 寄存器

寄存器PATRCTL：脉冲转向控制寄存器(地址：5DH)

复位值 ---0 0001	bit7							bit0
	-	-	-	STRSYNC	STREND	STRENC	STRENB	STRENA
	U	U	U	R/W	R/W	R/W	R/W	R/W

Bit<7:5>： 系统保留，配置为 0

STRSYNC: 转向同步位

STRSYNC=1: 在下一个 PWM 周期发生输出转向更新

STRSYNC=0: 在指令周期边界的开始发生输出转向更新

STREND: 转向使能位 D

STREND=1: P3D 引脚输出 PWM 波形，其极性由 PWM3M<1:0>控制

STREND=0: P3D 引脚被分配为端口引脚

STRENC： 转向使能位 C

STRENC=1: P3C 引脚输出 PWM 波形，其极性由 PWM3M<1:0>控制

STRENC=0: P3C 引脚被分配为端口引脚

STRENB： 转向使能位 B

STRENB=1: P3B 引脚输出 PWM 波形，其极性由 PWM3M<1:0>控制

STRENB=0: P3B 引脚被分配为端口引脚

STRENA： 转向使能位 A

STRENA=1: P3A 引脚输出 PWM 波形，其极性由 PWM3M<1:0>控制

STRENA=0: P3A 引脚被分配为端口引脚

7.3.2 PWM3 的周期、占空比及分辨率

7.3.2.1 PWM3 周期

PWM3 的周期过 8 位的寄存器 PP3 (地址:52H)进行设置,其值可设置为 0～255，PWM3 的周期通过式 7.5 进行计算。

★ 式7.5： PWM周期=(PP3+1)・4・Tsys・(T2预分频比)

注：Tsys 为系统时钟周期，可参考章节 1.4。

7.3.2.2 PWM3 占空比

PWM3 占空比设置寄存器为 10 位，通过寄存器 PWM3L(地址:55H)和 PWM3CTL0 的 PDT<1:0>位进行设置，PWM3L 为占空比的高 8 位，PDT<1:0>为低两位。脉冲宽度和占空比通过式 7.6 和式 7.7 计算:

★ 式7.6： 脉冲宽度=(PWM3L:PWM3CTL0<5:4>)・Tsys・(T2预分频比)

★ 式7.7： $$占空比=\frac{脉冲宽度}{PWM周期}=\frac{PWM3L:PWM3CTL0<5:4>}{4(PP3+1)}$$

7.3.2.3 PWM3 分辨率

当 PP3 为 255 时，PWM3 的最大分辨率为 10 位。分辨率的计算公式如式 7.8 所示。

★ 式7.8: 分辨率= $\frac{\mathrm{Log}[4(PP3+1)]}{\log 2}$ 位

7.3.2.4 PWM3 中断

当 PWM3 调制输出满一个周期时，将中断标志位 T2IF 置 1，如果 PWM3 中断使能，且 AIE(全局中断允许位)和 PUIE(外设中断允许位)置 1，程序将相应中断。

7.3.3 单输出模式

通过将寄存器 PWM3CTL0 中的 P3M<1:0>位设置为 00，选择单输出模式，在此模式下，默认从 P3A 引脚输出 PWM 信号，P3B、P3C 和 P3D 引脚为通用端口引脚。

在使能相应的 PWM3 引脚时，应将对应的 TRx.x 位清 0，以将此引脚设置为输出模式；如果相应引脚为模拟数字共用引脚，应将该引脚设置为通用数字 I/O 口。

可通过设置寄存器 PATRCTL(参考寄存器 PATRCTL)的 STREN<D:A>位，使能或禁止 PWM3 的 4 路输出，PWM3 使用单输出模式时，最多可同时在 4 个引脚输出同一个 PWM 信号。如图 7-5 所示，在单输出模式下，将 P3A 一路设置为 PWM 输出和 P3A 和 P3B 两路同时设置为 PWM 输出的示例，其它设置情况与此类似。

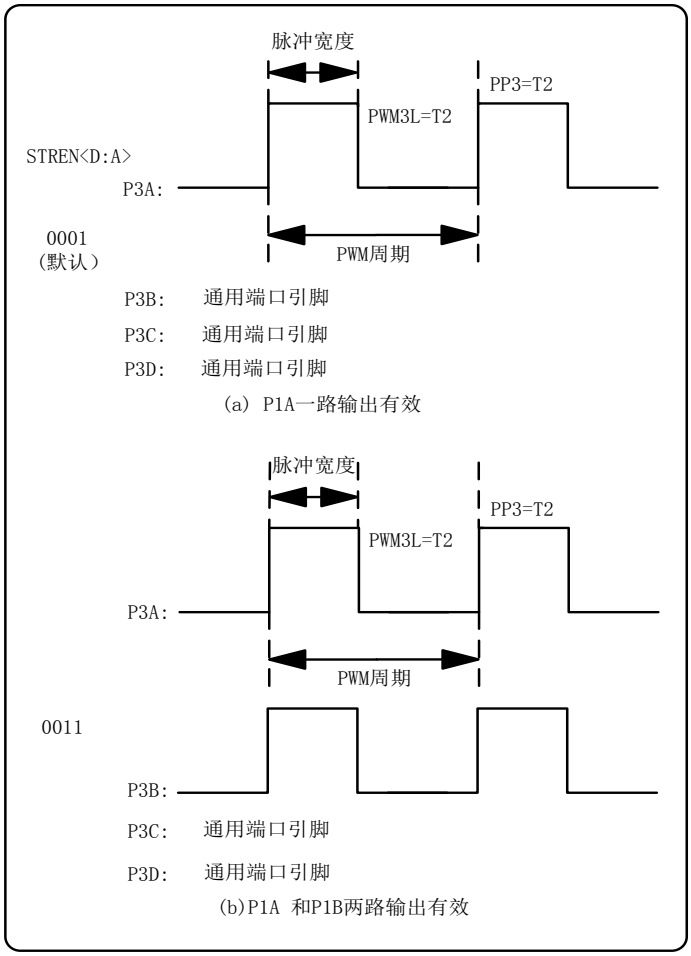


图 7-5 PWM3 的输出示例

在单输出模式过程中，如果开始时某路输出 PWM 信号无效(为通用端口)，现在要将其设置为有效 PWM 输出,此时可通过寄存器 PATRCTL 中的 STRSYNC 位进行设置引脚输出切换时是否与指令同步。如图 7-6 所示，STRSYNC=1 时，对应引脚 P3x 输出的 PWM 信号在 STRENx 置 1 后且的 PWM3 输出信号周期结束时输出；STRSYNC=0 时，对应引脚 P3x 输出的 PWM 信号在 STRENx 置 1 后立即输出；

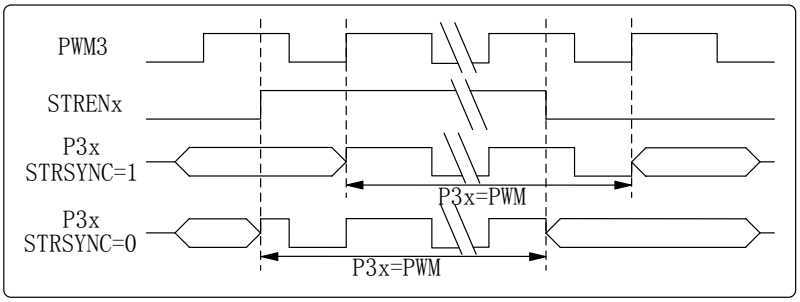


图 7-6 单输出模式 PWM 输出引脚切换

7.3.4 半桥输出模式

通过将寄存器 PWM3CTL0 的 P3M<1:0>位设置为 10，把 PWM3 设置为半桥输出模式。在此模式下，P3A 和 P3B 被配置为调制输出，来驱动推挽式负载，P3C 和 P3D 被配置为通用端口。PWM 输出信号在 P3A 引脚上输出，而互补的 PWM 输出信号在 P3B 引脚上输出，如图 7-7 所示。

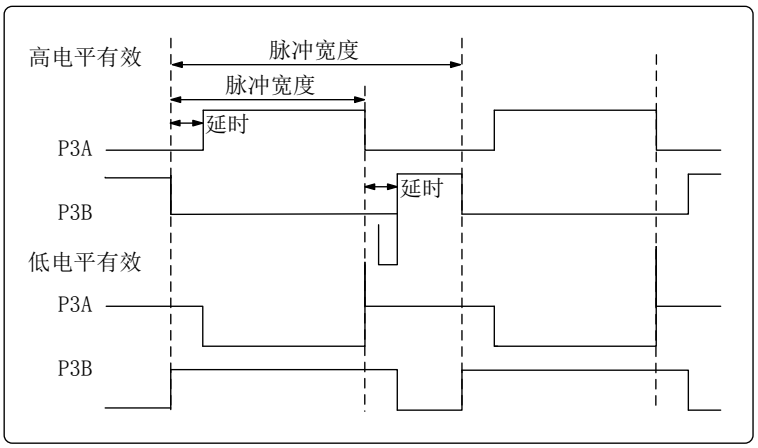


图 7-7 半桥输出模式输出信号示例

半桥输出模式可用于控制半桥和全桥控制电路，如图 7-8 所示，为半桥输出模式应用于半桥桥和全桥控制电路的示例。半桥输出模式应用于两个开关管的半桥控制电路，或使用 2 个 PWM 信号来控制 4 个开关管的全桥控制电路。

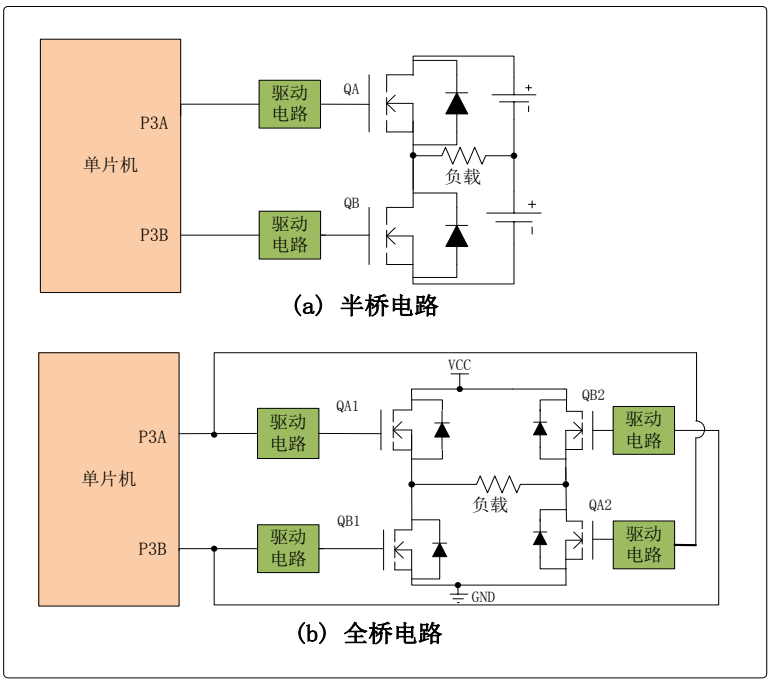


图 7-8 半桥输出模式应用举例

在使用半桥输出模式时，需将 P3A 和 P3B 引脚对应的方向控制位 TR1x 清 0，设置为输出。

半桥输出模式具有可编程的死区延时功能，由于外部电路种的开关管等元件导通和截止时间存在差异，可用来防止在半桥驱动电路中产生直通电流，损坏相关电路。PWM3CTL1 寄

存器中 PDC<6:0> 位的值用来设置死区延时时间。如果该值大于脉冲宽度，在整个周期内对应的输出将保持无效。

7.3.4.1 死区延时

如图 8.7(a)、8.8 所示，在半桥输出模式应用中，P3A 和 P3B 一直以 PWM 频率调制两个开关管，通常开关管的截止比导通需要更多的时间。如果 QA 和 QB 同时导通，两个管子可能会在一段很短的时间内都处于导通状态，在这很短的时间内，将会产生很大的电流流过两个管子，从而可能导致电路损坏。直到一个管子完全截止才会退出此状态(图 8.13(a)中的(1)、(2)、(3)和(4)处所示)。

为了避免开关期间产生这种具有破坏性的直通电流，可使其中一个管子关闭后再打开另一个管子。在半桥输出模式下，使用一个可编程死区延时模块，来避免产生的直通电流破坏电路。如图 7-9 所示，该延时在 PWM3 信号从非有效电平到有效电平转换时发生。延时时间通过寄存器 PWM3CTL1 的低 7 位进行设置。延时时间计数公式如式 7.9 所示。

★ 式7.9: 延时时间= PDC<6:0>・4・Tosc

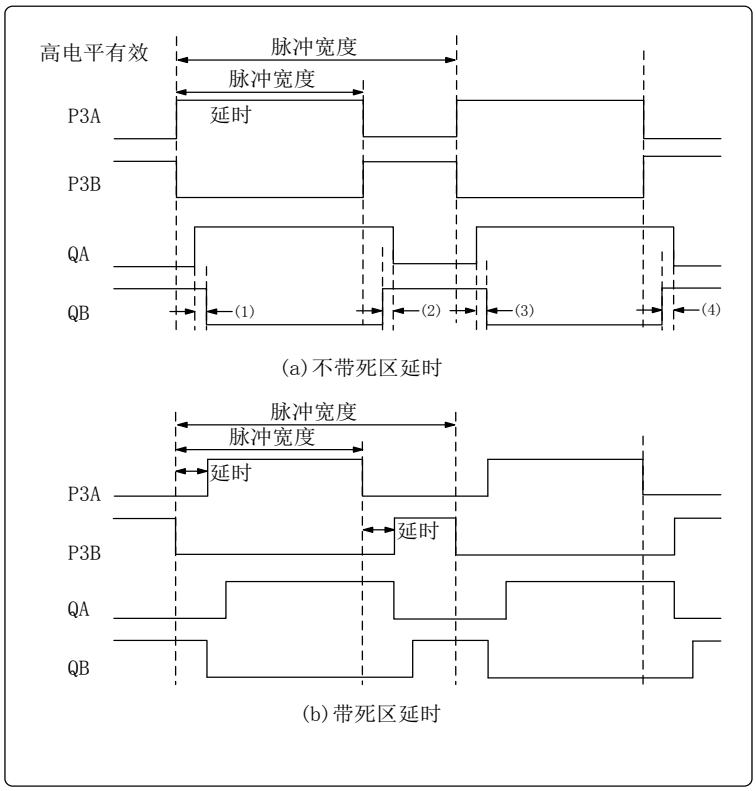


图 7-9 带死区控制和不带死区控制时的信号示例

7.3.5 全桥输出模式

全桥输出模式有全桥正向输出模式和全桥反向输出模式两种。通过将寄存器 PWM3CTL0 的 P3M<1:0>设置为 01，把 PWM3 设置为全桥正向输出模式；将其设置为 11，把 PWM3 设置为全桥反向输出模式。

在全桥输出模式下，P3A、P3B、P3C 和 P3D 四个引脚都用作输出。将其设置为全桥正向模式时，引脚 P3A 被设置为有效电平，引脚 P3D 为 PWM 调制信号， P3B 和 P3C 为无效电平，图 7-10(a)和 7-11(a)为全桥正向输出模式引脚信号示例。将其设置为全桥反向输出模式时，P3C 被驱动为有效电平，引脚 P3B 为 PWM 调制信号， 而 P3A 和 P3D 为无效电平，图 7-10(b)和 7-11(b)为全桥反向输出模式引脚信号示例。图 7-12 给出了全桥输出模式的应用电路示例。

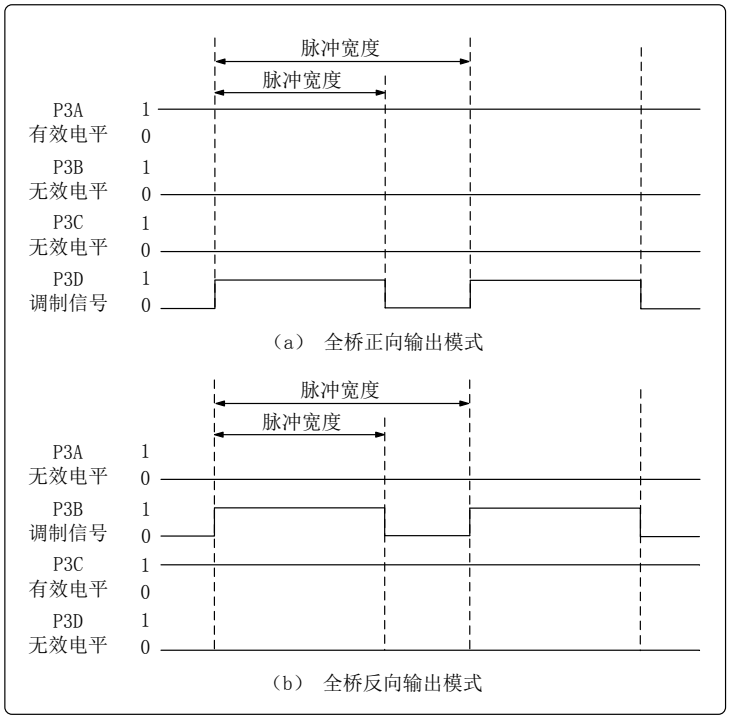


图 7-10 全桥输出模式引脚信号示例(高电平有效)

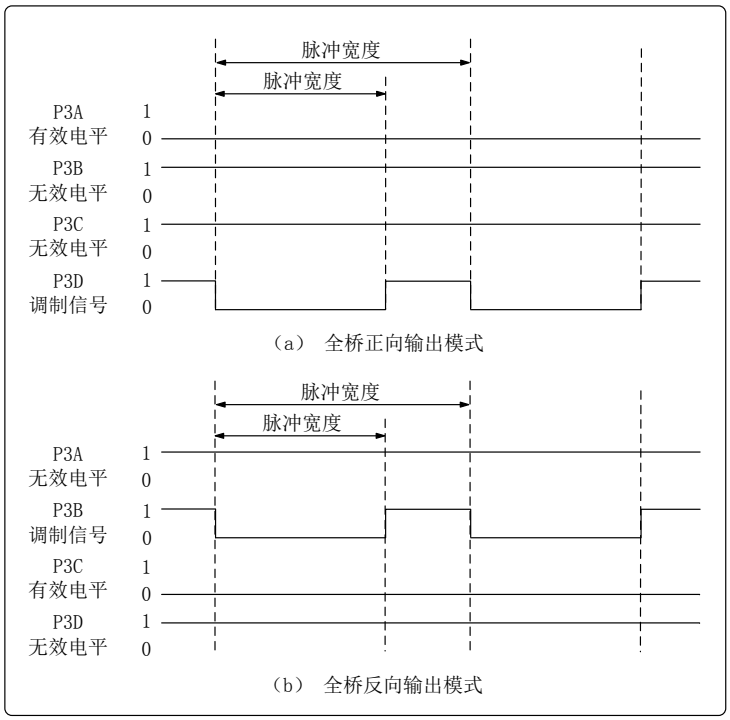


图 7-11 全桥输出模式引脚信号示例(低电平有效)

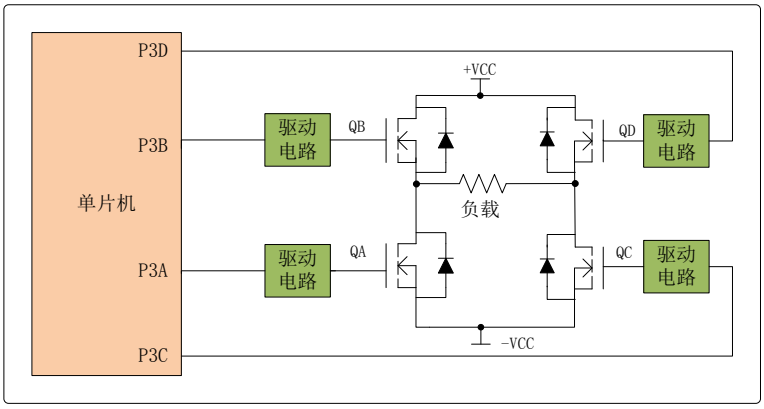


图 7-12 全桥输出模式应用电路示例

在使用全桥输出模式时，需将 P3A、P3B、P3C 和 P3D 引脚对应的方向控制位 TR1x 清 0，设置为输出。

从全桥输出模式引脚信号波形以及应用电路示例可以看出：正向模式时，调制输出仅能控制一组开关管，假设此时流经负载的电流为正，则反向模式控制另一组开关管，使流经负载的电流为负。因此在使用全桥输出模式时，可将正向模式应与反向模式配合使用，使流经负载的电流方向改变。

通过将寄存器 PWM3CTL0 的 P3M<1:0>位设置为 01(正向模式)和 11(反向模式)来改变流经负载的电流。如图 7-13 所示，从一种模式模式切换到另一种模式时，在前一种模式最后一个周期结束之前，P3B(或 P3D)被切换到无效状态，P3A(或 P3C)被切换到相反的状态。图中时间 T＝1/Fosc●T2预分频值。

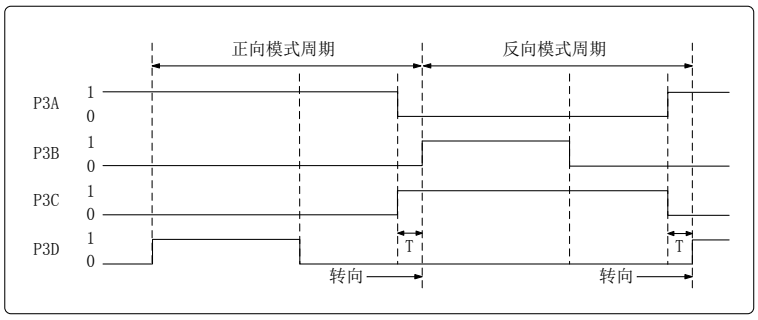


图 7-13 全桥正向、反向输出模式转换示例(高电平有效)

全桥输出模式下没有死区延时功能。通常在此模式中，任何时间只调制一对输出，因此不会导致电路产生直通电流，所以不需要死区延时。然而，当 PWM 的占空比接近百分之一百，且开关管导通时间小于截止时间时，将会导致电路产生直通电流。图 7-14 为此情况下各处信号示例。

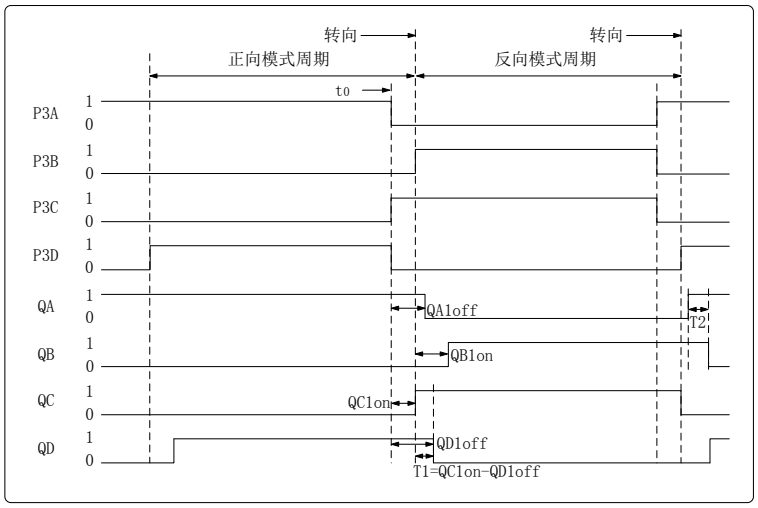


图 7-14 接近满占空比时换向时信号示例

图 7-14 中在 t0 时刻 P3A 和 P3D 变为无效，P3C 为有效。QA、QB、QC 和 QD 分别为四路 PWM3 输出控制的开关管，QAoff 和 QDoff 为开关管的截止延时时间，QBon 和 QCon 为导通延时时间，由于管子导通和截止时间的差异，在第一次换向时，开关管 QC 和 QD 产生直通电流，持续时间为 T1，在后面一次换向时 QA 和 QB 产生直通电流，持续时间为 T2。

为了消除这种问题，可将换向前一个 PWM 信号周期的占空比调小，或者选用开关速度快的驱动电路，或者其它方法。

7.3.6 自动关断和自动重启模式

7.3.6.1 自动关断模式

PWM3 模块具有自动关断功能。如图 7-15 所示，为自动关断模式的原理框图。使能自动关断功能后，在外部关断事件发生时，该功能自动禁止 PWM 输出，然后将 P3A、P3B、P3C 和 P3D 四个引脚输出电平置于其预定义的状态。此模式用于防止 PWM 破坏应用电路。

自动关断模式具有 2 个关断源：INT0 引脚的逻辑低电平和在软件中直接将 P3ASE 位置 1。关断源触发关断的信号是高电平或低电平，而不是上升沿或下降沿，只要关断源的关断电平存在，自动关断状态将保持。

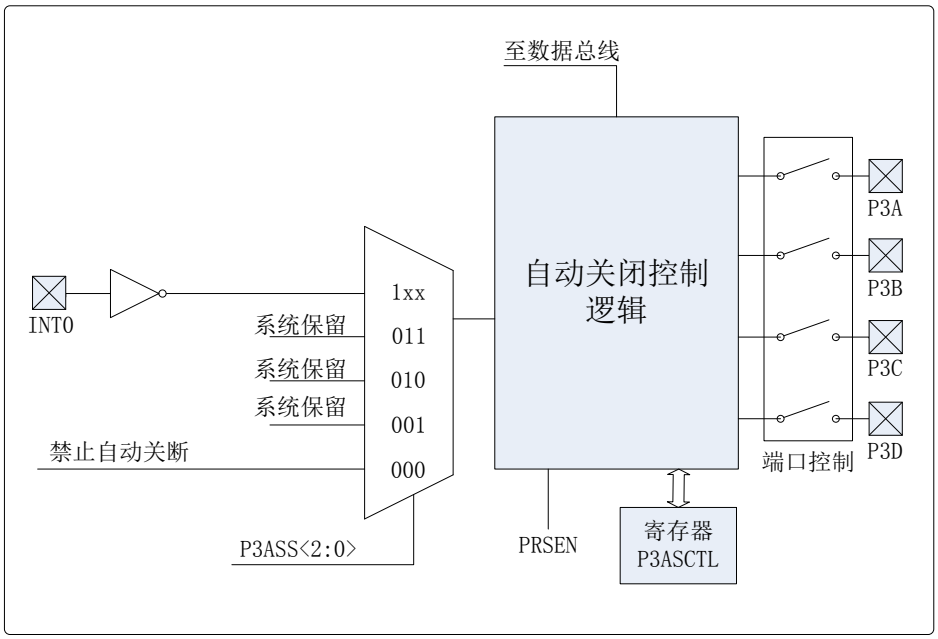


图 7-15 自动关断模式原理框图

通过寄存器 P3ASCTL 的 P3ASS<2:0>位选择自动关断源。将 P3ASS<2:0>位设置为 000 时，关闭自动关断功能。

寄存器 P3ASCTL 中的 P3ASE 位指示关断的状态。如果该位为 0，表示 PWM3 的四个引脚输出正常的 PWM 信号，如果该位为 1，表示 PWM 的四路输出处于关断状态。

发生关断事件时，将会:

① P3ASE 位被置 1。直到被软件清 0 或发生自动重启才会将该位清 0。

② 使能的四个 PWM 引脚将被置于关断电平状态。

关断时，四路输出电平的状态由寄存器 P3ASCTL 的 P3SSAC<1:0>和 P3SSBD<1:0>位决定。通过设定可将输出引脚置为: 三态、高电平和低电平三种状态。其中 P3A 和 P3C 的状态由 P3SSAC<1:0>设置，P3B 和 P3D 的状态由 P3SSBD<1:0>设置。

打开自动关断功能后，如果关断源产生关断事件，则 P3ASE 标志位被硬件置 1，四路输出被驱动为关断模式电平；关断源清除关断事件后，P3ASE 仍然为 1(如果 PRSEN=0)，四路输出仍然为关断模式电平，直到将 P3ASE 位清 0，PWM 重启。

7.3.6.2 自动重启模式

可将 PWM3 配置为一旦清除自动关断条件就自动重启 PWM。通过将 PWM3CTL1 寄存器中的 PRSEN 位置 1 使能自动重启。

如果使能自动重启，只要自动关断条件有效，P3ASE 位就将保持置 1。当清除自动关闭条件时，将通过硬件将 P3ASE 位清 0，并且将恢复常规操作。

如图 7-16 所示，在图(a)中，PRSEN=0，自动重启模式关闭，通过软件将 P3ASE 标志位清 0，PWM 才会重启。在图(b)中，PRSEN=1，自动重启模式被打开，关断事件被清除后，P3ASE 标志位由硬件自动清 0，然后重启 PWM。

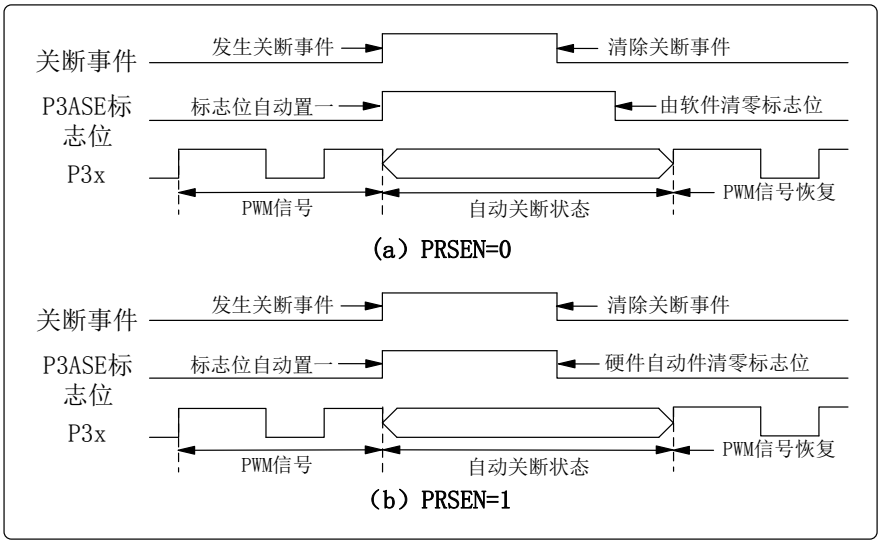


图 7-16 软件重启和自动重启 PWM 示例

8 复位

KF8F1000 具有:上电复位(POR)、WDT 复位、RST 复位和欠压检测复位(LVR)四种复位方式。

有些寄存器的状态在任何复位条件下都不会受到影响，上电复位时它们的状态不定，而在其它复位发生时其状态将保持不变。其它大多数寄存器在复位事件发生时将被复位成“复位状态”。图 9-1 给出了片内复位电路的简化结构方框图。

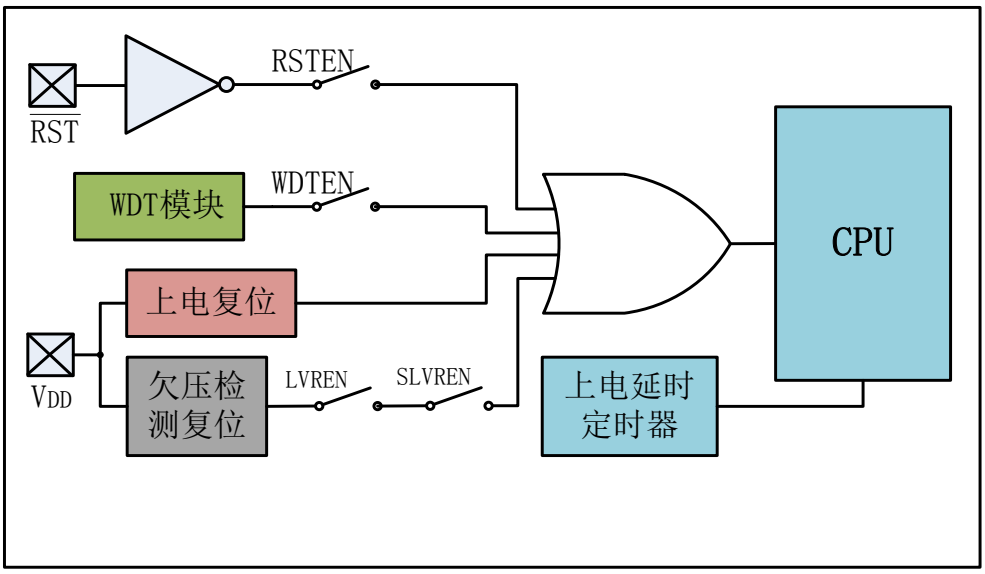


图 8-1 片内复位电路简化框图

注：上电延时定时器只对上电复位(POR)和欠压复位(LVR)有效

8.1 电源控制状态寄存器(PCTL)

如寄存器 PCTL 所示，$\overline{LVR}$ 位的状态在单片机上电复位时是不确定的。如果用户在使用中要用到该位，在程序初始化部分需将其置 1，随后如果有复位发生且 $\overline{LVR}$ =0，则表示发生过欠压检测复位。$\overline{LVR}$ 状态位是“无关”位，如果欠压检测电路被关闭(通过设定配置字中的 LVREN 位和 PCTL 中的 SLVREN 位)，$\overline{LVR}$ 状态位是不可预知的。$\overline{POR}$ 是上电复位状态位，该位在上电复位时被清 0，在其它情况下不受影响。

寄存器PCTL：电源控制寄存器(地址:2EH)

复位值	bit7							bit0
0001 000x	VREEN	VREOE	-	SLVREN	-	SWDTEN	$\overline{POR}$	$\overline{LVR}$
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

VREEN：内部参考电压使能位

1 = 内部参考电压使能

0 = 内部参考电压禁止

VREOE：内部参考电压输出使能位

1 = 内部参考电压输出使能

0 = 内部参考电压输出禁止

Bit5：系统保留，配置为 0

SLVREN: 软件欠压检测使能位

SLVREN =1 使能欠压检测

SLVREN =0 禁止欠压检测

Bit 3：系统保留位，配置为 0

SWDTEN: 软件看门狗定时器使能位

当配置字的 WDTEN=0 时

1 = 软件使能看门狗定时器

0 = 软件禁止看门狗定时器

当配置字的 WDTEN=1 时

为无关位

$\overline{POR}$: 上电复位状态位

$\overline{POR}$ =1 未发生上电复位

$\overline{POR}$ =0 发生了上电复位

$\overline{LVR}$: 欠压复位状态位

$\overline{LVR}$ =1 未发生欠压复位

$\overline{LVR}$ =0 已发生欠压复位

8.2 上电复位(POR)

在 VDD 达到适合单片机正常工作的电平之前，片内上电复位电路使单片机保持在复位状态，直到 VDD 达到正常工作电平之后单片机才开始正常工作。KF8F1000 的上电复位时间为 64ms($\overline{PWRT}$ =0)左右。

8.3 WDT 复位

看门狗定时器有一个独立的时钟源，因此单片机在正常工作和休眠模式下都可以正常工作。在单片机正常工作且打开看门狗后，当看门狗计数器计满溢出后，将使单片机复位。在休眠模式下，WDT 也可以正常工作，当 WDT 定时器计满溢出后，将会使单片机从休眠模式唤醒转入正常工作模式，在休眠模式不会对各寄存器复位。

8.4 RST 复位

使能外部 RST 复位（配置位 RSTEN=1）后，当引脚 P0.3/ $\overline{RST}$ 输入复位信号，不管单片机工作在正常模式还是休眠模式，均会使单片机复位。通过在编程时将 P0.3 引脚配置为 $\overline{RST}$ 复位引脚，即可打开 $\overline{RST}$ 复位。

在 $\overline{RST}$ 复位时， KF8F1000 器件需要一个噪声滤波器用于检测和滤除小脉冲,图 9-2 是建议 $\overline{RST}$ 复位电路。

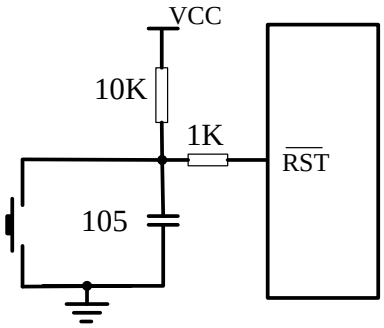


图 8-2 建议 $\overline{RST}$ 复位电路

8.5 欠压检测复位(LVR)

KF8F1000 系列中的单片机具有片内欠压检测复位电路。通过编程时设定配置位中的 LVREN 位可以禁止/使能(清 0/置 1)欠压检测复位电路，当配置位中的 LVREN 位被使能后，用户还可在软件中设置 PCTL 中的 SLVREN 位来禁止/使能(清 0/置 1)欠压检测复位电路。

如果 VDD 跌落至 VLVR 以下且持续时间大于 TLVR (TLVR 大于 10us)，欠压检测电路将使单片机复位，单片机保持复位状态直到 VDD 上升到 VLVR 以上，如果上电延时使能（$\overline{PWRT}$=0），此时上电延时定时器启动，使器件在随后 64ms 左右的延时时间处于延时复位状态，过了 64ms 以后单片机开始正常工作。

如果 VDD 跌落至 VLVR 以下的时间小于规定参数(TLVR)，将不保证可产生复位。

如果在上电延时定时器运行过程中发生 VDD 跌落至 VLVR 以下的情况，器件将返回欠压检测复位状态且上电延时定时器被重新初始化。直到 VDD 上升至 VLVR 以上时，上电延时定时器启动一个 64ms 的复位延时，如在延时期间没有欠压发生，单片机会退出复位状态开始正常工作。

8.6 上电延时定时器

上电延时定时器仅在器件上电复位或欠压检测复位发生后提供一个长度为 64ms($\overline{PWRT}$=0)的固定延时时间。上电延时定时器的定时时钟为系统内部低频振荡器。只要单片机产生上电复位或欠压检测复位，单片机就会在上电复位或欠压检测复位发生后保持复位状态 64ms。上电延时定时器使单片机在 V_{DD} 上升到适当电平后才投入正常运行。

由于 V_{DD}、温度、制造工艺、内部震荡器频率等的变化，不同单片机的上电延时时间有所差异。

8.7 不同复位条件下对寄存器的影响

表格 8-1 寄存器在各种复位发生后的状态

寄存器	地址	上电复位	RST 复位 欠压检测	中断唤醒 WDT 超时唤醒
T0	01H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	02H	0000 0000	0000 0000	PC+1
PSW	03H	0001 1xxx	000q quuu	uuuq quuu
P0	05H	--xx xxxx	--xx xxxx	--uu uuuu
P1	07H	--xx xxxx	--xx xxxx	--uu uuuu
PCH	0AH	---0 0000	---0 0000	---u uuuu
INTCTL	0BH	0000 0000	0000 0000	uuuu uuuu
EIF1	0CH	0000 0000	0000 0000	uuuu uuuu
T1L	0EH	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1H	0FH	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CTL	10H	-000 0000	-uuu uuuu	-uuu uuuu
T2	11H	0000 0000	0000 0000	uuuu uuuu
T2CTL	12H	-000 0000	-000 0000	-000 0000
PWM1L	13H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWM1H	14H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWMCTL	15H	11-- 0000	11-- 0000	uu-- uuuu
PP1	16H	1111 1111	1111 1111	uuuu uuuu
OPTR	21H	1111 1111	1111 1111	uuuu uuuu
TR0	25H	--11 1111	--11 1111	--uu uuuu
TR1	27H	--11 1111	--11 1111	--uu uuuu
EIE1	2CH	0000 0000	0000 0000	uuuu uuuu
PCTL	2EH	0001 000x	0001 000x	uuuu uuuu
OSCCTL	2FH	0011 ----	0011 ----	uuuu ----
OSCCAL0	30H	1000 0000	1000 0000	uuuu uuuu
PP2	32H	1111 1111	1111 1111	uuuu uuuu
PWM2L	33H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWM2H	34H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PUR0	35H	--11 1111	--11 1111	--uu uuuu
IOCL	36H	--00 0000	--00 0000	--uu uuuu
OSCCAL1	37H	0000 0100	0000 0100	uuuu uuuu
NVMDATAL	39H	0000 0000	0000 0000	uuuu uuuu
NVMADDRL	3BH	0000 0000	0000 0000	uuuu uuuu
NVMCTL0	3CH	---- x000	---- x000	---- uuuu
NVMCTL1	3DH	---- ----	---- ----	---- ----
P0LR	45H	--xx xxxx	--uu uuuu	--uu uuuu
P1LR	47H	--xx xxxx	--uu uuuu	--uu uuuu
PP3	52H	1111 1111	1111 1111	uuuu uuuu
PWM3L	55H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWM3H	56H	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWM3CTL0	57H	0000 0000	0000 0000	uuuu uuuu
PWM3CTL1	5BH	0000 0000	0000 0000	uuuu uuuu
P3ASCTL	5CH	0000 0000	0000 0000	uuuu uuuu
PATRCTL	5DH	---0 0001	---0 0000	---u uuuu
INTLFCAL1	6CH	1000 0000	1000 0000	uuuu uuuu

注：u=不变； x=未知值； -=未用，读作 0； q=该位取决于当前条件

表格 8-2 不同复位条件下对标志位的影响

$\overline{POR}$	$\overline{LVR}$	$\overline{TO}$	$\overline{PD}$	复位条件
0	u	1	1	上电复位
1	0	1	1	欠压检测复位
u	u	0	u	WDT 复位
u	u	0	0	WDT 唤醒
u	u	u	u	正常操作中的 $\overline{RST}$ 复位
u	u	1	0	休眠模式中的 $\overline{RST}$ 复位

图注: u=未发生变化

9 休眠模式

当单片机空闲的时候，为使其功耗降到最低，可以将其转入休眠模式。通过执行一条 IDLE 指令即可进入休眠模式。

为使这种方式下的电流消耗降至最低，应使所有 I/O 口状态确定，如果有的端口没有使用，最好设置为输入，接到 VDD 或 VSS 上，如果没用的端口悬空，应设置为输出，以确保 I/O 引脚没有耗散电流产生，其他在休眠时不用的外设都要关闭。

注：在单片机正常工作时，通常有些引脚用不到，有的用户可能会直接将去悬空。为了减小单片机的功耗，应该将不用的引脚设置为数字输出。如果是P0口的引脚则可打开上拉电阻或者设置为数字输出皆可。

单片机进入休眠模式一段时间后由于工作的需要，要将单片机从休眠模式唤醒，在 KF8F1000 中可通过以下方式将单片机从休眠模式唤醒:

1. RST 引脚上输入的外部复位
2. 看门狗定时器唤醒(如果 WDT 已被使能)
3. INT0/INT1/INT2 外部中断
4. T1 异步计数中断
5. P0 口电平变化中断外设中断。

RST 引脚输入的复位信号在唤醒单片机的同时也将导致单片机复位。其它唤醒时将单片机从休眠模式唤醒，并不会导致复位。可通过状态寄存器中的 $\overline{TO}$ 和 $\overline{PD}$ 位来确定单片机唤醒的原因。上电时 $\overline{PD}$ 位将被置 1，而当器件从休眠模式唤醒时，该位将被清 0。$\overline{TO}$ 位则在 WDT 唤醒发生时被清 0。

在使用中断方式唤醒时，必须使能相应的中断使能位，唤醒与 AIE 位的状态无关。如果 AIE 位被清 0，单片机被唤醒后将继续执行 IDLE 指令后面的指令。如果 AIE 位被置 1，单片机执行 IDLE 指令后面一条指令后进入中断子程序。如果不希望执行 IDLE 指令后面的那条指令直接进入中断子程序，在 IDLE 指令加一条 NOP 指令即可。

10 看门狗定时器 WDT

为了防止单片机在正常工作时程序跑飞，KF8F1000 提供一个看门狗定时器，单片机正常工作时，当看门狗定时器定时时间达到超时时间后，会使单片机产生复位。

看门狗定时器使用片内看门狗专用 RC 振荡器，因此它无需外接任何器件，在休眠模式仍能正常运行。在正常运行时，WDT 超时事件将使单片机产生一次复位。如果单片机处于休眠模式，WDT 超时事件将唤醒单片机并使其继续执行 IDLE 后面的指令。

10.1 看门狗的开启与关闭

看门狗的开启/关闭方式：

- 通过配置位 WDTEN，打开/关闭看门狗；
- 通过寄存器 PCTL 的 SWDTEN 位，打开/关闭看门狗。

上述两种方式任意一种都可启动看门狗；配置位 WDTEN 一旦使能，看门狗将一直开启，软件配置位 SWDTEN 无效；配置位 WDTEN 未使能时，软件配置位 SWDTEN 允许用户在软件上根据实际需求打开/关闭看门狗。

10.2 看门狗的清狗方式

为了防止在正常工作时看门狗超时复位，要在固定的时间内对看门狗定时器进行清狗操作。执行 CWDT 指令进行清狗操作或者执行 IDLE 指令进入休眠模式后，将清零整个看门狗定时器（包括看门狗预分频器）。当看门狗定时器出现超时时，状态字寄存器 PSW 中的 $\overline{TO}$ 位将被清 0。

看门狗定时器使用内部低频振荡器作为工作时钟源，因此它无需外接任何器件，在休眠模式仍能正常运行。WDT 超时事件对单片机的动作：

- 在正常运行时，WDT 超时事件将使单片机产生一次复位；
- 在休眠模式下，WDT 超时事件将唤醒单片机并使其继续执行 IDLE 后面的指令。

10.3 看门狗 WDT 周期

WDT 不使用预分频器时超时时间为 16ms。由于温度、电源电压和工艺等的差异，不同器件之间的超时周期稍有不同。通过软件将 OPTR 寄存器的 PSA 位置 1，可将预分频器分配给 WDT。设置 PS<2:0>选择预分频器的分频比,分频比可选择为:1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128。使用预分频器时，最长超时时间可达 2.0 秒。

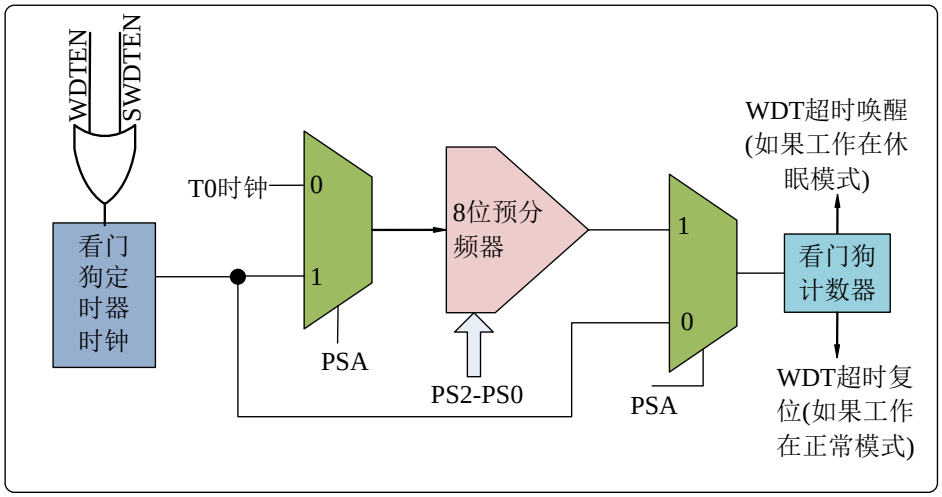


图 10-1 看门狗定时器框图

注: 任何对OPTR寄存器的PSA位或者PS<2:0>位操作前和操作后，都须对看门狗定时器进行清狗操作（执行CWDT指令）。否则，可能引起芯片的异常复位。

11 电气规范

11.1 极限参数值

表格 11-1 极限参数值表

极限参数值		
序号	参数说明	参数范围
1	偏置电压下的环境温度	-40℃~85℃（*-I） -40℃~125℃（*-S）
2	储存温度	-60℃~150℃
3	VDD 相对于VSS 的电压	-0.3V~+6.0V
4	其它引脚相对于VSS 的电压	-0.3V~VDD+0.3V
5	VSS 引脚的最大输出电流	85mA
6	VDD 引脚的最大输入电流	85mA
7	任一I/O 引脚的最大输出灌电流	15mA
8	任一I/O 引脚的最大输出拉电流	15mA
9	I/O口 的最大灌电流	80mA
10	I/O口 的最大拉电流	80mA

备注：如果器件的工作条件超过“最大值”，可能会对器件造成永久性损坏。上述值仅为运行条件极大值，建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其稳定性会受到影响。

11.2 静态电流特性

表格 11-2 芯片静态电流（IDD）特性

测试条件：25 ℃						
序号	测试条件		最小值	典型值	最大值	单位
	振荡频率	VDD（V）				
1	FOSC=4MHz	2.5	—	223	325	μA
		3.3	—	230	335	
		5.0	—	247	360	
2	FOSC =2MHz	2.5	—	183	265	
		3.3	—	188	270	
		5.0	—	195	280	
3	FOSC =1MHz	2.5	—	162	235	
		3.3	—	166	240	
		5.0	—	170	245	
4	FOSC =500kHz	2.5	—	151	220	
		3.3	—	155	225	
		5.0	—	159	230	
5	FOSC =250kHz	2.5	—	146	210	
		3.3	—	150	215	
		5.0	—	153	215	
6	FOSC =125kHz	2.5	—	143	210	
		3.3	—	147	210	
		5.0	—	150	210	
7	FOSC =62.5Hz	2.5	—	142	210	
		3.3	—	146	210	
		5.0	—	149	210	
8	FOSC =15.625kHz	2.5	—	141	210	
		3.3	—	145	210	
		5.0	—	145	210	

注 **1**：在正常的工作模式下，IDD 测量的条件为：所有I/O 引脚均设置为输出低，RST = Vss ，禁止WDT，关闭时钟输出。

2：供电电流主要随工作电压和频率而变化。其它因素，如I/O 引脚负载和开关速率、内部代码执行模式和温度也会影响电流消耗。

11.3 外设电流特性

表格 11-3 芯片外设电流特性

测试条件：25 ℃							
序号	测试参数	测试条件		最小值	典型值	最大值	单位
			VDD（V）				
1	休眠电流（IPD）	WDT、LVR、比较器等外设被禁止	1.8	—	0.1	2	μA
			3.3	—	0.3	2	
			5.0	—	0.9	2	
2	WDT 电流（IWDT）		1.8	—	0.9	2	
			3.3	—	0.9	2	
			5.0	—	0.9	2	
3	欠电压复位电流（ILVR）		1.8	—	3.8	5.5	
			3.3	—	5.4	7.5	
			5.0	—	8.8	12	

注 **1**：外设电流是基本I_{DD} 或I_{PD} 电流以及相应外设使能时消耗的额外电流的总和。外设电流可以从此电流中减去基本I_{DD} 或I_{PD} 电流得出。

2：休眠电流与振荡器类型无关。掉电电流是在器件休眠时，所有I/O 引脚设置为输出低，RST = Vss ；禁止WDT，关闭时钟输出时测得的。

3：外设电流还可能受到温度的影响。

11.4 I/O 端口电平和芯片供电电压特性

表格 11-4 芯片 IO 端口电平特性

工作温度 -40℃≤TA≤+85℃（工业级） -40℃≤TA≤+125℃（扩展级）						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平 I/O引脚 采用施密特缓冲触发器	1.8V ≤ VDD ≤ 5.5V	Vss	—	0.2 VDD	V
V_{IH}	输入高电平 I/O端口 采用施密特缓冲触发器		0.6VDD	—	VDD	V
V_{OL}	输出低电压		-	-	0.6	V
V_{OH}	输出高电压		VDD -0.6	-	-	V
I_{IL}	输入漏电流	VSS<V_I<VDD	-1	-	1	μA

注：IO输入都为SMIT电平

表格 11-5 芯片供电电压特性

工作温度 -40℃≤TA≤+85℃（工业级） -40℃≤TA≤+125℃（扩展级）						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
VDD	电源电压	FOSC ≤ 4 MHz	1.8	—	5.5	V
V_{LVR}	VDD 起始电压确保能够产生欠压复位信号		1.5	1.6	1.7	V
V_{POR}	VDD 起始电压确保能够产生内部上电复位信号		—	1.5	—	V

11.5 内部高频振荡器模块特性

表格 11-6 内部高频振荡器模块特性

工作温度 -40℃≤TA≤+85℃（工业级） -40℃≤TA≤+125℃（扩展级）						
符号	参数说明	最小值	典型值	最大值	单位	备注
Fosc	振荡频率	3.96	4	4.04	MHz	1.8V≤VDD≤5.5V @25℃
Iq*	静态电流		90		μA	

*该数据为设计值

11.6 内部低频 LPRC 模块特性

表格 11-7 内部低频 LPRC 模块特性

工作温度 -40℃≤TA≤+85℃（工业级） -40℃≤TA≤+125℃（扩展级）						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
Freq*	32kHz		-10		10	%
Iq*	静态电流			330		nA

*该数据为设计值

11.7 外部高频 HPXTAL 模块特性

表格 11-8 外部高频 HPXTAL 模块特性

工作温度 -40℃≤TA≤+85℃（工业级） -40℃≤TA≤+125℃（扩展级）						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
Freq*	125KHz~16MHz			-		kHz

*该数据为设计值

11.8 外部低频 LPXTAL 模块特性

表格 11-9 外部低频 LPXTAL 模块特性

工作温度 -40℃≤TA≤+85℃（工业级） -40℃≤TA≤+125℃（扩展级）						
符号	参数说明	测试条件	最小值	典型值	最大值	单位
Freq*	32.768kHz			-		kHz
Iq*	静态电流			340		nA

*该数据为设计值

12 直流特性图表

备注：某些图表中的数据超出了规定的工作范围（即超出了规定的VDD 范围），这些图表仅供参考，器件只有在规定的范围下工作才可以确保正常运行。

图 12-1：不同 VDD 时典型 IDD — FOSC 关系曲线图

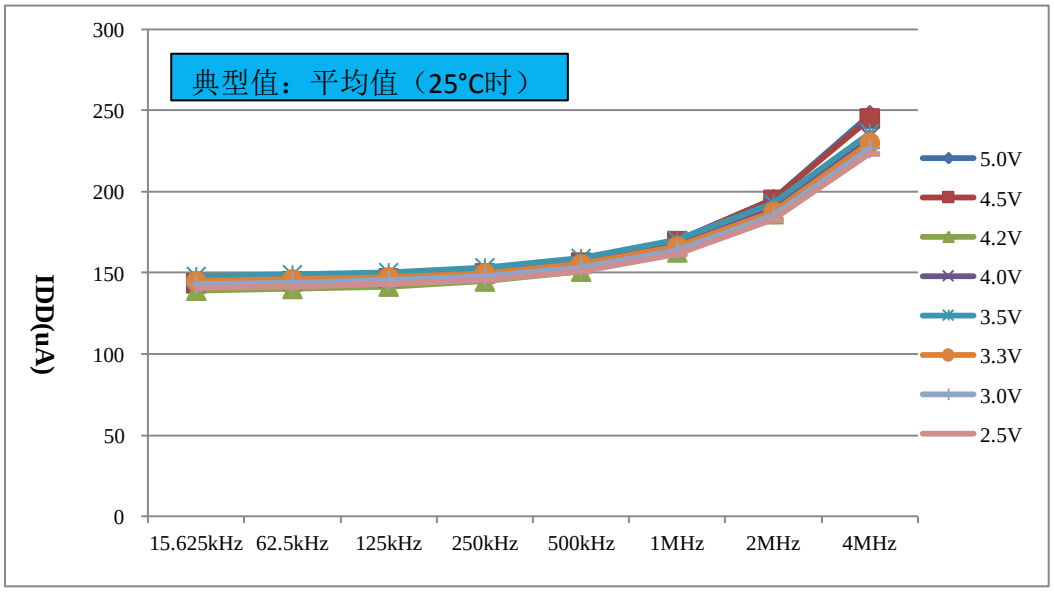


图 12-2：不同 VDD 时典型 IPD — VDD 关系曲线图

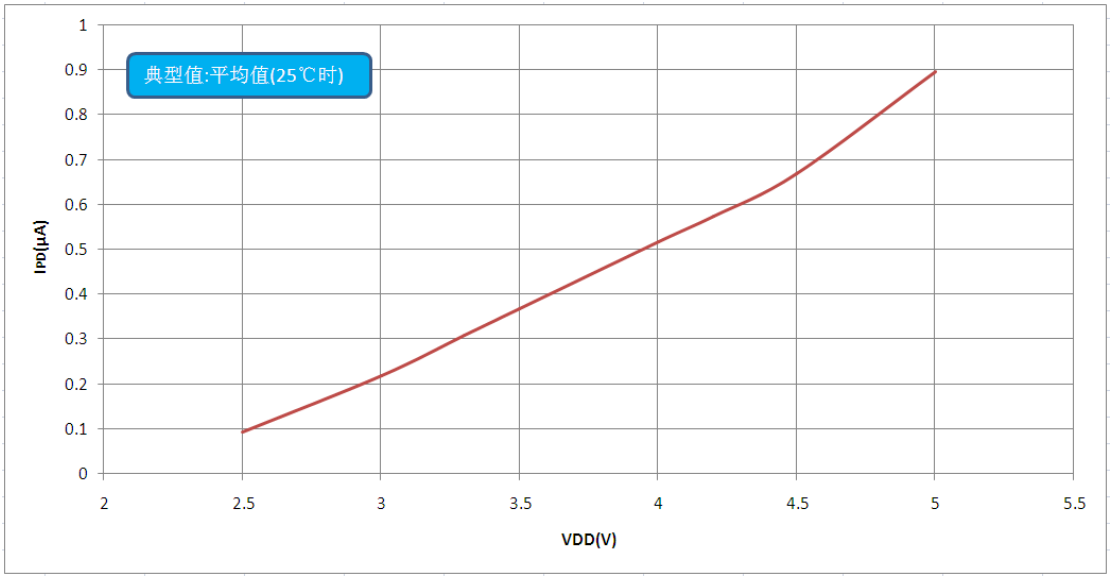


图 12-3：弱上拉电流 IPUR — VDD 关系曲线图

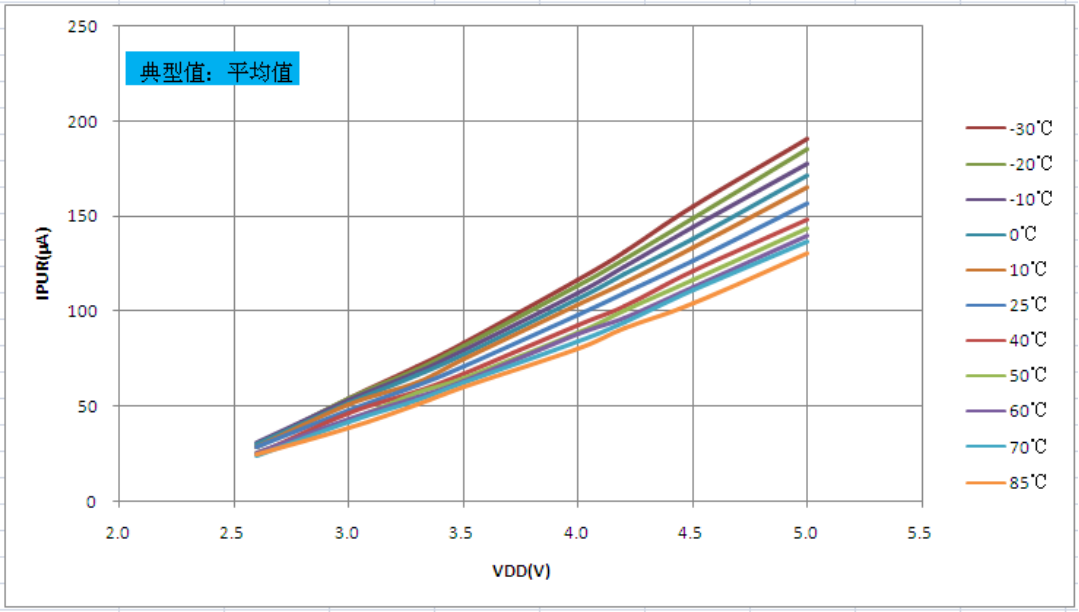


图 12-4：欠压复位电流 I_{LVR} — VDD 关系曲线图

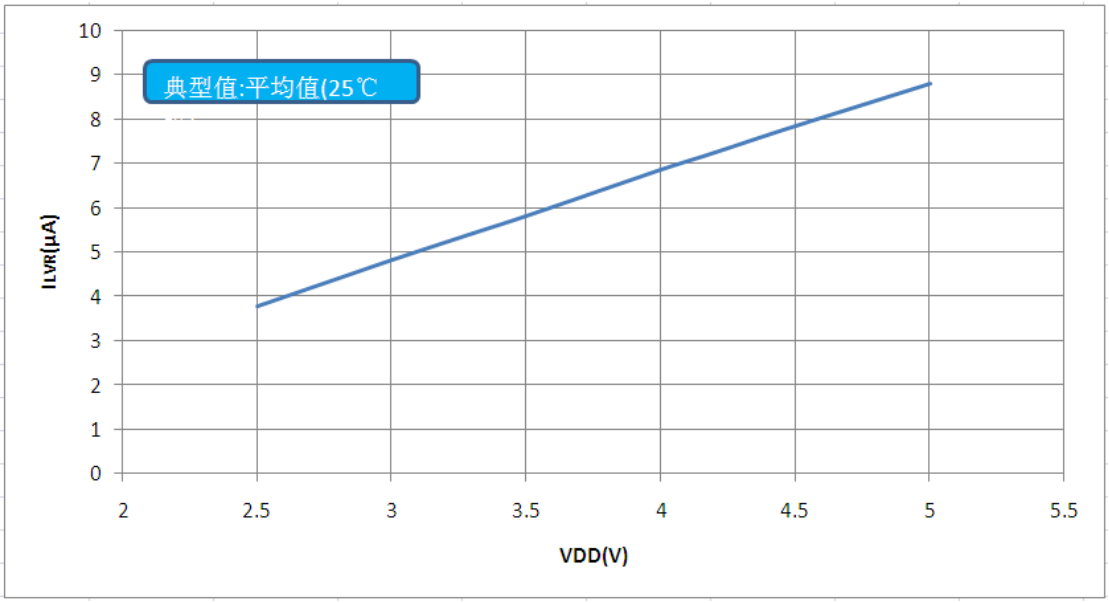


图 12-5：不同温度时 V_{OH} — I_{OH} 关系曲线图（V_{DD} = 5.0V）

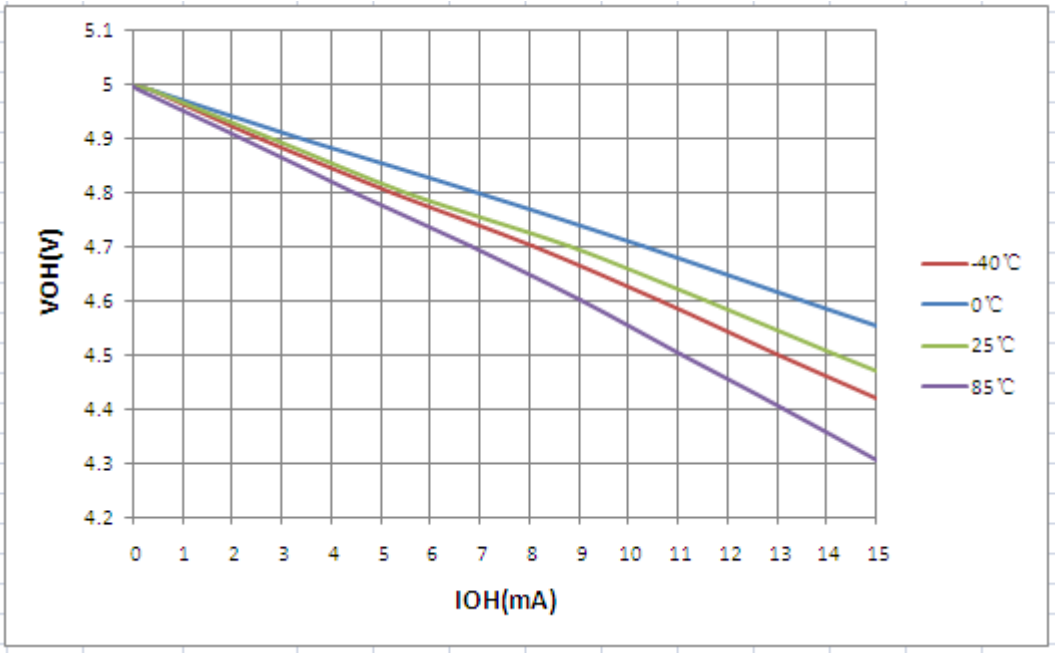


图 12-6：不同温度时 V_{OH} — I_{OH} 关系曲线图（V_{DD} = 3.0V）

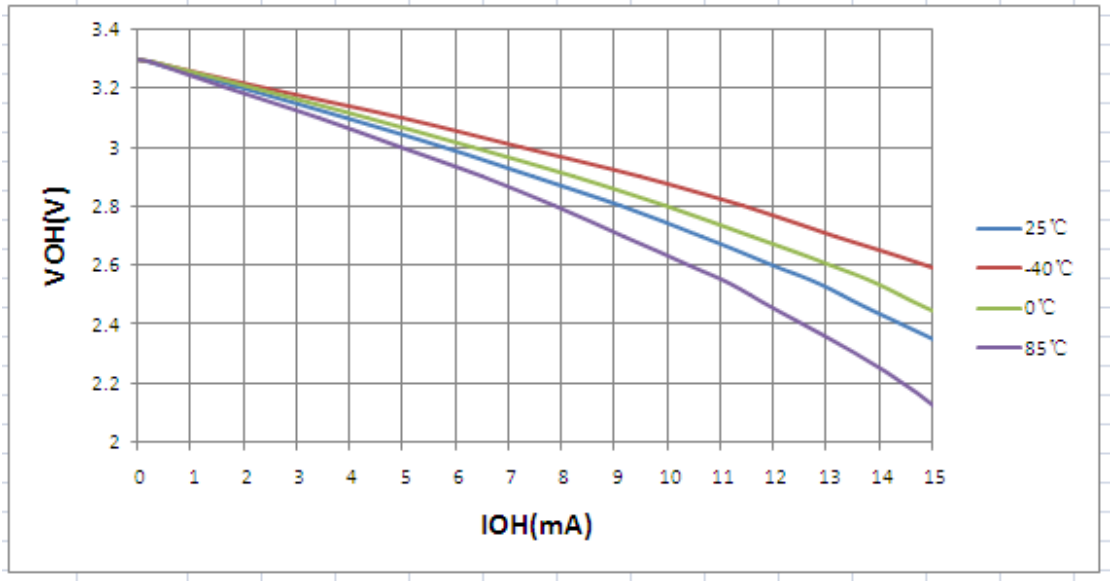


图 12-7：不同温度时 V_{OH} — I_{OL} 关系曲线图（V_{DD} = 5.0V）

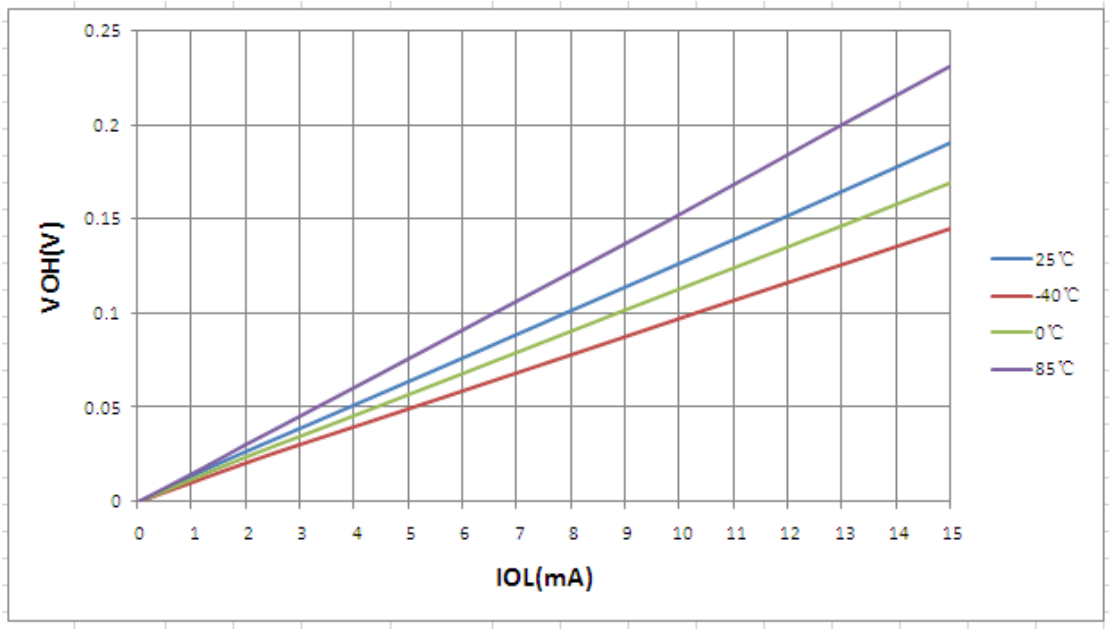


图 12-8：不同温度时 V_{OH} — I_{OL} 关系曲线图（V_{DD} = 3.0V）

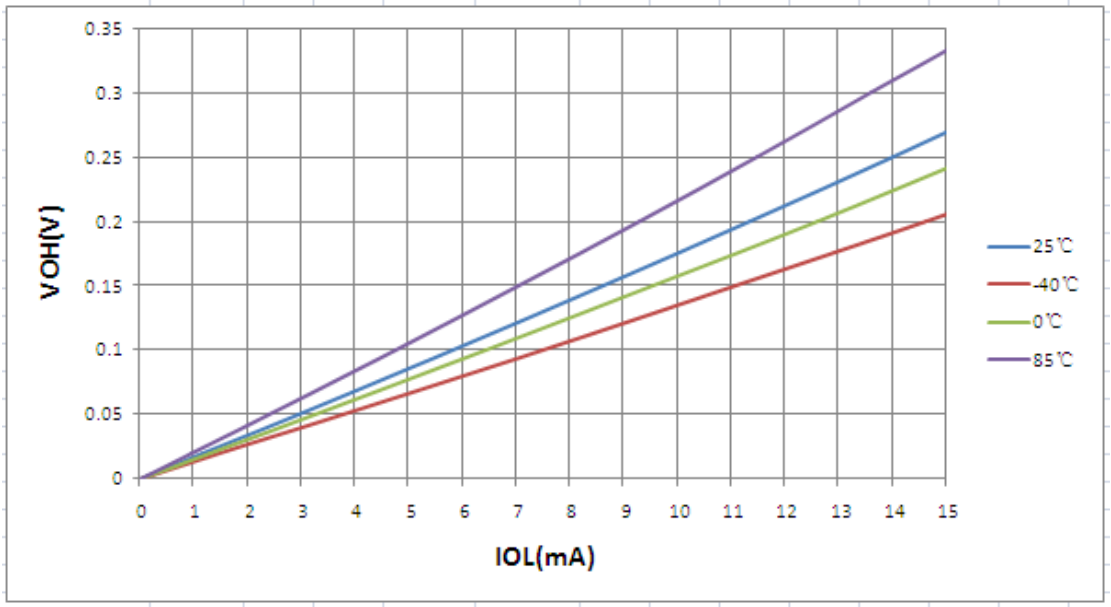


图 12-9：上拉功能打开时端口电压 V_{OP} — 电流 I_{OP} 关系曲线图（V_{DD} = 5.0V）

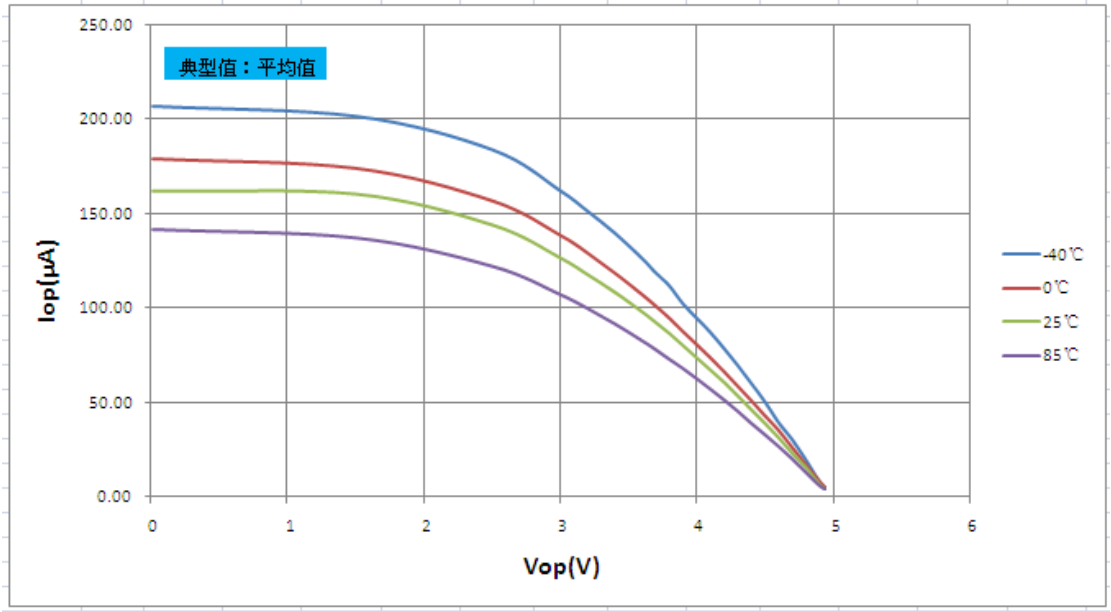
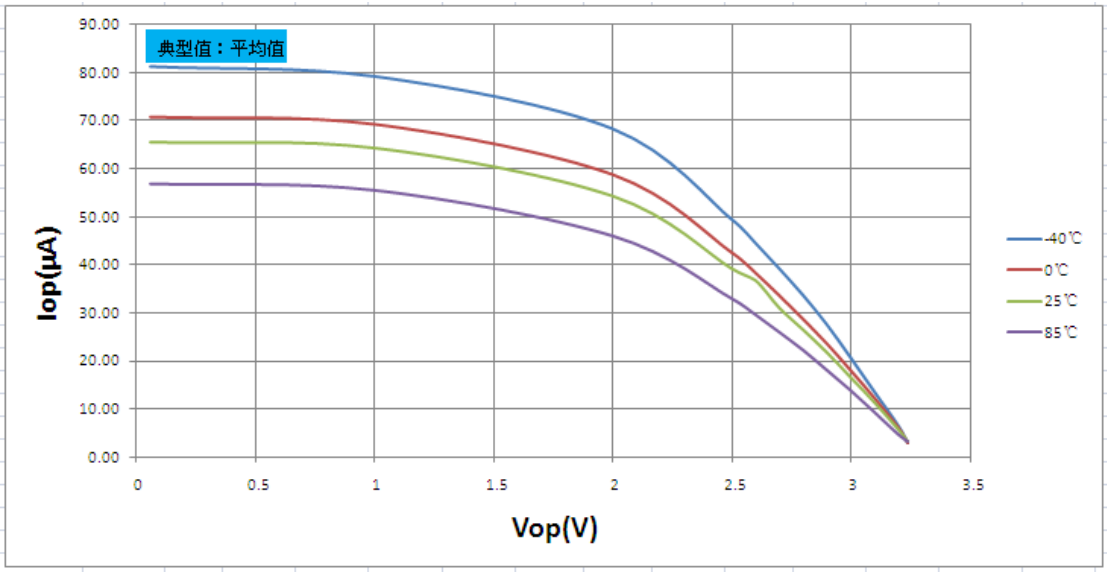
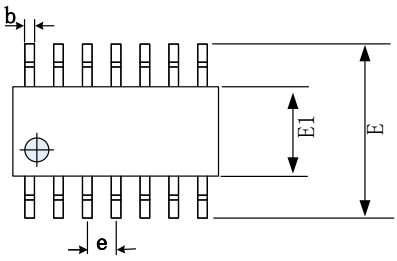


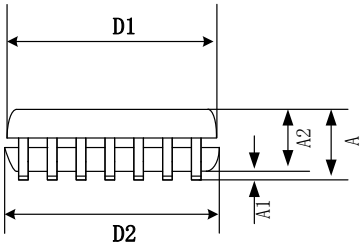
图 12-10：上拉功能打开时端口电压 **VOP** — 电流 **IOP** 关系曲线图（**VDD = 2.7V**）



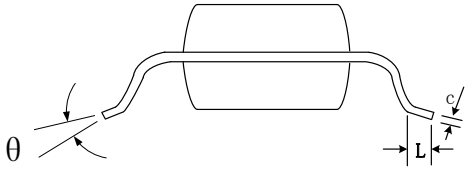
13 封装信息

14 脚 SOIC 封装

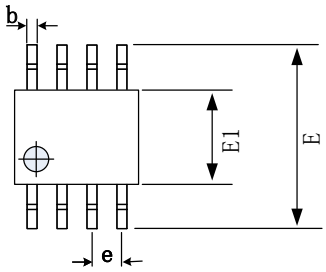


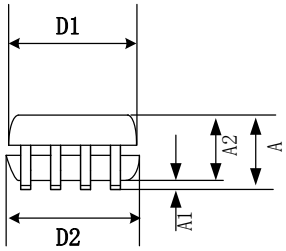


SOIC14封装尺寸（单位：毫米）			
标号	最小	一般	最大
A	1.500	1.600	1.700
A1	0.100	0.150	0.200
A2	1.400	1.450	1.500
b	0.356	0.406	0.456
c		0.223	
D1	8.600	8.650	8.800
D2	8.610	8.660	8.710
E	5.900	6.000	6.100
E1	3.850	3.950	4.050
e		1.270	
L	0.560	0.660	0.760
θ	0	—	10°

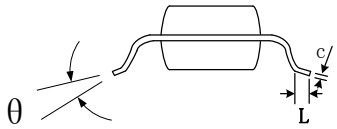


8 脚 SOIC 封装





SOIC8封装尺寸（单位：毫米）			
标号	最小	一般	最大
A	1.500	1.600	1.700
A1	0.050	0.150	0.250
A2		1.450	
b	0.356	0.406	0.5
c		0.220	
D1	4.790	4.840	4.890
D2	4.830	4.880	4.930
E	5.900	6.000	6.100
E1	3.860	3.910	3.960
e		1.270	
L	0.650	0.660	0.670
θ	0	—	10°



附录 1 KF8F1000 SFR 地址映射及功能汇总

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位初值
01H	T0	定时/计数器 0(T0)寄存器								xxxx xxxx
02H	PCL	程序计数器(PC)低字节								00000000
03H	PSW	-	-	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	CY	0001 1xxx
05H	P0	-	-	P05	P04	P03	P02	P01	P00	--xx xxxx
07H	P1	-	-	P15	P14	P13	P12	P11	P10	--xx xxxx
0AH	PCH	-	-	-	程序计数器(PC)高字节					---0 0000
0BH	INTCTL	AIE	PUIE	T0IE	INT0IE	P0IE	T0IF	INT0IF	P0IF	00000000
0CH	EIF1	DEEIF	-	INT2IF	INT1IF	-	PWM2IF	T2IF	T1IF	0000 0000
0EH	T1L	定时/计数器 T1 低字节寄存器								xxxx xxxx
0FH	T1H	定时/计数器 T1 高字节寄存器								xxxx xxxx
10H	T1CTL	-	T1GC	T1CKS1	T1CKS0	-	$\overline{T1SY}$	T1CS	T1ON	-000 0000
11H	T2	定时器 2（T2）寄存器								0000 0000
12H	T2CTL	-	T2CKBS3	T2CKBS2	T2CKBS1	T2CKBS0	T2ON	T2CKPS1	T2CKPS0	-000 0000
13H	PWM1L	PWM1 占空比设置寄存器								xxxx xxxx
14H	PWM1H	PWM1 占空比缓冲寄存器								xxxx xxxx
15H	PWMCTL	INT2SE	INT1SE	-	-	PWM2CKS	PWM1CKS	PWM2ON	PWM1ON	11-- 0000
16H	PP1	PWM1 周期寄存器								1111 1111
1CH	VRECAL1	内部参考电压校准寄存器 1								1000 0000
21H	OPTR	$\overline{PUPH}$	INT0SE	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111
25H	TR0	-	-	TR05	TR04	TR03	TR02	TR01	TR00	--11 1111
27H	TR1	-	-	TR15	TR14	TR13	TR12	TR11	TR10	--11 1111
29H	PUR1	-	-	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10	--11 1111
2AH	VRECAL2	内部参考电压校准寄存器 2（POWER18）								1000 1000
2CH	EIE1	DEEIE	-	INT2IE	INT1IE	-	PWM2IE	T2IE	T1IE	0000 0000
2EH	PCTL	VREEN	VREOE	-	SLVREN	-	SWDTEN	$\overline{POR}$	$\overline{LVR}$	0001 000x
2FH	OSCCTL	CLKOE	IRCS2	IRCS1	IRCS0	-	-	-	-	0011 ----
30H	OSCCAL0	晶振校准值寄存器 0								10000000
32H	PP2	PWM2 周期寄存器								1111 1111
33H	PWM2L	PWM2 占空比设置寄存器								xxxx xxxx
34H	PWM2H	PWM2 占空比缓冲寄存器								xxxx xxxx
35H	PUR0	-	-	PUR05	PUR04	PUR03	PUR02	PUR01	PUR00	--11 1111
36H	IOCL	-	-	IOCL5	IOCL4	IOCL3	IOCL2	IOCL1	IOCL0	--00 0000
37H	OSCCAL1	晶振校准值寄存器 1								0000 0100
39H	NVMDATAL	NVM 数据寄存器								0000 0000
3BH	NVMADDRL	NVM 地址指针低 8 位								00000000
3CH	NVMCTL0	NVM 控制寄存器 0								---- x000
3DH	NVMCTL1	NVM 控制寄存器 1								---- ----
45H	P0LR	-	-	P0LR5	P0LR4	P0LR3	P0LR2	P0LR1	P0LR0	--xx xxxx
47H	P1LR	-	-	P1LR5	P1LR4	P1LR3	P1LR2	P1LR1	P1LR0	--xx xxxx
52H	PP3	PWM3 周期寄存器								1111 1111
55H	PWM3L	PWM3 占空比寄存器								xxxx xxxx
56H	PWM3H	PWM3 寄存器								xxxx xxxx
57H	PWM3CTL0	P3M1	P3M0	PDT1	PDT0	P3ON1	P3ON0	PWM3M1	PWM3M0	0000 0000

地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位初值
5BH	PWM3CTL1	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0	0000 0000
5CH	P3ASCTL	P3ASE	P3ASS2	P3ASS1	P3ASS0	P3SSAC1	P3SSAC0	P3SSBD1	P3SSBD0	0000 0000
5DH	PATRCTL	-	-	-	STRSYNC	STREND	STRENC	STRENB	STRENA	---0 0001
5EH	OSCCAL2	内部高频振荡器校准寄存器 2								1000 1000
6CH	INTLFCAL1	内部低频校准寄存器 1								1000 0000

注：“-”表示未用的存储单元　　“x”表示不定

附录 2 汇编指令集

助记符、操作数	指令说明	周期	影响标志
NOP	空操作指令	1	
NOPZ	空操作指令	1	
CRET	子程序返回指令	2	
RRET Rn,#data	立即数送到 Rn 中返回	2	
IRET	中断返回指令	2	
CWDT	WDT 清 0	1	
IDLE	进入休眠模式	1	
数据传送指令			
MOV dir	dir←(dir)	1	Z
MOV Rn,dir	Rn←(dir)	1	
MOV dir,Rn	dir←(Rn)	1	
MOV Rn,#data	Rn←data	1	
MOV Rn,Rs	Rn←(Rs)	1	
LD Rn,[Rs]	Rn←((Rs))	1	
ST [Rn],Rs	(Rn)←(Rs)	1	
SWAPR Rn,dir	Rn<7:4>=dir<3:0> Rn<3:0>=dir<7:4>	1	
SWAP dir	dir<7:4>=dir<3:0> dir<3:0>=dir<7:4>	1	
算术运算指令			
ADD Rm,dir	Rm←(Rm)+(dir)	1	CY、DC、Z
ADD dir,Rm	dir←(Rm)+(dir)	1	CY、DC、Z
ADD Rn,#data	Rn←(Rn)+data	1	CY、DC、Z
ADD Rn,Rs	Rn←(Rn)+(Rs)	1	CY、DC、Z
SUB Rm,dir	Rm←(dir)-(Rm)	1	CY、DC、Z
SUB dir,Rm	dir←(dir)-(Rm)	1	CY、DC、Z
SUB Rn,#data	Rn←data-(Rn)	1	CY、DC、Z
SUB Rn,Rs	Rn←(Rs)-(Rn)	1	CY、DC、Z
INC dir	dir←(dir)+1	1	Z
INCR dir	R0←(dir)+1	1	Z
INC Rn	Rn←(Rn)+1	1	Z
DEC dir	dir←(dir)-1	1	Z
DECR dir	R0←(dir)-1	1	Z
DEC Rn	Rn←(Rn)-1	1	Z
逻辑运算指令			
AND Rm,dir	Rm←(Rm)∧(dir)	1	Z
AND dir,Rm	dir←(dir)∧(Rm)	1	Z
AND Rn,#data	Rn←(Rn)∧data	1	Z
AND Rn,Rs	Rn←(Rn)∧(Rs)	1	Z
ORL Rm,dir	Rm←(Rm)∨(dir)	1	Z
ORL dir,Rm	dir←(dir)∨(Rm)	1	Z
ORL Rn,#data	Rn←(Rn)∨data	1	Z
ORL Rn,Rs	Rn←(Rn)∨(Rs)	1	Z
XOR Rm,dir	Rm←(Rm)⊕(dir)	1	Z
XOR dir,Rm	dir←(dir)⊕(Rm)	1	Z
XOR Rn,#data	Rn←(Rn)⊕data	1	Z
XOR Rn,Rs	Rn←(Rn)⊕(Rs)	1	Z
CLR Rn	Rn=0	1	Z
CLR dir	dir=0	1	Z

助记符、操作数	指令说明	周期	影响标志
CPLR dir	R0←/(dir)	1	Z
CPL dir	dir←/(dir)	1	Z
CPL Rn	Rn←/(Rn)	1	CY
RRCR dir	R0←(dir) 带进位 C 循环右移 1 位	1	CY
RRC dir	dir←(dir) 带进位 C 循环右移 1 位	1	CY
RRC Rn	Rn←(Rn) 带进位 C 循环右移 1 位	1	CY
RLCR dir	R0←(dir)带进位 C 循环左移 1 位	1	CY
RLC dir	dir←(dir)带进位 C 循环左移 1 位	1	CY
RLC Rn	Rn←(Rn) 带进位 C 循环左移 1 位	1	CY
位操作指令			
CLR dir,b	将 dir 的 b 位清 0	1	
SET dir,b	将 dir 的 b 位置 1	1	
CLR Rn,b	将 Rn 的 b 位清 0	1	
SET Rn,b	将 Rn 的 b 位置 1	1	
转移指令			
DECRJZ dir	R0←(dir)-1,为 0 跳过下一条指令	1/2	
DECJZ dir	dir←(dir)-1,为 0 跳过下一条指令	1/2	
DECJZ Rn	Rn←(Rn)-1,为 0 跳过下一条指令	1/2	
INCRJZ dir	R0←(dir)+1,为 0 跳过下一条指令	1/2	
INCJZ dir	dir←(dir)+1,为 0 跳过下一条指令	1/2	
INCJZ Rn	Rn←(Rn)+1,为 0 跳过下一条指令	1/2	
JNB dir,b	dir 的 b 位为 0 跳过下一条指令	1/2	
JB dir,b	dir 的 b 位为 1 跳过下一条指令	1/2	
JNB Rn,b	Rn 的 b 位为 0 跳过下一条指令	1/2	
JB Rn,b	Rn 的 b 位为 1 跳过下一条指令	1/2	
JMP #data12	无条件转移指令	2	
CALL #data12	子程序调用指令	2	

注： dir 为通用寄存器或特殊功能寄存器；Rn、Rs 表示 R0～R7；Rm 表示 R0～R3；#data 表示 8 位立即数；#data12 表示 12 位立即数；b 表示寄存器的第 b 位；[Rn]表示 Rn 中的数值指向的地址中数据 ；( )表示特殊功能寄存器、通用数据寄存器或寄存器组中的数据。

附录 3 寄存器全称表

地址	名称	全称
01H	T0	Timer 0
02H	PCL	Program Counter Low
03H	PSW	Program Status Word
05H	P0	Port 0
07H	P1	Port 1
0AH	PCH	Program Counter High
0BH	INTCTL	Interrupt control
0CH	EIF1	Enable Interrupt Flag 1
0EH	T1L	Timer 1 Low
0FH	T1H	Timer 1 High
10H	T1CTL	Timer 1 Control
11H	T2	Timer 2
12H	T2CTL	Timer 2 Control
13H	PWM1L	Pulse-Width Modulation 1 Low
14H	PWM1H	Pulse-Width Modulation 1 High
15H	PWMCTL	Pulse-Width Modulation Control
16H	PP1	Pulse-Width Modulation Periods 1
1CH	VRECAL1	Vref Calibration 1
21H	OPTR	Opt Register
25H	TR0	Trend Register 0
27H	TR1	Trend Register 1
29H	PUR1	P1 Push Register
2AH	VRECAL2	Vref Calibration 2
2CH	EIE1	Enable Interrupt Enable 1
2EH	PCTL	Power Control
2FH	OSCCTL	Operation System Crystal Control
30H	OSCCAL0	Operation System Crystal Calibration 0
32H	PP2	Pulse-Width Modulation Periods 2
33H	PWM2L	Pulse-Width Modulation 2 Low
34H	PWM2H	Pulse-Width Modulation 2 High
35H	PUR0	P0 Push Register
36H	IOCL	Input Output Control
37H	OSCCAL1	Operation System Crystal Calibration 1
39H	NVMDATAL	EEPROM DATA Low
3BH	NVMADDRL	EEPROM Address Low
3CH	NVMCTL0	EEPROM Control 0
3DH	NVMCTL1	EEPROM Control 1
45H	P0LR	P0 Latch Register
47H	P1LR	P1 Latch Register
52H	PP3	Pulse-Width Modulation Periods 3
55H	PWM3L	Pulse-Width Modulation 3 Low
56H	PWM3H	Pulse-Width Modulation 3 High
57H	PWM3CTL0	Pulse-Width Modulation 3 Control 0
5BH	PWM3CTL1	Pulse-Width Modulation 3 Control 1
5CH	P3ASCTL	Pulse-Width Modulation 3 Auto Shut Control
5DH	PATRCTL	Pulse Auto Turn Control
5EH	OSCCAL2	Operation System Crystal Calibration 2
6CH	INTLFCAL1	Internal Low Frequency Calibration1

产品标识体系

XXXX	XXXX	XX	-X
产品系列	产品型	封装形式	工作温度范围

产品系列： KF8F = KF 系列闪存 8 位单片机

产品型号： 1000 = 1000 型

封装形式： SD = SOIC-14
SB = SOIC-8

工作温度： I = -40~85℃
S = -40~125℃

示例：

KF8F1000SD-S 表示 KF 系列 1000 型 14 引脚贴片式单片机，工作温度范围：-40~125℃

版本信息

版本	更新描述	更新日期
V0.9	数据手册初稿	
V1.0	增加-S 型号	2018-11-3

RoHS 认证

本产品已通过 RoHS 检测。

声明及销售网络

销售及服务网点

上海　　TEL:021-50275927

地址　　上海浦东张江集电港龙东大道 3000 号 1 幢 906 室 B1 座